



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
[www.uspto.gov](http://www.uspto.gov)

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	04/28/2015	9019035	J-10-0077	5037

71799 7590 04/08/2015  
Mr. Ryoichi Harada  
2100 Pennsylvania Ave., NW  
SUITE 560  
Washington, DC 20037-3213

## ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

### **Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)** (application filed on or after May 29, 2000)

The Patent Term Adjustment is 99 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Risato Ohhira, Tokyo, JAPAN;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit [SelectUSA.gov](http://SelectUSA.gov).

# PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail** **Mail Stop ISSUE FEE**  
**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, Virginia 22313-1450**  
**or Fax** **(571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

71799 7590 01/08/2015  
**Mr. Ryoichi Harada**  
**2100 Pennsylvania Ave., NW**  
**SUITE 560**  
**Washington, DC 20037-3213**

## Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	02/19/2010	Risato Ohhira	J-10-0077	5037

TITLE OF INVENTION: A HIGH FREQUENCY WIRING BOARD COMPRISED OF INTERCONNECTED FIRST AND SECOND COPLANAR LINES ON DIFFERENT LAYERS AND HAVING A GROUND PATTERN PHYSICALLY SEPARATED THEREFROM

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	04/08/2015

EXAMINER	ART UNIT	CLASS-SUBCLASS
LEE, BENNY T	2842	333-033000

<b>1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).</b> <input type="checkbox"/> Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached. <input type="checkbox"/> "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. <b>Use of a Customer Number is required.</b>	<b>2. For printing on the patent front page, list</b> <b>(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,</b> <b>(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.</b>	<b>1</b> <u>Sughrue Mion, PLLC</u> <b>2</b> _____ <b>3</b> _____
---	--	--

### 3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE **NEC CORPORATION** (B) RESIDENCE: (CITY and STATE OR COUNTRY) **TOKYO, JAPAN**

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

#### 4a. The following fee(s) are submitted:

- ☒ Issue Fee  
☒ Publication Fee (No small entity discount permitted)  
☐ Advance Order - # of Copies \_\_\_\_\_

#### 4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.  
☐ Payment by credit card. Form PTO-2038 is attached.  
☐ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number (EFT) (enclose an extra copy of this form).

#### 5. Change in Entity Status (from status indicated above)

- ☐ Applicant certifying micro entity status. See 37 CFR 1.29  
☐ Applicant asserting small entity status. See 37 CFR 1.27  
☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Kelly G. Hyndman 39,234/

Date March 22, 2015

Typed or printed name Kelly G. Hyndman

Registration No. 39,234

## Electronic Patent Application Fee Transmittal

<b>Application Number:</b>	12674221			
<b>Filing Date:</b>	19-Feb-2010			
<b>Title of Invention:</b>	A HIGH FREQUENCY WIRING BOARD COMPRISED OF INTERCONNECTED FIRST AND SECOND COPLANAR LINES ON DIFFERENT LAYERS AND HAVING A GROUND PATTERN PHYSICALLY SEPARATED THEREFROM			
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira			
<b>Filer:</b>	Kelly G. Hyndman/Andrew Annis			
<b>Attorney Docket Number:</b>	J-10-0077			
Filed as Large Entity				
<b>Filing Fees for U.S. National Stage under 35 USC 371</b>				
<b>Description</b>	<b>Fee Code</b>	<b>Quantity</b>	<b>Amount</b>	<b>Sub-Total in USD(\$)</b>
<b>Basic Filing:</b>				
<b>Pages:</b>				
<b>Claims:</b>				
<b>Miscellaneous-Filing:</b>				
<b>Petition:</b>				
<b>Patent-Appeals-and-Interference:</b>				
<b>Post-Allowance-and-Post-Issuance:</b>				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Utility Appl Issue Fee	1501	1	960	960
Publ. Fee- Early, Voluntary, or Normal	1504	1	0	0
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				960

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	21883883
<b>Application Number:</b>	12674221
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	5037
<b>Title of Invention:</b>	A HIGH FREQUENCY WIRING BOARD COMPRISED OF INTERCONNECTED FIRST AND SECOND COPLANAR LINES ON DIFFERENT LAYERS AND HAVING A GROUND PATTERN PHYSICALLY SEPARATED THEREFROM
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira
<b>Customer Number:</b>	71799
<b>Filer:</b>	Kelly G. Hyndman/Andrew Annis
<b>Filer Authorized By:</b>	Kelly G. Hyndman
<b>Attorney Docket Number:</b>	J-10-0077
<b>Receipt Date:</b>	26-MAR-2015
<b>Filing Date:</b>	19-FEB-2010
<b>Time Stamp:</b>	12:04:40
<b>Application Type:</b>	U.S. National Stage under 35 USC 371

### Payment information:

Submitted with Payment	yes
Payment Type	Electronic Funds Transfer
Payment was successfully received in RAM	\$960
RAM confirmation Number	17782
Deposit Account	
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

--

**File Listing:**

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	J-10-0077_Issue_Fee.pdf	161262	no	1
			6a71bf656b8b3170d0da35fc6ee32e961f08e28a		

**Warnings:**

**Information:**

2	Fee Worksheet (SB06)	fee-info.pdf	32729	no	2
			8d4a4aaaf1121a171c972207f6e5399db60e75dc		

**Warnings:**

**Information:**

Total Files Size (in bytes):			193991
------------------------------	--	--	--------

**This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.**

**New Applications Under 35 U.S.C. 111**

**If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.**

**National Stage of an International Application under 35 U.S.C. 371**

**If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.**

**New International Application Filed with the USPTO as a Receiving Office**

**If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.**

UNITED STATES PATENT AND TRADEMARK OFFICE  
COMMISSIONER FOR PATENTS  
P.O.BOX 1450  
ALEXANDRIA VA 22313-1451

PRESORTED  
FIRST-CLASS MAIL  
U.S. POSTAGE PAID  
POSTEDIGITAL  
NNNNN

Mr. Ryoichi Harada  
2100 Pennsylvania Ave., NW  
SUITE 560  
Washington, DC 20037-3213



**Courtesy Reminder for  
Application Serial No: 12/674,221**

Attorney Docket No: J-10-0077

Customer Number: 71799

Date of Electronic Notification: 01/08/2015

This is a courtesy reminder that new correspondence is available for this application. If you have not done so already, please review the correspondence. The official date of notification of the outgoing correspondence will be indicated on the form PTOL-90 accompanying the correspondence.

An email notification regarding the correspondence was sent to the following email address(es) associated with your customer number:

Satoko.Kajima@necam.com  
necipca@necam.com  
ryoichi.harada@necam.com

To view your correspondence online or update your email addresses, please visit us anytime at <https://sportal.uspto.gov/secure/myportal/privatepair>. If you have any questions, please email the Electronic Business Center (EBC) at [EBC@uspto.gov](mailto:EBC@uspto.gov) or call 1-866-217-9197.



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

## NOTICE OF ALLOWANCE AND FEE(S) DUE

71799 7590 01/08/2015  
Mr. Ryoichi Harada  
2100 Pennsylvania Ave., NW  
SUITE 560  
Washington, DC 20037-3213

EXAMINER

LEE, BENNY T

ART UNIT

PAPER NUMBER

2842

DATE MAILED: 01/08/2015

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/674,221

02/19/2010

Risato Ohhira

J-10-0077

5037

TITLE OF INVENTION: A HIGH FREQUENCY WIRING BOARD COMPRISED OF INTERCONNECTED FIRST AND SECOND COPLANAR LINES ON DIFFERENT LAYERS AND HAVING A GROUND PATTERN PHYSICALLY SEPARATED THEREFROM

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
-------------	---------------	---------------	---------------------	----------------------	------------------	----------

nonprovisional

UNDISCOUNTED

\$960

\$0

\$0

\$960

04/08/2015

**THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.**

**THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.**

### HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

**IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.**

# PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail Stop ISSUE FEE**  
**Commissioner for Patents**  
**P.O. Box 1450**  
**Alexandria, Virginia 22313-1450**  
**or Fax (571)-273-2885**

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

71799 7590 01/08/2015  
**Mr. Ryoichi Harada**  
**2100 Pennsylvania Ave., NW**  
**SUITE 560**  
**Washington, DC 20037-3213**

## Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	02/19/2010	Risato Ohhira	J-10-0077	5037

TITLE OF INVENTION: A HIGH FREQUENCY WIRING BOARD COMPRISED OF INTERCONNECTED FIRST AND SECOND COPLANAR LINES ON DIFFERENT LAYERS AND HAVING A GROUND PATTERN PHYSICALLY SEPARATED THEREFROM

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$960	\$0	\$0	\$960	04/08/2015

EXAMINER	ART UNIT	CLASS-SUBCLASS
LEE, BENNY T	2842	333-033000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

- ☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
- ☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

- (1) The names of up to 3 registered patent attorneys or agents OR, alternatively, 1 \_\_\_\_\_
- (2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2 \_\_\_\_\_
- 3 \_\_\_\_\_

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:

- ☐ Issue Fee
- ☐ Publication Fee (No small entity discount permitted)
- ☐ Advance Order - # of Copies \_\_\_\_\_

4b. Payment of Fee(s): (Please first reapply any previously paid issue fee shown above)

- ☐ A check is enclosed.
- ☐ Payment by credit card. Form PTO-2038 is attached.
- ☐ The director is hereby authorized to charge the required fee(s), any deficiency, or credits any overpayment, to Deposit Account Number \_\_\_\_\_ (enclose an extra copy of this form).

5. Change in Entity Status (from status indicated above)

- ☐ Applicant certifying micro entity status. See 37 CFR 1.29
- ☐ Applicant asserting small entity status. See 37 CFR 1.27
- ☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature \_\_\_\_\_

Date \_\_\_\_\_

Typed or printed name \_\_\_\_\_

Registration No. \_\_\_\_\_



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	02/19/2010	Risato Ohhira	J-10-0077	5037

71799 7590 01/08/2015  
Mr. Ryoichi Harada  
2100 Pennsylvania Ave., NW  
SUITE 560  
Washington, DC 20037-3213

EXAMINER
----------

LEE, BENNY T

ART UNIT	PAPER NUMBER
----------	--------------

2842

DATE MAILED: 01/08/2015

## Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

## OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

### Privacy Act Statement

**The Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

<b>Notice of Allowability</b>	<b>Application No.</b> 12/674,221	<b>Applicant(s)</b> OHHIRA, RISATO	
	<b>Examiner</b> BENNY LEE	<b>Art Unit</b> 2842	<b>AIA (First Inventor to File) Status</b> No

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--**

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to the amendment filed 1 July 2014.  
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on \_\_\_\_\_.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on \_\_\_\_\_; the restriction requirement and election have been incorporated into this action.
3. ☒ The allowed claim(s) is/are 1-12. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see [http://www.uspto.gov/patents/init\\_events/pph/index.jsp](http://www.uspto.gov/patents/init_events/pph/index.jsp) or send an inquiry to [PPHfeedback@uspto.gov](mailto:PPHfeedback@uspto.gov).
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

**Certified copies:**

- a) ☒ All    b) ☐ Some    \*c) ☐ None of the:
1. ☐ Certified copies of the priority documents have been received.
  2. ☐ Certified copies of the priority documents have been received in Application No. \_\_\_\_\_.
  3. ☒ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

\* Certified copies not received: \_\_\_\_\_.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.

**THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.**

5. ☐ CORRECTED DRAWINGS ( as "replacement sheets") must be submitted.  
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date \_\_\_\_\_.  
**Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).**
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

**Attachment(s)**

- |  |   |
|--|---|
| 1. <input type="checkbox"/> Notice of References Cited (PTO-892)   | 5. <input checked="" type="checkbox"/> Examiner's Amendment/Comment       |
| 2. <input type="checkbox"/> Information Disclosure Statements (PTO/SB/08),<br>Paper No./Mail Date _____    | 6. <input type="checkbox"/> Examiner's Statement of Reasons for Allowance |
| 3. <input type="checkbox"/> Examiner's Comment Regarding Requirement for Deposit<br>of Biological Material | 7. <input type="checkbox"/> Other _____                                   |
| 4. <input type="checkbox"/> Interview Summary (PTO-413),<br>Paper No./Mail Date _____                      |   |

Art Unit: 2842

### EXAMINER'S AMENDMENT

The present application is being examined under the pre-AIA first to invent provisions.

An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

The application has been amended as follows:

#### **In the Claims:**

In claim 4, line 9, "line" has been deleted to correct an obvious error.

Claims 1, 3, 11, 12; 2; 4-10 are allowable over the prior art of record.


#### **In the Title:**

The title of the invention has been changed by an **informal examiners amendment** to better reflect the claimed invention. The amended title reads as follows: --A high frequency wiring board comprised of interconnected first and second coplanar lines on different layers and having a ground pattern physically separated therefrom--.

Any inquiry concerning this communication should be directed to Benny Lee at telephone number 571 272 1764.

**/BENNY LEE/  
PRIMARY EXAMINER  
ART UNIT 2842**

B. Lee


<b>Issue Classification</b> 	<b>Application/Control No.</b> 12674221	<b>Applicant(s)/Patent Under Reexamination</b> OHHIRA, RISATO	
	<b>Examiner</b> BENNY LEE	<b>Art Unit</b> 2842	

CPC					
Symbol				Type	Version
H05K	1	0219		F	2013-01-01
H01P	3	08		I	2013-01-01
H01L	23	66		A	2013-01-01
H01L	2223	6616		A	2013-01-01
H01L	2223	6627		A	2013-01-01
H01L	2224	48227		A	2013-01-01
H01L	2924	09701		A	2013-01-01
H01L	2924	19033		A	2013-01-01
H01P	1	047		I	2013-01-01
H05K	1	0253		I	2013-01-01
H05K	1	0298		A	2013-01-01
H05K	2201	0715		A	2013-01-01
H05K	2201	093		A	2013-01-01
H05K	2201	09363		A	2013-01-01
H05K	2201	09618		A	2013-01-01
H05K	2201	09663		A	2013-01-01
H01L	2924	01019		A	2013-01-01
H01L	2224	48091		A	2013-01-01
H01L	2924	3011		A	2013-01-01

CPC Combination Sets								
Symbol					Type	Set	Ranking	Version
H01L		2224	/	48091	A	1	1	2013-01-01
H01L		2924	/	00014	A	1	2	2013-01-01
H01L		2924	/	3011	A	2	1	2013-01-01
H01L		2924	/	00	A	2	2	2013-01-01

NONE		<b>Total Claims Allowed:</b> 12	
(Assistant Examiner)	(Date)		
/BENNY LEE/ PRIMARY EXAMINER ART UNIT 2842 (Primary Examiner)	11 Dec 014 (Date)	O.G. Print Claim(s) 2	O.G. Print Figure 2A



<b>Issue Classification</b> 	<b>Application/Control No.</b> 12674221	<b>Applicant(s)/Patent Under Reexamination</b> OHHIRA, RISATO
	<b>Examiner</b> BENNY LEE	<b>Art Unit</b> 2842

<input type="checkbox"/> Claims renumbered in the same order as presented by applicant															
<input type="checkbox"/> CPA															
<input type="checkbox"/> T.D.															
<input type="checkbox"/> R.1.47															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
2	1														
1	2														
3	3														
6	4														
10	5														
11	6														
12	7														
7	8														
9	9														
8	10														
4	11														
5	12														

NONE		<b>Total Claims Allowed:</b>	
(Assistant Examiner)	(Date)	12	
/BENNY LEE/ PRIMARY EXAMINER ART UNIT 2842 (Primary Examiner)	11 Dec 014 (Date)	O.G. Print Claim(s) 2	O.G. Print Figure 2A



## UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
 United States Patent and Trademark Office  
 Address: COMMISSIONER FOR PATENTS  
 P.O. Box 1450  
 Alexandria, Virginia 22313-1450  
 www.uspto.gov

## BIB DATA SHEET

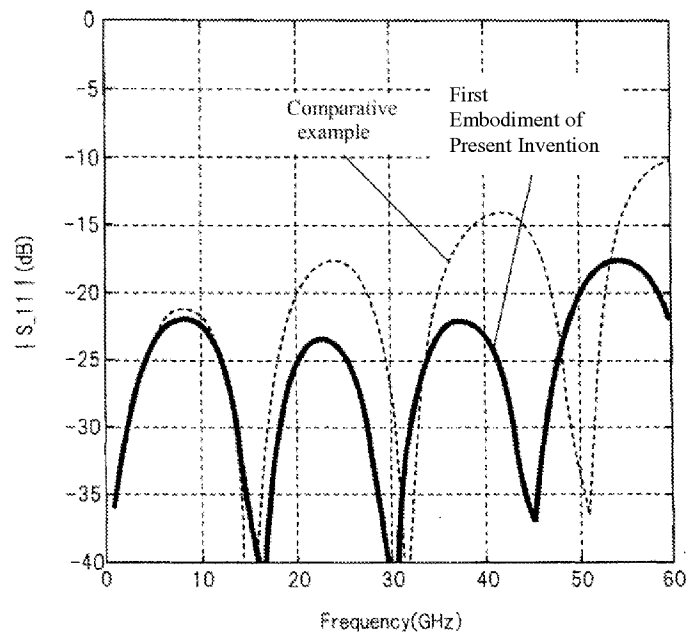
CONFIRMATION NO. 5037

<b>SERIAL NUMBER</b> 12/674,221	<b>FILING or 371(c) DATE</b> 02/19/2010 <b>RULE</b>	<b>CLASS</b> 333	<b>GROUP ART UNIT</b> 2842	<b>ATTORNEY DOCKET NO.</b> J-10-0077		
<b>APPLICANTS</b> <b>INVENTORS</b> Risato Ohhira, Tokyo, JAPAN; <b>** CONTINUING DATA *****</b> This application is a 371 of PCT/JP2008/063283 07/24/2008 <b>** FOREIGN APPLICATIONS *****</b> JAPAN 2007-241104 09/18/2007 <b>** IF REQUIRED, FOREIGN FILING LICENSE GRANTED **</b> 02/20/2011						
Foreign Priority claimed <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No 35 USC 119(a-d) conditions met <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No Verified and Acknowledged <u>/BENNY T LEE/</u> Examiner's Signature		<input type="checkbox"/> Met after Allowance Initials	<b>STATE OR COUNTRY</b> JAPAN	<b>SHEETS DRAWINGS</b> 13	<b>TOTAL CLAIMS</b> 12	<b>INDEPENDENT CLAIMS</b> 2
<b>ADDRESS</b> Mr. Ryoichi Harada 2100 Pennsylvania Ave., NW SUITE 560 Washington, DC 20037-3213 UNITED STATES						
<b>TITLE</b> A HIGH FREQUENCY WIRING BOARD COMPRISED OF INTERCONNECTED FIRST AND SECOND COPLANAR LINES ON DIFFERENT LAYERS AND HAVING A GROUND PATTERN PHYSICALLY SEPARATED THEREFROM						
<b>FILING FEE RECEIVED</b> 980	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:			<input type="checkbox"/> All Fees		
				<input type="checkbox"/> 1.16 Fees (Filing)		
				<input type="checkbox"/> 1.17 Fees (Processing Ext. of time)		
				<input type="checkbox"/> 1.18 Fees (Issue)		
				<input type="checkbox"/> Other _____		
			<input type="checkbox"/> Credit			

**REPLACEMENT SHEET**

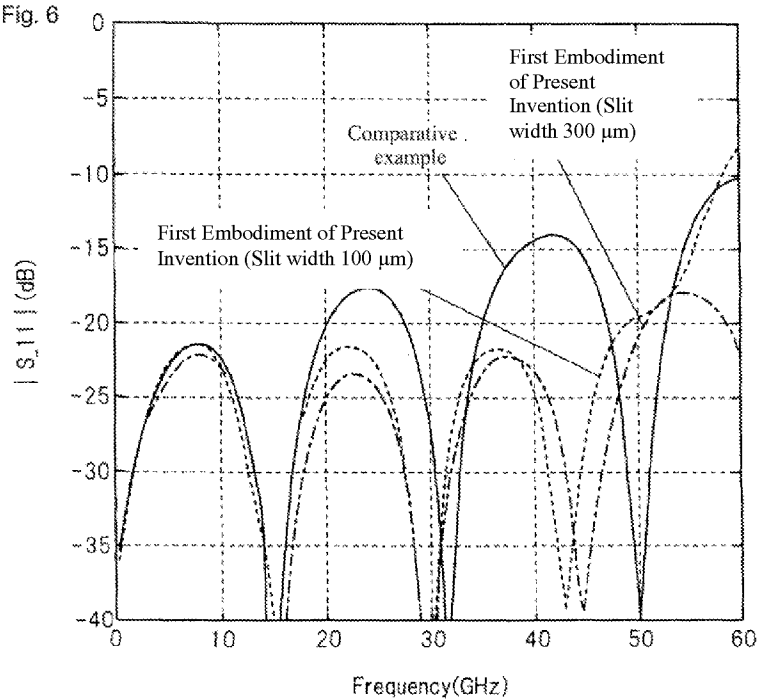
6/13


Fig. 5



APPROVED: /BTL/

Fig. 6



<b>Search Notes</b>  	<b>Application/Control No.</b>  12674221	<b>Applicant(s)/Patent Under Reexamination</b>  OHHIRA, RISATO
	<b>Examiner</b>  BENNY LEE	<b>Art Unit</b>  2817

CPC- SEARCHED		
Symbol	Date	Examiner

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
333	246, 238, 33	16 March 2012	BTL
Researched above		12 September 2012	BTL
Researched above		31 August 2013	BTL
Researched above		3 December 2014	BTL

SEARCH NOTES		
Search Notes	Date	Examiner

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
333	33, 246, 238	11 December 2014	BTL

--	--

## Office of Petitions: Routing Sheet



**Application No. 12/674,221**

**This application is being forwarded to your office for further processing. A decision has been rendered on a petition filed in this application.**

☒ **GRANTED**

☐ **DISMISSED**

☐ **DENIED**

## Office of Petitions: Decision Count Sheet

Mailing Month

Application No.

12674221



For US serial numbers: enter number only, no slashes or commas. Ex: 10123456

For PCT: enter "51+single digit of year of filing+last 5 numbers", Ex. for PCT/US05/12345, enter 51512345

Deciding Official:

BURKE, JOANNE

**Count (1) - Palm Credit**

12/674,221

FINANCE WORK NEEDED

Decision: GRANT

☐ Select Check Box for YES

Decision Type: 502 - 37 CFR 1.137(a) - REVIVAL BASED ON UNINTENT



Notes:

**Count (2)**

Decision: n/a

FINANCE WORK NEEDED

☐ Select Check Box for YES

Decision Type: NONE

Notes:

**Count (3)**

Decision: n/a

FINANCE WORK NEEDED

☐ Select Check Box for YES

Decision Type: NONE

Notes:

Initials of Approving Official (if required)

If more than 3 decisions, attach  
2nd count sheet & mark this box

Printed on:



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	02/19/2010	Risato Ohhira	J-10-0077	5037

71799 7590 11/17/2014  
Mr. Ryoichi Harada  
2100 Pennsylvania Ave., NW  
SUITE 560  
Washington, DC 20037-3213

EXAMINER
----------

LEE, BENNY T

ART UNIT	PAPER NUMBER
----------	--------------

2842

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

11/17/2014

ELECTRONIC

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ryoichi.harada@necam.com  
Satoko.Kajima@necam.com  
necipca@necam.com



UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents  
United States Patent and Trademark Office  
P.O. Box 1450  
Alexandria, VA 22313-1450  
[www.uspto.gov](http://www.uspto.gov)

In re Application of :  
Risato Ohhira :  
Application No. 12/674,221 : DECISION ON PETITION  
Filed: February 19, 2010 :  
Attorney Docket No. **J-10-0077** :

This is a decision on the petition under 37 CFR 1.137(a), filed July 1, 2014, to revive the above-identified design application.

The petition is **GRANTED**.

The application became abandoned for failure to reply in a timely manner to the Office action under Ex parte Quayle, 1935 Dec. Comm'r Pat. 11 (1935), mailed September 9, 2013, which set a shortened statutory period for reply of two (2) months. No extensions of time under the provisions of 37 CFR 1.136(a) were obtained. Accordingly, the application became abandoned on November 10, 2013.

The petition satisfies the requirements of 37 CFR 1.137(a) in that petitioner has supplied (1) the reply in the form of an Amendment, (2) the petition fee of \$1,700, and (3) a proper statement of unintentional delay. Accordingly, the failure to respond to the Office action under Ex parte Quayle, 1935 Dec. Comm'r Pat. 11 (1935), mailed September 9, 2013 is accepted as being unintentionally delayed.

It is not apparent whether the person signing the statement of unintentional delay was in a position to have firsthand or direct knowledge of the facts and circumstances of the delay at issue. Nevertheless, such statement is being treated as having been made as the result of a reasonable inquiry into the facts and circumstances of such delay. See 37 CFR 11.18 and Changes to Representation of Others Before the United States Patent and Trademark Office; Final Rule Notice, 73 Fed. Reg. 47650 (August 14, 2008), 1334 Off. Gaz. Pat. Office 338 (September 9, 2008). In the event that such an inquiry has not been made, petitioner must make such an inquiry. If such inquiry results in the discovery that it is not correct that the entire delay in filing the required reply from the due date for the reply until the filing of a grantable petition pursuant to 37 CFR 1.137 was unintentional, petitioner must notify the Office.

Art Unit: OPET

There is no indication that the person signing the petition was ever given a power of attorney to prosecute the application. If the person signing the petition desires to receive future correspondence regarding this application, the appropriate power of attorney document must be submitted. While a courtesy copy of this decision is being mailed to the person signing the petition, all future correspondence will be directed to the address currently of record until appropriate instructions are received.

An extension of time under 37 CFR 1.136 must be filed prior to the expiration of the maximum extendable period for reply. See *In re Application of S.*, 8 USPQ2d 1630, 1631 (Comm'r Pats. 1988). Since the \$2,200 extension of time fee submitted with the petition on July 1, 2014 was subsequent to the maximum extendable period for reply, this fee is unnecessary and will be credited to petitioner's deposit account.

Telephone inquiries concerning this decision should be directed to JoAnne Burke at (571) 272-4584.

This application is being referred to Technology Center AU 2843 for further processing in accordance with this decision on petition.

*/JoAnne Burke/*  
JoAnne Burke  
Paralegal Specialist  
Office of Petitions

cc: Grant K. Rowan  
WILMER CUTLER PICKERING HALE AND DORR LLP  
1875 Pennsylvania Avenue, NW  
Washington, DC 20006

Document code: WFEE

United States Patent and Trademark Office  
Sales Receipt for Accounting Date: 11/12/2014

CKHLOK      RF #30152920      Mailroom Dt: 11/12/2014      12674221

Credit Card Refund Total:      \$2200.00

American Express

XXXXXXXXXXXX1008

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant:	Risato Ohhira	Confirmation No.:	5037
Application No.:	12/674,221	Art Unit:	2817
Filed:	February 19, 2010	Examiner:	B. T. Lee
Title:	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD		

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**AMENDMENT**

Dear Commissioner:

**INTRODUCTORY COMMENTS**

In response to the Ex parte Quayle Action dated September 9, 2013, please amend the above-identified U.S. patent application as follows:

**Amendments to the Specification** begin on page 2 of this paper.

**Amendments to the Claims** are reflected in the listing of claims which begins on page 16 of this paper.

**Amendments to the Drawings** begin on page 24 of this paper and include an attached replacement sheet.

**Remarks/Arguments** begin on page 25 of this paper.

An **Appendix** including amended drawing figures is attached following page 27 of this paper.

**AMENDMENTS TO THE SPECIFICATION**

**Please replace paragraph [0013] with the following amended paragraph, marked to show changes:**

[0013]

If the physical path lengths of paths A and B are  $L_1$  and  $L_2$ , respectively as shown in Fig. 1D, then the path length difference  $L_1 - L_2$  is  $\Delta L$ , the wavelength of signal transmission in a vacuum is  $\lambda_0$ , the wave number of each path is the same at  $k$ , and the effective relative dielectric constants on each path are the same at  $\epsilon$ , the phase difference between the two paths A and B is represented by:

**Please replace paragraph [0021] with the following amended paragraph, marked to show changes:**

[0021]

Explanation next regards details of embodiments of the present invention with reference to the accompanying figures, where like features in the different drawing figures are designated by the same reference labels and may not be described in detail for each drawing figure in which they appear.

**Please replace paragraph [0074] with the following amended paragraph, marked to show changes:**

[0074]

In addition, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and second ground pattern 31 (FIGs. 7C–7H) that doubles as the lower-layer ground of the first coplanar

lines are interconnected by a plurality of conductive vias 41 (FIGs. 7A and 7B) arranged at a predetermined spacing along the direction of signal transmission of the first coplanar lines. Of the plurality of conductive vias 41 (FIGs. 7A and 7B), conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) in the vicinities of the connection of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and second signal line 11 (FIGs. 7B, 7E–7G) also interconnect planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines.

**Please replace paragraph [0075] with the following amended paragraph, marked to show changes:**

[0075]

In addition, first ground pattern 30b (FIGs. 7A, 7D, and 7E) that is on the upper layer of second coplanar lines and planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and second ground pattern 31 (FIGs. 7C–7H) are interconnected by the plurality of conductive vias 41 (FIGs. 7A and 7B) (41b) (FIGs. 7A–7C, 7F, 7H) that are arranged at a predetermined spacing along the direction of signal transmission of the second coplanar lines.

**Please replace paragraph [0078] with the following amended paragraph, marked to show changes:**

[0078]

In the high-frequency transmission lines of this type of high-frequency wiring board, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and first ground pattern 30b of the

upper layer of the second coplanar lines are separated in the direction of the extension of the second coplanar lines from the vicinity of the connection of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and conductive via 40 (FIGs. 7A, 7B, 7E, and 7G). As a result, during transmission of a signal from the first coplanar lines to the second coplanar lines, the high frequency paths of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the upper layer of the second coplanar lines are restricted to one path. In other words, the high-frequency current path that is propagated in ground pattern 30b (FIGs. 7A, 7D, and 7E) at the time of signal transmission to the second coplanar lines is only the path from planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines that passes successively by way of conductive via 41a (FIGs. 7A–7C, 7E, and 7H), planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines, and by way of the next conductive via 41b (FIGs. 7A–7C, 7F, 7H) along the direction of signal transmission toward first ground pattern 30b (FIGs. 7A, 7D, and 7E). In this way, phase 5 interference of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 7A, 7D, and 7E) does not occur. As a result, reflection characteristics that progressively deteriorate from low frequencies to high frequencies can be improved.

**Please replace paragraph [0079] with the following amended paragraph, marked to show changes:**

[0079]

In the present embodiment, moreover, planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines are separated by way of a predetermined width (dielectric width) in the direction of

the extension of the first coplanar lines from the vicinity of the connection of second signal line 11 (FIGs. 7B, 7E–7G) and conductive via 40 (FIGs. 7A, 7B, 7E, and 7G). As a result, even should a signal be transmitted from the second coplanar lines to the first coplanar lines, the high-frequency paths of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the upper layer of the second coplanar lines are restricted to one path. In other words, the only high-frequency current path that is propagated in ground pattern 50 (FIGs. 7B, 7D, and 7H) during transmission of a signal to the first coplanar lines is the path toward ground pattern 50 (FIGs. 7B, 7D, and 7H) that passes successively from planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines to conductive via 41a (FIGs. 7A–7C, 7E, and 7H), to planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines, and to the next conductive via 41c (FIGs. 7A–7D and 7H) along the direction of signal transmission. In this way, phase interference of the high-frequency current that is propagated in ground pattern 50 (FIGs. 7B, 7D, and 7H) does not occur. As a result, reflection characteristics that progressively deteriorate from low frequencies to high frequencies can be improved.

**Please replace paragraph [0084] with the following amended paragraph, marked to show changes:**

[0084]

The upper limit of the above-described first separation width is prescribed by the spacing of conductive vias 41 (FIGs. 7A and 7B) formed on the second coplanar lines (space of the arrangement of conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) and 41b (FIGs. 7A–7C, 7F, 7H)),

and the reason for this limit and a method for calculating the via spacing are as described in the first embodiment.

**Please replace paragraph [0085] with the following amended paragraph, marked to show changes:**

[0085]

Regarding the above-described second separation width, the same thinking as in the method of prescribing the first separation width is adopted, the second separation width being prescribed by the spacing of conductive vias 41 (FIGs. 7A and 7B) formed on first coplanar lines (space of the arrangement of conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) and 41c (FIGs. 7A–7D and 7H)). In other words, the second separation width is prescribed to be greater than 0, and moreover, to be no greater than the spacing from conductive via 41a (FIGs. 7A–7C, 7E, and 7H) in the vicinity of connection end of second signal line 11 (FIGs. 7B, 7E–7G) to the next conductive via 41c (FIGs. 7A–7D and 7H) in the direction of signal transmission. In addition, space of the arrangement of, for example, conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) and 41c (FIGs. 7A–7D and 7H) that are formed in the first coplanar lines is a value determined for realizing the desired frequency band in the first coplanar lines. Although this value is not explained in detail, the value can be found using the same calculation method and concepts as explained in the first embodiment.

**Please replace paragraph [0087] with the following amended paragraph, marked to show changes:**

[0087]

First, L1 (FIG. 7A) is the minimum distance from, among the plurality of conductive vias 41 (FIGs. 7A and 7B) provided in the coplanar lines as shown in FIG. 7A, the circumference of conductive via 41a (FIGs. 7A–7C, 7E, and 7H) that interconnects the grounds of the first coplanar lines and the second coplanar lines to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first signal line 10 (FIGs. 7A, 7D, 7E, 7G) side.

**Please replace paragraph [0088] with the following amended paragraph, marked to show changes:**

[0088]

L2 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 41a (FIGs. 7A–7C, 7E, and 7H) to the outer circumference of planar ground pattern 32 (FIGs. 7B, 7E, and 7H) on the second signal line 11 (FIGs. 7B, 7E–7G) side.

**Please replace paragraph [0092] with the following amended paragraph, marked to show changes:**

[0092]

L8 (FIG. 7A) is the minimum distance from, among the plurality of conductive vias 41 (FIGs. 7A and 7B) provided in the first coplanar lines, excluding conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) that interconnect the grounds of first coplanar lines and second coplanar lines, the circumference of conductive via 41c (FIGs. 7A–7D and 7H) that is closest to conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first signal line 10 (FIGs. 7A, 7D, 7E, 7G) side.

**Please replace paragraph [0093] with the following amended paragraph, marked to show changes:**

[0093]

L9 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 41c (FIGs. 7A–7D and 7H) to the outer circumference of ground pattern 50 (FIGs. 7B, 7D, and 7H) on the second coplanar line side.

**Please replace paragraph [0094] with the following amended paragraph, marked to show changes:**

[0094]

L10 (FIG. 7A) is the minimum distance from the circumference of the above-described conductive via 41a (FIGs. 7A–7C, 7E, and 7H) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first ground pattern 30b (FIGs. 7A, 7D, and 7E) side.

**Please replace paragraph [0095] with the following amended paragraph, marked to show changes:**

[0095]

L11 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 41a (FIGs. 7A–7C, 7E, and 7H) to the outer circumference of planar ground pattern 32 (FIGs. 7B, 7E, and 7H) on the ground pattern 50 (FIGs. 7B, 7D, and 7H) side.

**Please replace paragraph [0096] with the following amended paragraph, marked to show changes:**

[0096]

Finally,  $dx_2$  (FIGs. 7A–7C and 7H) is the spacing of conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) and 41c (FIGs. 7A–7D and 7H).

**Please replace paragraph [0097] with the following amended paragraph, marked to show changes:**

[0097]

When the above-described dimensions are set, the range in which inversion does not occur in the phases of each of the high-frequency currents that pass by the high-frequency current path on the signal line side that is propagated through signal lines 10 and 11 (FIGs. 7B, 7E–7G) and the high-frequency current path on the ground pattern side that is propagated from planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and through ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines by way of conductive via 41a (FIGs. 7A–7C, 7E, and 7H) at a particular signal wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band) can be prescribed by the formula:

**Please replace paragraph [0102] with the following amended paragraph, marked to show changes:**

[0102]

In the inspection of the reflection characteristics, the same numerical conditions were adopted as in the first embodiment, with the exception of the following points of change. Specifically, because ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines is provided in the present embodiment, the gap spacing of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) was changed to 78  $\mu\text{m}$ . In addition, minimum distance L8 from the circumference of conductive via 41c (FIGs. 7A–7D and 7H) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first signal line 10 (FIGs. 7A, 7D, 7E, 7G) side is the same as distance L1 (FIGs. 7A) at 135  $\mu\text{m}$ .

**Please replace paragraph [0103] with the following amended paragraph, marked to show changes:**

[0103]

In addition to the configuration realized by these numerical conditions, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the second coplanar lines that are provided on the same layer as planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) and conductive vias 41b (FIGs. 7A–7C, 7F, 7H). Further, planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a (FIGs. 7A–7C, 7E, and 7H) and conductive vias 41c (FIGs. 7A–7D and 7H).

**Please replace paragraph [0104] with the following amended paragraph, marked to show changes:**

[0104]

In this case, minimum distance L4 from the circumference of conductive via 41b (FIGs. 7A–7C, 7F, 7H) to the outer circumference of first ground pattern 30b (FIGs. 7A, 7D, and 7E) on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 (FIG. 7A) from the circumference of conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) to the outer circumference of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) is 25  $\mu\text{m}$ , and minimum distance L7 (FIG. 7B) from the circumference of conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) to the outer circumference of second signal line 11 (FIGs. 7B, 7E–7G) is 0  $\mu\text{m}$ . Further, minimum distance L9 (FIG. 7B) from the circumference of conductive via 41c (FIGs. 7A–7D and 7H) to the outer circumference of ground pattern 50 (FIGs. 7B, 7D, and 7H) on the second coplanar line side is 25  $\mu\text{m}$ . Minimum distance L10 (FIG. 7A) from the circumference of conductive via 41a (FIGs. 7A–7C, 7E, and 7H) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first ground pattern 30b (FIGs. 7A, 7D, and 7E) side is 25  $\mu\text{m}$ . Minimum distance L11 (FIG. 7B) from the circumference of conductive via 41a (FIGs. 7A–7C, 7E, and 7H) to the outer circumference of planar ground pattern 32 (FIGs. 7B, 7E, and 7H) on the ground pattern 50 (FIGs. 7B, 7D, and 7H) side is 25  $\mu\text{m}$ . Finally, the effective relative dielectric constant  $\epsilon_1$ , of the first coplanar lines is 3.892, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1.

**Please replace paragraph [0112] with the following amended paragraph, marked to show changes:**

[0112]

The high-frequency wiring board of the present embodiment is made up from dielectric wiring board 20 realized by stacking two dielectric layers 20a (FIGs. 9A, 9D–[[7]]9H) and 20b (FIGs. 9B and 9D–[[7]]9H). First coplanar lines are formed on the upper surface of first dielectric layer 20a (FIGs. 9A, 9D–[[7]]9H) that is the obverse surface (first wiring layer) (FIG. 9A) of dielectric wiring board 20 (FIGs. 9D–9F). These first coplanar lines are made up from first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) that is formed on the same layer as first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and that encloses first signal line 10 (FIGs. 9A, 9D, 9E, 9G) on two sides. Second coplanar lines are formed on the upper surface of second dielectric layer 20b (FIGs. 9B and 9D–[[7]]9H) that is an internal layer (second wiring layer) (FIG. 9B) of dielectric wiring board 20 (FIGs. 9D–9F). The second coplanar lines are made up from second signal line 11 (FIGs. 9B, 9E–9G) and planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) that is formed on the same layer as second signal line 11 (FIGs. 9B, 9E–9G) and that encloses second signal line 11 (FIGs. 9B, 9E–9G) on two sides. Planar ground patterns 30a (FIGs. 9A, 9D, 9E, and 9H) and 32 (FIGs. 9B, 9D, 9E, and 9H) of the first and second coplanar lines may also be formed on only one of the two positions that enclose the signal lines.

**Please replace paragraph [0116] with the following amended paragraph, marked to show changes:**

[0116]

Further, planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and second ground pattern 31 (FIGs. 9C–9H) that doubles as the lower layer ground of the first coplanar lines

are interconnected by a plurality of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H) that are arranged at predetermined spacing along the direction of signal transmission of the first coplanar lines.

However, of the plurality of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H), conductive vias 41a (FIGs. 9A–9C, 9E, and 9H) in the vicinity of the connection of first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and second signal line 11 (FIGs. 9B, 9E–9G) also interconnect between planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines.

**Please replace paragraph [0117] with the following amended paragraph, marked to show changes:**

[0117]

In addition, first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) that is on the upper layer of the second coplanar lines, planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines, and second ground pattern 31 (FIGs. 9C–9H) are further interconnected by a plurality of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H) (41b) (FIGs. 9A–9C, 9F, 9H) that are arranged at a predetermined spacing along the direction of signal transmission of the second coplanar lines.

**Please replace paragraph [0122] with the following amended paragraph, marked to show changes:**

[0122]

In addition, in a configuration in which planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) are separated at a width of fixed spacing, a

further improvement of reflection characteristics is obtained by prescribing the upper limit of the separation width between planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) as the spacing of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H) (the arrangement spacing of conductive vias 41a (FIGs. 9A–9C, 9E, and 9H) and 41b (FIGs. 9A–9C, 9F, 9H)) formed in the second coplanar lines. The reasons for this improvement as well as the method of calculating the via spacing are as described in the first embodiment.

**Please replace paragraph [0128] with the following amended paragraph, marked to show changes:**

[0128]

In the configuration realized by these numerical conditions, planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) of the second coplanar lines that are provided on the same layer are separated by a slit-shaped width of 300  $\mu\text{m}$  midway between conductive vias 41a (FIGs. 9A–9C, 9E, and 9H) and conductive vias 41b (FIGs. 9A–9C, 9F, 9H).

**Please replace paragraph [0129] with the following amended paragraph, marked to show changes:**

[0129]

In this case, minimum distance L4 from the circumference of conductive via 41b (FIGs. 9A–9C, 9F, 9H) to the outer circumference of first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 from the circumference of conductive via 40

(FIGs. 9A, 9B, 9E, and 9G) to the outer circumference of first signal line 10 (FIGs. 9A, 9D, 9E, 9G) is 25  $\mu\text{m}$ , minimum distance L7 from the circumference of conductive via 40 (FIGs. 9A, 9B, 9E, and 9G) to the outer circumference of second signal line 11 (FIGs. 9B, 9E–9G) is 0  $\mu\text{m}$ , and minimum distance L10 from the circumference of conductive via 41a (FIGs. 9A–9C, 9E, and 9H) to the outer circumference of planar ground pattern 30 on the first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) side is 25  $\mu\text{m}$ . In addition, the effective relative dielectric constant  $\epsilon_1$  of the first coplanar lines is 3.892, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1.

**Please replace paragraph [0134] with the following amended paragraph, marked to show changes:**

[0134]

In each of the embodiments of the present invention, when a signal is being transmitted from the first coplanar lines to the second coplanar lines, the high-frequency current paths that are propagated in a first ground pattern of the upper layer of the second coplanar lines are limited to one. In other words, the high-frequency current path propagated to the first ground pattern at the time of signal transmission to the second coplanar lines is the only path from a planar ground pattern of the first coplanar lines to the first ground pattern that successively passes by way of second conductive via 41a (FIGs. 9A–9C, 9E, and 9H), the planar ground pattern of the second coplanar lines, and by way of the next second conductive via 41b (FIGs. 9A–9C, 9F, 9H) along the direction of signal transmission.

**AMENDMENTS TO THE CLAIMS**

**Please amend the claims 1 as indicated below.**

1. (Currently Amended) A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and a second planar ground pattern formed on the same wiring layer as said second signal line; and

a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

said first coplanar lines and said second coplanar lines are connected\_by a connection between said first signal line and said second signal line; and

said first ground pattern and said first planar ground pattern are physically separated so that the first ground pattern and the first planar ground pattern do not contact each other electrically in the same layer, where a separation region extends along a direction of extension of said second signal line from the connection between said first signal line and said second signal line.

2. (Previously Presented ) A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and

a second planar ground pattern formed on the same wiring layer as said second signal line; and

a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

said first coplanar lines and said second coplanar lines are connected such that a signal is transmitted from said first coplanar lines to said second coplanar lines; and

when the signal is being transmitted from said first coplanar lines to said second coplanar lines, a portion of the path of a high-frequency current that is propagated from said first planar ground pattern to said first ground pattern passes only by way of said second planar ground pattern.

3. (Currently Amended) The high-frequency wiring board as set forth in claim 1 wherein:

said first signal line in said first coplanar lines is formed in the interior or on the obverse surface of a dielectric wiring board, and said first planar ground pattern is formed ~~on the same wiring layer as said first signal line and~~ on at least one of two side positions that enclose said first signal line; and

said second planar ground pattern in said second coplanar lines is formed ~~on the same wiring layer as said second signal line and~~ on at least one of two side positions that

enclose said second signal line.

4. (Currently Amended) A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and a second planar ground pattern formed on the same wiring layer as said second signal line:

a first ground pattern formed on the same wiring layer as said first coplanar lines;

a first conductive via for connecting said first signal line and said second signal line at ~~[[the]]~~ an line end of each signal line so that said first coplanar lines and said second coplanar lines are connected;

a second ground pattern formed on the wiring layer on the opposite side of the layer of said first ground pattern with respect to the wiring layer on which said second coplanar lines are formed; and

second conductive vias that are a plurality of second conductive vias arranged at a predetermined spacing along the direction of signal transmission through said first and second coplanar lines, said second conductive vias including:

conductive vias *a* for connecting said first planar ground pattern and said second planar ground pattern, conductive vias *b* for connecting said first ground pattern and said second planar ground pattern, and conductive vias *c* for connecting said first planar ground pattern and said second ground pattern;

wherein

said first ground pattern and said first planar ground pattern are separated by a width,

where a separation region extends along a direction of extension of said second signal line from the vicinity of said first conductive via.

5. (Original) The high-frequency wiring board as set forth in claim 4, wherein the width between said first ground pattern and said first planar ground pattern that are separated is a width no greater than the spacing of said second conductive vias that is set in said second coplanar lines.

6. (Currently Amended) The high-frequency wiring board as set forth in claim 4,  
wherein:

when: L1 is the minimum distance from a circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines, said conductive via a [[a]] interconnecting said first planar ground pattern and said second planar ground pattern, to an outer circumference of said first planar ground pattern on said first signal line side;

L2 is the minimum distance from a circumference of said conductive via a to an outer circumference of said second planar ground pattern on said second signal line side;

L3 is the minimum distance from a circumference of, from among said

plurality of second conductive vias provided in said second coplanar lines and excluding said conductive vias  $a$ , said conductive via  $b$  being closest to said first conductive via, to the outer circumference of said second planar ground pattern on said second signal line side;

$L4$  is the minimum distance from a circumference of said conductive via  $b$  to an outer circumference of said first ground pattern on said first coplanar line side;

$L5$  is the dielectric layer thickness between said first ground pattern and said second planar ground pattern;

$L6$  is the minimum distance from a circumference of said first conductive via to an outer circumference of said first signal line;

$L7$  is the minimum distance from the circumference of said first conductive via to an outer circumference of said second signal line;

$L10$  is the minimum distance from the circumference of said conductive via  $a$  to the outer circumference of said first planar ground pattern on said first ground pattern side;

$\epsilon_1$  is the effective relative dielectric constant of said first coplanar lines;

$\epsilon_2$  is the effective relative dielectric constant of said second coplanar lines;

$\phi$  is the diameter of said second conductive vias; and

$\lambda_0$  is a minimum wavelength in a vacuum in the transmitted signal band; said first planar ground pattern and said first ground pattern that are provided on the same layer as said first planar ground pattern are separated such that the following relational expression is

satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} \\ < \lambda/2$$

7. (Previously Presented) The high-frequency wiring board as set forth in claim 4, further comprising:

a third ground pattern formed in a region of the same wiring layer as said second coplanar lines that confronts the region in which said first coplanar lines are formed;

wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of the connection of said first signal line and said second signal line.

8. (Currently Amended) The high-frequency wiring board as set forth in claim 4, further comprising:

a third ground pattern formed in a region of the same wiring layer of said second coplanar lines that confronts the region in which said first coplanar lines are formed, and moreover, that is electrically connected by said second conductive vias to both said first planar ground pattern and said second ground pattern;

wherein said third ground pattern is separated from said second planar ground pattern by a width in the direction of transmission of said first coplanar lines from the vicinity of connection of said second signal line and said first conductive via.

9. (Currently Amended) The high-frequency wiring board as set forth in claim 8, wherein the width between said third ground pattern and said second planar ground pattern that are separated is a width no greater than the spacing of said second conductive vias that is set in said first coplanar lines.

10. (Currently Amended) The high-frequency wiring board as set forth in claim 8, wherein:

when: L8 is the minimum distance from a circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines and excluding said conductive vias *a*, said conductive via *c* being closest to said first conductive via, to an outer circumference of said first planar ground pattern on said first signal line side;

L9 is the minimum distance from a circumference of said conductive via *c* to an outer circumference of said third ground pattern on said second coplanar lines side;

L11 is the minimum distance from a circumference of said conductive via *a* to an outer circumference of said second planar ground pattern on said third ground pattern side; and

~~$\lambda_0$  is a minimum wavelength in a vacuum of the transmitted signal band;~~

said second planar ground pattern and said third ground pattern provided on the same layer as said second planar ground pattern are separated such that the following relational expression is satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\} < \lambda_0 / 2$$

11. (Previously Presented) The high-frequency wiring board as set forth in claim 1, wherein said second planar ground pattern is not only formed on at least one of two side positions that enclose said second signal line but also extends into a region, of the same wiring layer as said second coplanar lines, that confronts a region in which said first coplanar lines are formed.

12. (Previously Presented) A high-frequency module in which a semiconductor integrated circuit chip is mounted on the high-frequency wiring board as set forth in claim 1.

**AMENDMENTS TO THE DRAWINGS**

The attached sheet of drawings includes changes to Figure 5 in accordance with the Examiner's suggestions.

Attachment: Replacement sheet

### **REMARKS**

Claims 1–12 are pending in the present application, and the Examiner has indicated that the claims contain allowable subject matter.

#### **I. Objections to the Drawings**

The Examiner has objected to the drawings. Applicant submits that the Replacement Drawings and amendments to the specification overcome the objection.

#### **II. Objections to the Specification**

The Examiner has objected to informalities in the specification. Applicant has amended the specification in accordance with the Examiner's suggestions. In view of the foregoing, Applicant respectfully requests the withdrawal of the objections to the specification.

#### **III. Objections to the Claims**

The Examiner has objected to informalities in the claims. Applicant has amended the claims in accordance with the Examiner's suggestions. In view of the foregoing, Applicant respectfully requests the withdrawal of the objections to the claims.

#### **IV. Conclusion**

In view of the above amendments, Applicant believes the pending application is in condition for allowance.

This paper is being filed concurrently with a Four Month Extension of Time, a Petition to Revoke and the requisite fees.

Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account No. 08-0219, under Order No. 2207946.00126US1, and please credit any excess fees to the same deposit account.

Respectfully submitted,

Dated: July, 1 2014

/Grant K. Rowan/

---

Grant K. Rowan  
Registration No.: 41,278  
Attorney for Applicant(s)

Wilmer Cutler Pickering Hale and Dorr LLP  
1875 Pennsylvania Avenue, NW  
Washington, DC 20006  
(202) 663-6000 (telephone)  
(202) 663-6363 (facsimile)

Application No. 12/674,221  
Amendment dated July 1, 2014  
Ex parte Quayle Action dated September 9, 2013

Docket No.: 2207946.00126US1

## **APPENDIX**

**REPLACEMENT SHEET**

6/13

Fig. 5

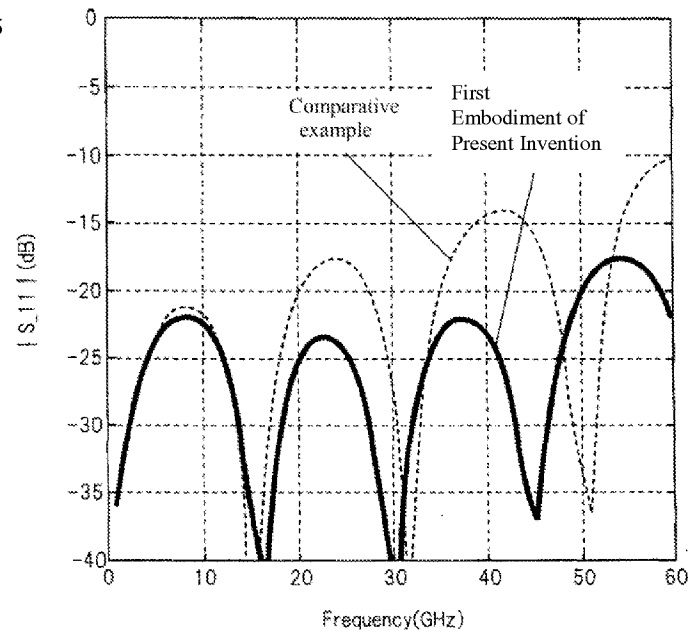
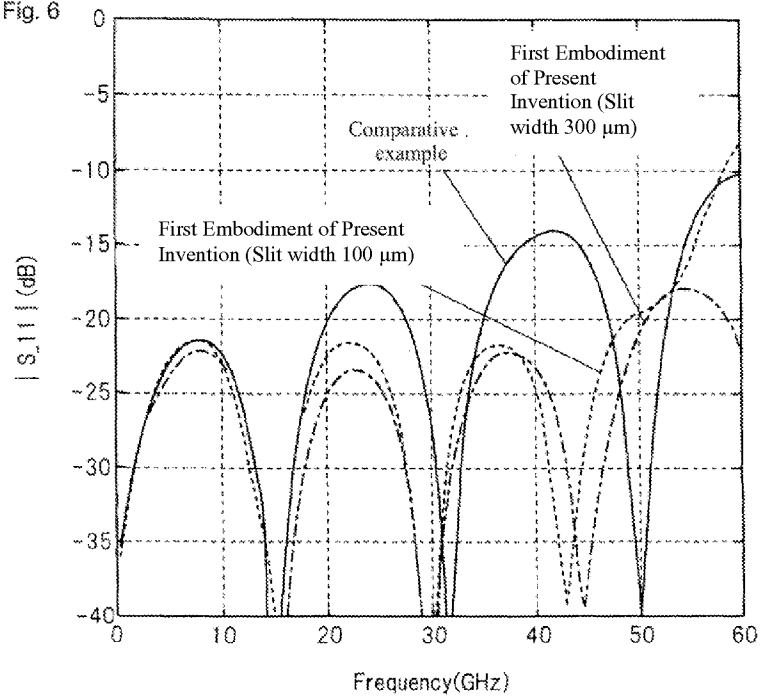


Fig. 6



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)</b>		Docket Number (Optional) 2207946.00126US1	
Application Number 12/674,221-Conf. #5037		Filed February 19, 2010	
For HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD			
Art Unit 2817		Examiner B. T. Lee	

This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above-identified application.

The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):

	<u>Fee</u>	<u>Small Entity Fee</u>	<u>Micro Entity Fee</u>	
<input type="checkbox"/> One month (37 CFR 1.17(a)(1))	\$200	\$100	\$50	\$ _____
<input type="checkbox"/> Two months (37 CFR 1.17(a)(2))	\$600	\$300	\$150	\$ _____
<input type="checkbox"/> Three months (37 CFR 1.17(a)(3))	\$1,400	\$700	\$350	\$ _____
<input checked="" type="checkbox"/> Four months (37 CFR 1.17(a)(4))	\$2,200	\$1,100	\$550	\$ 2,200.00
<input type="checkbox"/> Five months (37 CFR 1.17(a)(5))	\$3,000	\$1,500	\$750	\$ _____

☐ Applicant asserts small entity status. See 37 CFR 1.27.  
☐ Applicant certifies micro entity status. See 37 CFR 1.29.  
Form PTO/SB/15A or B or equivalent must either be enclosed or have been submitted previously.  
☐ A check in the amount of the fee is enclosed.  
☒ Payment by credit card. ~~Form PTO-2038 is attached.~~  
☐ The Director has already been authorized to charge fees in this application to a Deposit Account.  
☒ The Director is hereby authorized to charge any fees which may be required, or credit any overpayment, to  
Deposit Account Number 08-0219 .  
☒ Payment made via EFS-Web.

**WARNING:** Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

I am the

☐ applicant/inventor.  
☐ assignee of record of the entire interest. See 37 CFR 3.71. 37 CFR 3.73(b) statement is enclosed (Form PTO/SB/96).  
☒ attorney or agent of record. Registration number 41,278 .  
☐ attorney or agent acting under 37 CFR 1.34. Registration number \_\_\_\_\_ .

\_\_\_\_\_  
/Grant K. Rowan/  
Signature

\_\_\_\_\_  
Grant K. Rowan  
Typed or printed name

\_\_\_\_\_  
July 1, 2014  
Date

\_\_\_\_\_  
(202) 663-6000  
Telephone Number

**NOTE:** This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Submit multiple forms if more than one signature is required, see below\*.

☐ \*Total of 1 forms are submitted.

## Electronic Patent Application Fee Transmittal

<b>Application Number:</b>	12674221			
<b>Filing Date:</b>	19-Feb-2010			
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD			
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira			
<b>Filer:</b>	Grant Kelly Rowan/Ondine Marquer			
<b>Attorney Docket Number:</b>	J-10-0077			
Filed as Large Entity				
<b>U.S. National Stage under 35 USC 371 Filing Fees</b>				
<b>Description</b>	<b>Fee Code</b>	<b>Quantity</b>	<b>Amount</b>	<b>Sub-Total in USD(\$)</b>
<b>Basic Filing:</b>				
<b>Pages:</b>				
<b>Claims:</b>				
<b>Miscellaneous-Filing:</b>				
<b>Petition:</b>				
Pet. Revive Abandon App, Delay Pymt-Resp	1453	1	1700	1700
<b>Patent-Appeals-and-Interference:</b>				
<b>Post-Allowance-and-Post-Issuance:</b>				
<b>Extension-of-Time:</b>				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension - 4 months with \$0 paid	1254	1	2200	2200
Miscellaneous:				
Total in USD (\$)				3900

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	19464195
<b>Application Number:</b>	12674221
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	5037
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira
<b>Customer Number:</b>	71799
<b>Filer:</b>	Grant Kelly Rowan/Ondine Marquer
<b>Filer Authorized By:</b>	Grant Kelly Rowan
<b>Attorney Docket Number:</b>	J-10-0077
<b>Receipt Date:</b>	01-JUL-2014
<b>Filing Date:</b>	19-FEB-2010
<b>Time Stamp:</b>	16:23:05
<b>Application Type:</b>	U.S. National Stage under 35 USC 371

### Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$3900
RAM confirmation Number	2859
Deposit Account	080219
Authorized User	ROWAN, GRANT K.

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. 1.492 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.20 (Post Issuance fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

## File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Miscellaneous Incoming Letter	NEC_126US1_Petition_for_Revival_SB64.PDF	146812 51121017eec26725e9d8abe561856810f729a1b3	no	2

## Warnings:

## Information:

2		NEC_126US1_Response_to_Ex Parte_Quayle_Action_of_September_9_2013.PDF	367734 4e0d61918a1f71dcfa341d899dfdec6ec62a41c	yes	28
---	--	---	---	-----	----

## Multipart Description/PDF files in .zip description

Document Description		Start	End
Amendment/Req. Reconsideration-After Non-Final Reject		1	1
Specification		2	15
Claims		16	23
Drawings-only black and white line drawings		24	24
Applicant Arguments/Remarks Made in an Amendment		25	26
Appendix to the Specification		27	27
Drawings-only black and white line drawings		28	28

## Warnings:

## Information:

3	Extension of Time	NEC126US1_EOT_070114.pdf	114437 a5d34c8e747400fe38e2fcd9d81dfbeed1b48139	no	1
---	-------------------	--------------------------	--	----	---

## Warnings:

## Information:

4	Fee Worksheet (SB06)	fee-info.pdf	32853 95a7e0539e5f3093a679805953770ccef221f46	no	2
---	----------------------	--------------	--	----	---

## Warnings:

## Information:

Total Files Size (in bytes):

661836

**This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.**

**New Applications Under 35 U.S.C. 111**

**If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.**

**National Stage of an International Application under 35 U.S.C. 371**

**If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.**

**New International Application Filed with the USPTO as a Receiving Office**

**If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.**

**PETITION FOR REVIVAL OF AN APPLICATION FOR PATENT  
ABANDONED UNINTENTIONALLY UNDER 37 CFR 1.137(a)**

Page 1 of 2

Docket Number (Optional)  
2207946.00126US1

First named inventor: Risato OHHIRA

Application No.: 12/674,221-Conf. #5037 Art Unit: 2817

Filed: February 19, 2010 Examiner: B. T. Lee

Title: HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD

Attention: Office of Petitions

**Mail Stop Petition**

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

FAX (571) 273-8300

NOTE: If information or assistance is needed in completing this form, please contact the Office of Petitions at (571) 272-3282.

The above-identified application became abandoned for failure to file a timely and proper reply to a notice or action by the United States Patent and Trademark Office. The date of abandonment is the day after the expiration date of the period set for reply in the Office notice or action plus any extensions of time actually obtained.

**APPLICANT HEREBY PETITIONS FOR REVIVAL OF THIS APPLICATION.**

NOTE: A grantable petition requires the following items:

- (1) Petition fee;
- (2) Reply and/or issue fee;
- (3) Terminal disclaimer with disclaimer fee – required for all utility and plant applications filed before June 8, 1995, and for all design applications; and
- (4) Statement that the entire delay was unintentional.

**1. Petition fee**

☐ Small entity fee \$ \_\_\_\_\_ (37 CFR 1.17(m)). Applicant asserts small entity status. See 37 CFR 1.27.

☒ Undiscounted fee \$ 1,700.00 (37.CFR.1.17(m)).

**2. Reply and/or fee**

A The reply and/or fee to the above-noted Office notice or action in the form of  
Amendment and Petition for Extension of Time (Four Months) (identify the type of reply):

☐ has been filed previously on \_\_\_\_\_.

☒ is enclosed herewith.

B The issue fee and publication fee (if applicable) of \$ \_\_\_\_\_

☐ has been paid previously on \_\_\_\_\_.

☐ is enclosed herewith.

**PETITION FOR REVIVAL OF AN APPLICATION FOR PATENT  
ABANDONED UNINTENTIONALLY UNDER 37 CFR 1.137(a)**

Page 2 of 2

**3. Terminal disclaimer with disclaimer fee**

- ☒ Since this utility/plant application was filed on or after June 8, 1995, no terminal disclaimer is required.
- ☐ A terminal disclaimer (and disclaimer fee (37 CFR 1.20(d)) of \$ \_\_\_\_\_) disclaiming the required period of time is enclosed herewith (see PTO/SB/63).

**4. STATEMENT:** The entire delay in filing the required reply from the due date for the required reply until the filing of a grantable petition under 37 CFR 1.137(a) was unintentional. [NOTE: The United States Patent and Trademark Office may require additional information if there is a question as to whether either the abandonment or the delay in filing a petition under 37 CFR 1.137(a) was unintentional (MPEP 711.03(c), subsections (III)(C) and (D)).]

**WARNING:**

Petitioner/applicant is cautioned to avoid submitting personal information in documents filed in a patent application that may contribute to identity theft. Personal information such as social security numbers, bank account numbers, or credit card numbers (other than a check or credit card authorization form PTO-2038 submitted for payment purposes) is never required by the USPTO to support a petition or an application. If this type of personal information is included in documents submitted to the USPTO, petitioners/applicants should consider redacting such personal information from the documents before submitting them to the USPTO. Petitioner/applicant is advised that the record of a patent application is available to the public after publication of the application (unless a non-publication request in compliance with 37 CFR 1.213(a) is made in the application) or issuance of a patent. Furthermore, the record from an abandoned application may also be available to the public if the application is referenced in a published application or an issued patent (see 37 CFR 1.14). Checks and credit card authorization forms PTO-2038 submitted for payment purposes are not retained in the application file and therefore are not publicly available.

/Grant K. Rowan/

Signature

July 1, 2014

Date

Grant K. Rowan

Typed or Printed Name

41,278

Registration Number, if applicable

WILMER CUTLER PICKERING HALE AND DORR LLP  
1875 Pennsylvania Avenue, NW  
Washington, DC 20006

Address

(202) 663-6000

Telephone Number

**Enclosures:**

- ☒ Fee Payment
- ☒ Reply
- ☐ Terminal Disclaimer Form
- ☐ Additional sheet(s) containing statements establishing unintentional delay
- ☐ Other: \_\_\_\_\_

Document code: WFEE

United States Patent and Trademark Office  
Sales Receipt for Accounting Date: 11/12/2014

CKHLOK	ADJ #00000003	Mailroom Dt: 07/01/2014	
	Seq No: 2859	Sales Acctg Dt: 07/02/2014	12674221
	02 FC : 1254	-2200.00	OP

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875	Application or Docket Number <b>12/674,221</b>	Filing Date <b>02/19/2010</b>	<input type="checkbox"/> To be Mailed
---	---	----------------------------------	---------------------------------------

ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO

**APPLICATION AS FILED – PART I**

(Column 1)

(Column 2)

FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A	
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X \$ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$ =	
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

**APPLICATION AS AMENDED – PART II**

(Column 1)

(Column 2)

(Column 3)

AMENDMENT	07/01/2014	CLAIMS REMAINING AFTER AMENDMENT	Minus	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	* 12	Minus	** 20	= 0	X \$80 =	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X \$420 =	0
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))						
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
						TOTAL ADD'L FEE	<b>0</b>

(Column 1)

(Column 2)

(Column 3)

AMENDMENT	CLAIMS REMAINING AFTER AMENDMENT	Minus	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	X \$ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	X \$ =	
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))					
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))					
					TOTAL ADD'L FEE	

\* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

\*\* If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

\*\*\* If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

LIE  
/AMANDA FORD/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	02/19/2010	Risato Ohhira	J-10-0077	5037

71799 7590 06/10/2014

Mr. Ryoichi Harada  
2100 Pennsylvania Ave., NW  
SUITE 560  
Washington, DC 20037-3213

EXAMINER
----------

LEE, BENNY T

ART UNIT	PAPER NUMBER
----------	--------------

2843

NOTIFICATION DATE	DELIVERY MODE
-------------------	---------------

06/10/2014

ELECTRONIC

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ryoichi.harada@necam.com  
Satoko.Kajima@necam.com  
necipca@necam.com

<b>Notice of Abandonment</b>	<b>Application No.</b>	<b>Applicant(s)</b>
	12/674,221	OHHIRA, RISATO
	<b>Examiner</b>	<b>Art Unit</b>
	BENNY LEE	2843

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--**

This application is abandoned in view of:

1. ☒ Applicant's failure to timely file a proper reply to the Office letter mailed on 09 September 2013.
  - (a) ☐ A reply was received on \_\_\_\_\_ (with a Certificate of Mailing or Transmission dated \_\_\_\_\_), which is after the expiration of the period for reply (including a total extension of time of \_\_\_\_\_ month(s)) which expired on \_\_\_\_\_.
  - (b) ☐ A proposed reply was received on \_\_\_\_\_, but it does not constitute a proper reply under 37 CFR 1.113 to the final rejection.  
(A proper reply under 37 CFR 1.113 to a final rejection consists only of: (1) a timely filed amendment which places the application in condition for allowance; (2) a timely filed Notice of Appeal (with appeal fee); or (3) a timely filed Request for Continued Examination (RCE) in compliance with 37 CFR 1.114).
  - (c) ☐ A reply was received on \_\_\_\_\_ but it does not constitute a proper reply, or a bona fide attempt at a proper reply, to the non-final rejection. See 37 CFR 1.85(a) and 1.111. (See explanation in box 7 below).
  - (d) ☒ No reply has been received.
2. ☐ Applicant's failure to timely pay the required issue fee and publication fee, if applicable, within the statutory period of three months from the mailing date of the Notice of Allowance (PTOL-85).
  - (a) ☐ The issue fee and publication fee, if applicable, was received on \_\_\_\_\_ (with a Certificate of Mailing or Transmission dated \_\_\_\_\_), which is after the expiration of the statutory period for payment of the issue fee (and publication fee) set in the Notice of Allowance (PTOL-85).
  - (b) ☐ The submitted fee of \$\_\_\_\_\_ is insufficient. A balance of \$\_\_\_\_\_ is due.  
The issue fee required by 37 CFR 1.18 is \$\_\_\_\_\_. The publication fee, if required by 37 CFR 1.18(d), is \$\_\_\_\_\_.
  - (c) ☐ The issue fee and publication fee, if applicable, has not been received.
3. ☐ Applicant's failure to timely file corrected drawings as required by, and within the three-month period set in, the Notice of Allowability (PTO-37).
  - (a) ☐ Proposed corrected drawings were received on \_\_\_\_\_ (with a Certificate of Mailing or Transmission dated \_\_\_\_\_), which is after the expiration of the period for reply.
  - (b) ☐ No corrected drawings have been received.
4. ☐ The letter of express abandonment which is signed by the attorney or agent of record or other party authorized under 37 CFR 1.33(b). See 37 CFR 1.138(b).
5. ☐ The letter of express abandonment which is signed by an attorney or agent (acting in a representative capacity under 37 CFR 1.34) upon the filing of a continuing application.
6. ☐ The decision by the Board of Patent Appeals and Interference rendered on \_\_\_\_\_ and because the period for seeking court review of the decision has expired and there are no allowed claims.
7. ☐ The reason(s) below:

	/BENNY LEE/ PRIMARY EXAMINER ART UNIT 2843
--	--

Petitions to revive under 37 CFR 1.137, or requests to withdraw the holding of abandonment under 37 CFR 1.181, should be promptly filed to minimize any negative effects on patent term.

UNITED STATES PATENT AND TRADEMARK OFFICE  
COMMISSIONER FOR PATENTS  
P.O.BOX 1450  
ALEXANDRIA VA 22313-1451

PRESORTED  
FIRST-CLASS MAIL  
U.S. POSTAGE PAID  
POSTEDIGITAL  
NNNNN

Mr. Ryoichi Harada  
2100 Pennsylvania Ave., NW  
SUITE 560  
Washington, DC 20037-3213



**Courtesy Reminder for  
Application Serial No: 12/674,221**

Attorney Docket No: J-10-0077

Customer Number: 71799

Date of Electronic Notification: 09/09/2013

This is a courtesy reminder that new correspondence is available for this application. If you have not done so already, please review the correspondence. The official date of notification of the outgoing correspondence will be indicated on the form PTOL-90 accompanying the correspondence.

An email notification regarding the correspondence was sent to the following email address(es) associated with your customer number:

Satoko.Kajima@necam.com  
necipca@necam.com  
ryoichi.harada@necam.com

To view your correspondence online or update your email addresses, please visit us anytime at <https://sportal.uspto.gov/secure/myportal/privatepair>. If you have any questions, please email the Electronic Business Center (EBC) at [EBC@uspto.gov](mailto:EBC@uspto.gov) or call 1-866-217-9197.



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/674,221

02/19/2010

Risato Ohhira

J-10-0077

5037

71799

7590

09/09/2013

Mr. Ryoichi Harada

2100 Pennsylvania Ave., NW

SUITE 560

Washington, DC 20037-3213

EXAMINER

LEE, BENNY T

ART UNIT

PAPER NUMBER

2817

NOTIFICATION DATE

DELIVERY MODE

09/09/2013

ELECTRONIC

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ryoichi.harada@necam.com

Satoko.Kajima@necam.com

necipca@necam.com



The present application is being examined under the pre-AIA first to invent provisions.

A request for continued examination under 37 CFR 1.114, including the fee set forth in 37 CFR 1.17(e), was filed in this application after final rejection. Since this application is eligible for continued examination under 37 CFR 1.114, and the fee set forth in 37 CFR 1.17(e) has been timely paid, the finality of the previous Office action has been withdrawn pursuant to 37 CFR 1.114. Applicant's submission filed on 20 December 2012 has been entered.

This application is in condition for allowance except for the following formal matters:

**In the Specification:**

The disclosure is objected to because of the following informalities: In replacement paragraph [0013], second line therein, note that --respectively as shown in Fig. 1D, then-- should be inserted after “L2,” for an appropriate characterization. In replacement paragraph [0021], note that --and may not be described in detail for each drawing figure in which they appear in-- should be inserted after “labels” for an appropriate characterization. Note that “7A-C” should be rewritten as --7A-7C-- at the following instances: paragraph [0074], 5<sup>th</sup> line therein; paragraph [0075], 4<sup>th</sup> line therein; paragraph [0078], 13<sup>th</sup> & 14<sup>th</sup> lines therein; paragraph [0079], 13<sup>th</sup> line therein; paragraph [0084], third line therein; paragraph [0085], 4<sup>th</sup>, 6<sup>th</sup> & 9<sup>th</sup> lines therein; paragraph [0087], third line therein; paragraph [0088], second line therein; paragraph [0092], second line therein; paragraph [0094], second line therein; paragraph [0095], second line therein; paragraph [0096], first line therein; paragraph [0097], 6<sup>th</sup> line therein; paragraph [0103], 5<sup>th</sup> & 8<sup>th</sup> lines therein; paragraph [0104], 10<sup>th</sup> & 12<sup>th</sup> lines therein. Note that “7A-D” should be rewritten as --7A-7D-- at the following instances: paragraph [0079], 15<sup>th</sup> line therein; paragraph [0085], 4<sup>th</sup>, 8<sup>th</sup> & 9<sup>th</sup> lines therein; paragraph [0092], 4<sup>th</sup> line therein; paragraph [0093], second line therein;

Art Unit: 2817

paragraph [0096], second line therein; paragraph [0102], 6<sup>th</sup> line therein; paragraph [0103], 9<sup>th</sup> line therein; paragraph [0104], 8<sup>th</sup> line therein. In replacement paragraph [0112], second, third, 4<sup>th</sup> & 9<sup>th</sup> lines therein, note that “7H” should be changed to --9H-- at each instance for a proper characterization. Note that “9A-C” should be rewritten as 9A-9C-- at the following instances: paragraph [0116], 6<sup>th</sup> line therein; paragraph [0117], 4<sup>th</sup> line therein; paragraph [0122], 6<sup>th</sup> & 7<sup>th</sup> lines therein; paragraph [0128], 5<sup>th</sup> & 6<sup>th</sup> lines therein; paragraph [0129], first & 7<sup>th</sup> lines therein; paragraph [0134], 7<sup>th</sup> & 8<sup>th</sup> lines therein. Appropriate correction is required.

**In the Drawings:**

The drawings are objected to because in Figure 5, note that the label “Fi.g” should be changed to --Fig.-- for a proper spelling. Corrected drawing sheets in compliance with 37 CFR 1.121(d) are required in reply to the Office action to avoid abandonment of the application. Any amended replacement drawing sheet should include all of the figures appearing on the immediate prior version of the sheet, even if only one figure is being amended. The figure or figure number of an amended drawing should not be labeled as “amended.” If a drawing figure is to be canceled, the appropriate figure must be removed from the replacement sheet, and where necessary, the remaining figures must be renumbered and appropriate changes made to the brief description of the several views of the drawings for consistency. Additional replacement sheets may be necessary to show the renumbering of the remaining figures. Each drawing sheet submitted after the filing date of an application must be labeled in the top margin as either “Replacement Sheet” or “New Sheet” pursuant to 37 CFR 1.121(d). If the changes are not accepted by the examiner, the applicant will be notified and informed of any required corrective action in the next Office action. The objection to the drawings will not be held in abeyance.

Art Unit: 2817

**In the Claims:**

In claim 1, line 14, it is noted that --the-- should be inserted prior to “same” for an appropriate characterization.

In claim 3, lines 3, 4 & 6, 7, note that “on the same wiring layer as said first signal line and” (i.e. lines 3 & 4) and “on the same wiring layer as said second signal line and” (i.e. lines 6 & 7) should be respectively deleted as being redundant.

In claim 4, line 11, note that “the line” should be changed to “an” for an appropriate characterization; line 27, note that --by a width-- should be inserted after “separated” to provide appropriate antecedent basis for the subsequent recitation of “the width” (i.e. claim 5).

In claim 6, line 1, note that a --,-- should be inserted after “4” for grammatical clarity; line 5, note that “via a” should be rewritten as --via *a*-- (i.e. the parameter “a” should be italicized) for an appropriate characterization.

In claim 8, line 8, note that --by a width-- should be inserted after “pattern” to provide appropriate antecedent basis for the subsequent recitation of “the width” (i.e. claim 9).

In claim 9, line 3, it is noted that --the-- should be inserted prior to “spacing” for an appropriate characterization.

In claim 10, line 13, note that “ $\lambda_0$  is a minimum wavelength in a vacuum of the transmitted signal band” should be deleted as a redundant recitation.

Claims 1, 3, 11, 12; 2; 4-10 are allowable over the prior art of record.

Prosecution on the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.


Art Unit: 2817

A shortened statutory period for reply to this action is set to expire **TWO MONTHS** from the mailing date of this letter.

Any inquiry concerning this communication should be directed to Benny Lee at telephone number 571 272 1764.

**/BENNY LEE/  
PRIMARY EXAMINER  
ART UNIT 2817**

B. Lee

<b>Search Notes</b>  	<b>Application/Control No.</b>  12674221	<b>Applicant(s)/Patent Under Reexamination</b>  OHHIRA, RISATO
	<b>Examiner</b>  BENNY LEE	<b>Art Unit</b>  2817

CPC- SEARCHED		
Symbol	Date	Examiner


CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
333	246, 238, 33	16 March 2012	BTL
Researched above		12 September 2012	BTL
Researched above		31 August 2013	BTL

SEARCH NOTES		
Search Notes	Date	Examiner

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner

--	--

<b><i>Index of Claims</i></b>  	<b>Application/Control No.</b>  12674221	<b>Applicant(s)/Patent Under Reexamination</b>  OHHIRA, RISATO
	<b>Examiner</b>  BENNY LEE	<b>Art Unit</b>  2817

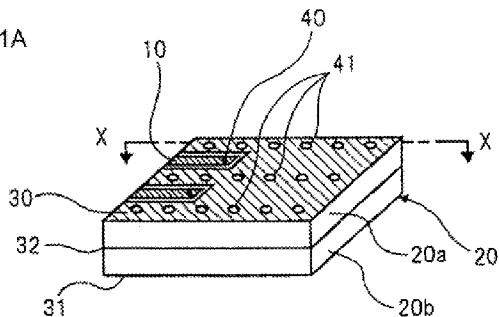
✓	<b>Rejected</b>	-	<b>Cancelled</b>	N	<b>Non-Elected</b>	A	<b>Appeal</b>
=	<b>Allowed</b>	÷	<b>Restricted</b>	I	<b>Interference</b>	O	<b>Objected</b>

<input type="checkbox"/> Claims renumbered in the same order as presented by applicant					<input type="checkbox"/> CPA		<input type="checkbox"/> T.D.		<input type="checkbox"/> R.1.47	
CLAIM		DATE								
Final	Original	03/21/2012	09/16/2012	09/02/2013						
	1	✓	✓	=						
	2	✓	=	=						
	3	✓	✓	=						
	4	✓	○	=						
	5	✓	○	=						
	6	✓	○	=						
	7	✓	○	=						
	8	✓	○	=						
	9	✓	○	=						
	10	✓	○	=						
	11	✓	✓	=						
	12	✓	✓	=						

**Replacement sheet**

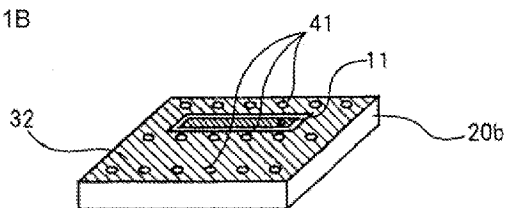
1/13

Fig. 1A



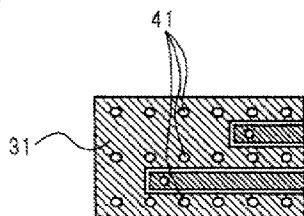
(PRIOR ART)

Fig. 1B



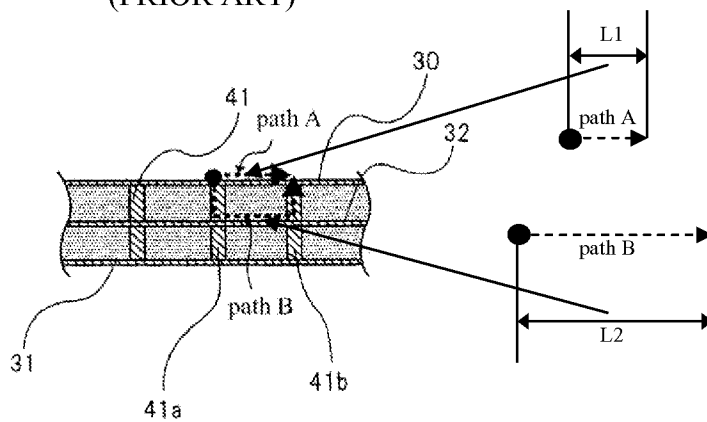
(PRIOR ART)

Fig. 1C



(PRIOR ART)

Fig. 1D



(PRIOR ART)

APPROVED: /BTL/

**Replacement sheet**

2/13

Fig. 2A

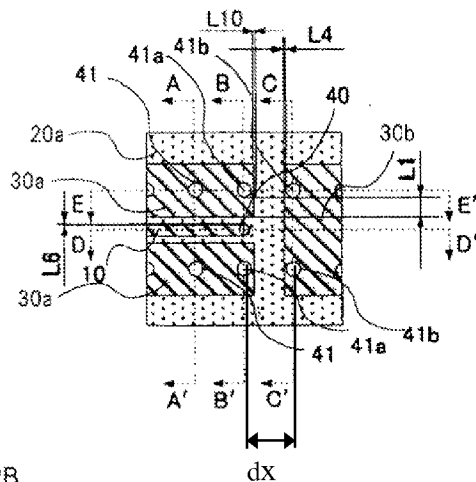


Fig. 2B

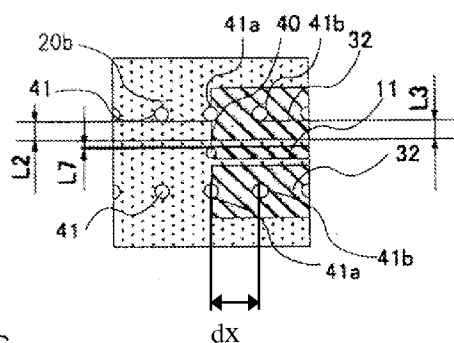


Fig. 2C

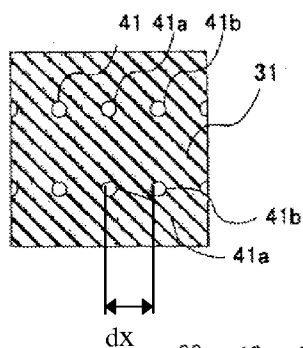
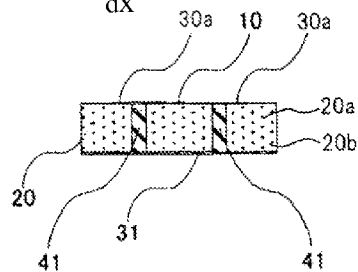


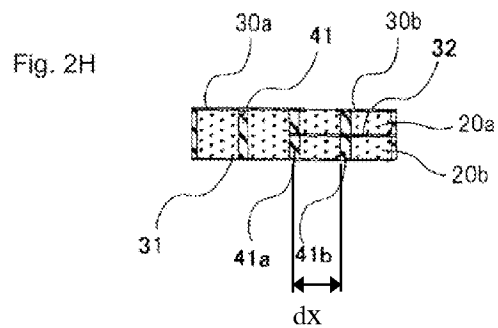
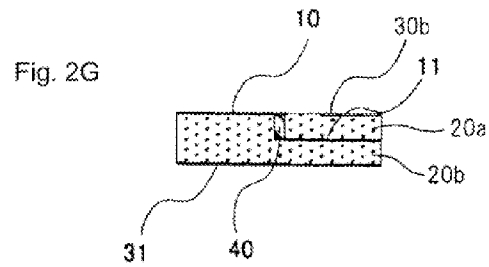
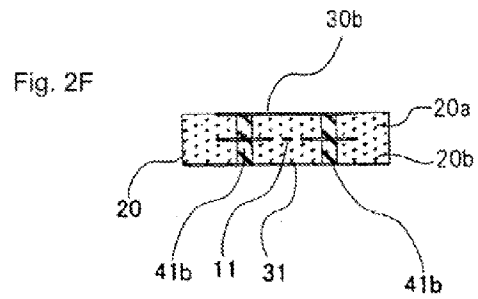
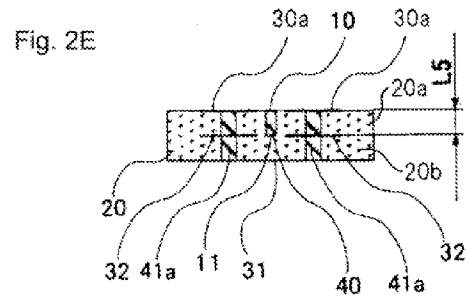
Fig. 2D



APPROVED: /BTL/

**Replacement sheet**

3/13



APPROVED: /BTL/

**Replacement sheet**

7/13

Fig. 7A

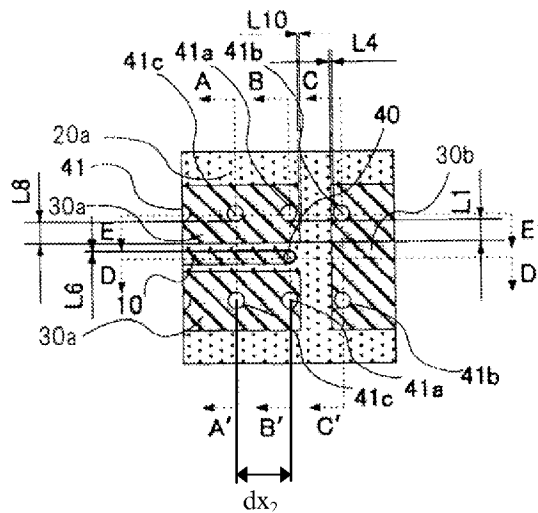


Fig. 7B

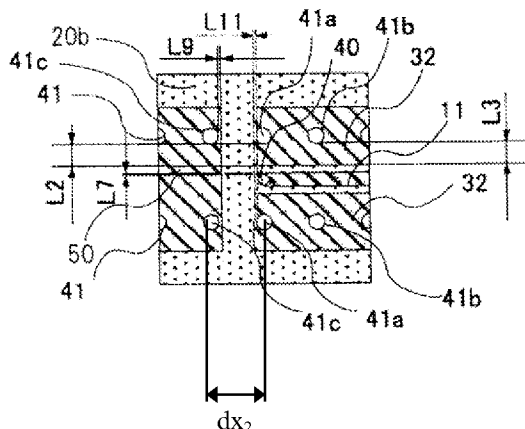
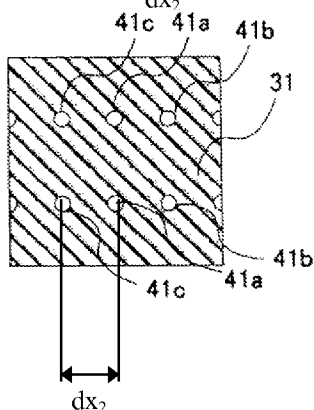


Fig. 7C



APPROVED: /BTL/

**Replacement sheet**

9/13

Fig. 7H

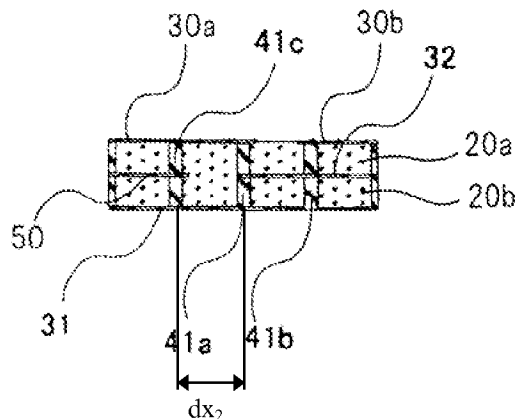
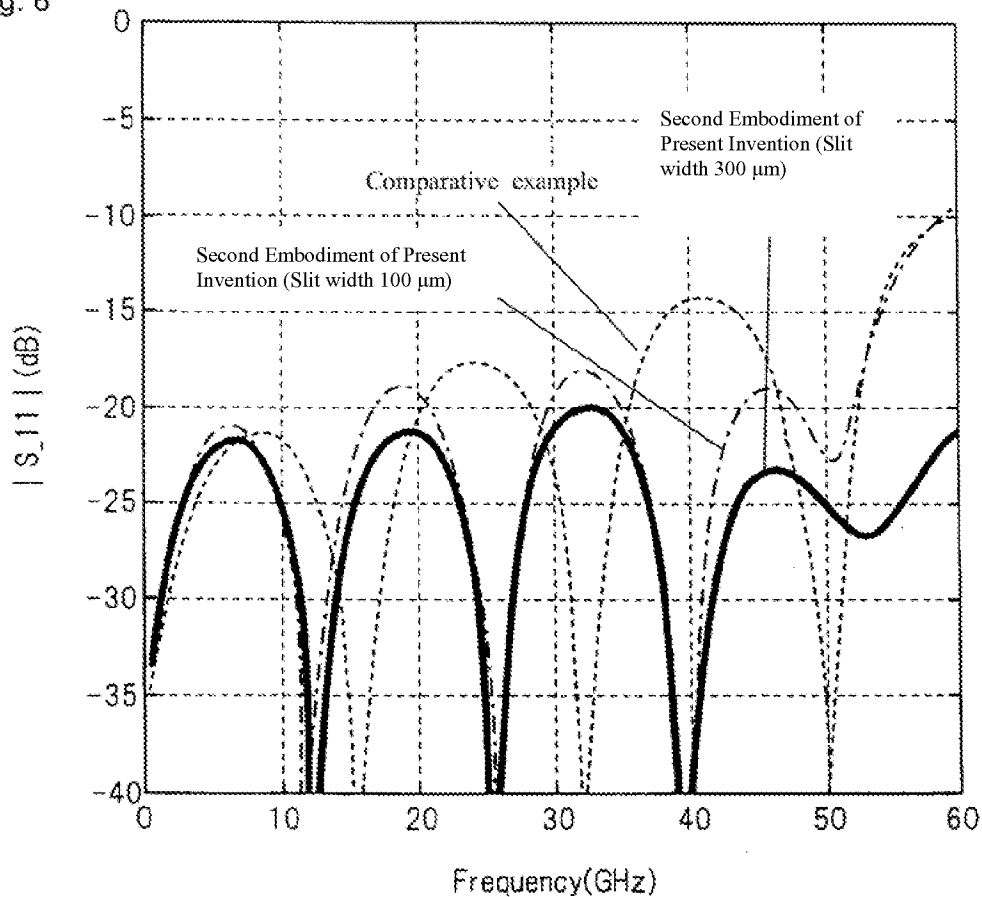


Fig. 8



## REQUEST FOR CONTINUED EXAMINATION(RCE)TRANSMITTAL (Submitted Only via EFS-Web)

Application Number	12674221	Filing Date	2010-02-19	Docket Number (if applicable)	2207946.00126US1	Art Unit	2817
First Named Inventor	Risato Ohhira			Examiner Name	Benny T. Lee		

**This is a Request for Continued Examination (RCE) under 37 CFR 1.114 of the above-identified application.**

Request for Continued Examination (RCE) practice under 37 CFR 1.114 does not apply to any utility or plant application filed prior to June 8, 1995, or to any design application. The Instruction Sheet for this form is located at WWW.USPTO.GOV

### SUBMISSION REQUIRED UNDER 37 CFR 1.114

Note: If the RCE is proper, any previously filed unentered amendments and amendments enclosed with the RCE will be entered in the order in which they were filed unless applicant instructs otherwise. If applicant does not wish to have any previously filed unentered amendment(s) entered, applicant must request non-entry of such amendment(s).

☒ Previously submitted. If a final Office action is outstanding, any amendments filed after the final Office action may be considered as a submission even if this box is not checked.

☐ Consider the arguments in the Appeal Brief or Reply Brief previously filed on \_\_\_\_\_

☒ Other Amendment filed on December 20, 2012

☒ Enclosed

☐ Amendment/Reply

☐ Information Disclosure Statement (IDS)

☐ Affidavit(s)/ Declaration(s)

☒ Other 1-month Petition for Extension of Time

### MISCELLANEOUS

☐ Suspension of action on the above-identified application is requested under 37 CFR 1.103(c) for a period of months \_\_\_\_\_  
(Period of suspension shall not exceed 3 months; Fee under 37 CFR 1.17(i) required)

☐ Other \_\_\_\_\_

### FEES

**The RCE fee under 37 CFR 1.17(e) is required by 37 CFR 1.114 when the RCE is filed.**

☒ The Director is hereby authorized to charge any underpayment of fees, or credit any overpayments, to  
Deposit Account No 080219

### SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT REQUIRED

☒ Patent Practitioner Signature

☐ Applicant Signature

Doc code: RCEX

Doc description: Request for Continued Examination (RCE)

PTO/SB/30EFS (07-09)

Approved for use through 07/31/2012. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Signature of Registered U.S. Patent Practitioner			
Signature	/Grant K. Rowan/	Date (YYYY-MM-DD)	2013-01-22
Name	Grant K. Rowan	Registration Number	41278

This collection of information is required by 37 CFR 1.114. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450.

*If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.*

## Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

## Electronic Patent Application Fee Transmittal

<b>Application Number:</b>	12674221			
<b>Filing Date:</b>	19-Feb-2010			
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD			
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira			
<b>Filer:</b>	Grant Kelly Rowan/Felicia Thompson			
<b>Attorney Docket Number:</b>	J-10-0077			
Filed as Large Entity				
<b>U.S. National Stage under 35 USC 371 Filing Fees</b>				
<b>Description</b>	<b>Fee Code</b>	<b>Quantity</b>	<b>Amount</b>	<b>Sub-Total in USD(\$)</b>
<b>Basic Filing:</b>				
<b>Pages:</b>				
<b>Claims:</b>				
<b>Miscellaneous-Filing:</b>				
<b>Petition:</b>				
<b>Patent-Appeals-and-Interference:</b>				
<b>Post-Allowance-and-Post-Issuance:</b>				
<b>Extension-of-Time:</b>				
Extension - 1 month with \$0 paid	1251	1	150	150

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Request for continued examination	1801	1	930	930
Total in USD (\$)				1080

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	14753729
<b>Application Number:</b>	12674221
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	5037
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira
<b>Customer Number:</b>	71799
<b>Filer:</b>	Grant Kelly Rowan/Felicia Thompson
<b>Filer Authorized By:</b>	Grant Kelly Rowan
<b>Attorney Docket Number:</b>	J-10-0077
<b>Receipt Date:</b>	22-JAN-2013
<b>Filing Date:</b>	19-FEB-2010
<b>Time Stamp:</b>	15:38:51
<b>Application Type:</b>	U.S. National Stage under 35 USC 371

### Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$ 1080
RAM confirmation Number	2764
Deposit Account	
Authorized User	

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1	Extension of Time	2013_01_22_EOT_SN_12_674_221.PDF	79120 de40b39a037c9134a4c2b29dfeae3d39b76a3a6f	no	1
<b>Warnings:</b>					
<b>Information:</b>					
2	Request for Continued Examination (RCE)	2013_01_22_0126US1_RCE_SN_12_674221.PDF	697816 8917a1edc07d634306833d5fdb6b011515664bc4	no	3
<b>Warnings:</b>					
<b>Information:</b>					
3	Fee Worksheet (SB06)	fee-info.pdf	32846 2d8cb9639787c6371d3d3b506e1a9042e3d12c77	no	2
<b>Warnings:</b>					
<b>Information:</b>					
<b>Total Files Size (in bytes):</b>			809782		
<p><b>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</b></p> <p><b><u>New Applications Under 35 U.S.C. 111</u></b>  <b>If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</b></p> <p><b><u>National Stage of an International Application under 35 U.S.C. 371</u></b>  <b>If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</b></p> <p><b><u>New International Application Filed with the USPTO as a Receiving Office</u></b>  <b>If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</b></p>					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)</b>		Docket Number (Optional) 2207946.00126US1	
Application Number 12/674,221-Conf. #5037		Filed February 19, 2010	
For HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD			
Art Unit 2817		Examiner Benny T. Lee	

This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above identified application. The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):

	Fee	Small Entity Fee	
<input checked="" type="checkbox"/> One month (37 CFR 1.17(a)(1))	\$150	\$75	\$ 150.00
<input type="checkbox"/> Two months (37 CFR 1.17(a)(2))	\$570	\$285	\$
<input type="checkbox"/> Three months (37 CFR 1.17(a)(3))	\$1,290	\$645	\$
<input type="checkbox"/> Four months (37 CFR 1.17(a)(4))	\$2,010	\$1,005	\$
<input type="checkbox"/> Five months (37 CFR 1.17(a)(5))	\$2,730	\$1,365	\$

☐ Applicant claims small entity status. See 37 CFR 1.27.

☐ A check in the amount of the fee is enclosed.

☒ Payment by credit card. ~~Form PTO-2038 is attached.~~

☐ The Director has already been authorized to charge fees in this application to a Deposit Account.

☒ The Director is hereby authorized to charge any fees which may be required, or credit any overpayment, to Deposit Account Number 08-0219.

☒ Payment made via EFS-Web.

**WARNING:** Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

I am the

☐ applicant/inventor.

☐ assignee of record of the entire interest. See 37 CFR 3.71. 37 CFR 3.73(b) statement is enclosed (Form PTO/SB/96).

☒ attorney or agent of record. Registration Number 41,278.

☐ attorney or agent under 37 CFR 1.34. Registration number \_\_\_\_\_.

\_\_\_\_\_  
/Grant K. Rowan/  
Signature

\_\_\_\_\_  
Grant K. Rowan  
Typed or printed name

\_\_\_\_\_  
January 22, 2013  
Date

\_\_\_\_\_  
(202) 663-6000  
Telephone Number

**NOTE:** This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Submit multiple forms if more than one signature is required, see below\*.

<input checked="" type="checkbox"/>	*Total of <u>1</u> forms are submitted.
-------------------------------------	---

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875					Application or Docket Number <b>12/674,221</b>		Filing Date <b>02/19/2010</b>		<input type="checkbox"/> To be Mailed	
<b>APPLICATION AS FILED – PART I</b>										
(Column 1)			(Column 2)			SMALL ENTITY <input type="checkbox"/> OR		OTHER THAN SMALL ENTITY		
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR	RATE (\$)	FEE (\$)			
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A				
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			N/A				
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A				
TOTAL CLAIMS (37 CFR 1.16(j))	minus 20 =	*	X \$	=		X \$	=			
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$	=		X \$	=			
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
			TOTAL			TOTAL				
* If the difference in column 1 is less than zero, enter "0" in column 2.										
<b>APPLICATION AS AMENDED – PART II</b>										
(Column 1)			(Column 2)			SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
AMENDMENT	01/22/2013	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 12	Minus	** 20	=	0		X \$62=	0	
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	=	0		X \$250=	0	
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))										
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
					TOTAL ADD'L FEE			TOTAL ADD'L FEE	0	
(Column 1)			(Column 2)			SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=			X \$	=	
	Independent (37 CFR 1.16(h))	*	Minus	***	=			X \$	=	
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))										
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
					TOTAL ADD'L FEE			TOTAL ADD'L FEE		
<p>* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.</p> <p>** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".</p> <p>*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".</p> <p>The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.</p>										

Legal Instrument Examiner:  
/Theresa Dawkins/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	02/19/2010	Risato Ohhira	J-10-0077	5037
71799	7590	01/16/2013		
Mr. Jackson Chen 6535 N. STATE HWY 161 IRVING, TX 75039			EXAMINER LEE, BENNY T	
			ART UNIT 2817	PAPER NUMBER
			NOTIFICATION DATE 01/16/2013	DELIVERY MODE ELECTRONIC

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ryoichi.harada@necam.com

<b>Advisory Action</b> <b>Before the Filing of an Appeal Brief</b>	<b>Application No.</b> 12/674,221	<b>Applicant(s)</b> OHHIRA, RISATO
	<b>Examiner</b> BENNY LEE	<b>Art Unit</b> 2817

**--The MAILING DATE of this communication appears on the cover sheet with the correspondence address --**

THE REPLY FILED 20 December 2012 FAILS TO PLACE THIS APPLICATION IN CONDITION FOR ALLOWANCE.

**NO NOTICE OF APPEAL FILED**

1. ☒ The reply was filed after a final rejection. No Notice of Appeal has been filed. To avoid abandonment of this application, applicant must timely file one of the following replies: (1) an amendment, affidavit, or other evidence, which places the application in condition for allowance; (2) a Notice of Appeal (with appeal fee) in compliance with 37 CFR 41.31; or (3) a Request for Continued Examination (RCE) in compliance with 37 CFR 1.114 if this is a utility or plant application. Note that RCEs are not permitted in design applications. The reply must be filed within one of the following time periods:

a) ☒ The period for reply expires 3 months from the mailing date of the final rejection.

b) ☐ The period for reply expires on: (1) the mailing date of this Advisory Action; or (2) the date set forth in the final rejection, whichever is later. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of the final rejection.

c) ☐ A prior Advisory Action was mailed more than 3 months after the mailing date of the final rejection in response to a first after-final reply filed within 2 months of the mailing date of the final rejection. The current period for reply expires \_\_\_\_\_ months from the mailing date of the prior Advisory Action or SIX MONTHS from the mailing date of the final rejection, whichever is earlier.

*Examiner Note:* If box 1 is checked, check either box (a), (b) or (c). ONLY CHECK BOX (b) WHEN THIS ADVISORY ACTION IS THE FIRST RESPONSE TO APPLICANT'S FIRST AFTER-FINAL REPLY WHICH WAS FILED WITHIN TWO MONTHS OF THE FINAL REJECTION. ONLY CHECK BOX (c) IN THE LIMITED SITUATION SET FORTH UNDER BOX (c). See MPEP 706.07(f).

Extensions of time may be obtained under 37 CFR 1.136(a). The date on which the petition under 37 CFR 1.136(a) and the appropriate extension fee have been filed is the date for purposes of determining the period of extension and the corresponding amount of the fee. The appropriate extension fee under 37 CFR 1.17(a) is calculated from: (1) the expiration date of the shortened statutory period for reply originally set in the final Office action; or (2) as set forth in (b) or (c) above, if checked. Any reply received by the Office later than three months after the mailing date of the final rejection, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

**NOTICE OF APPEAL**

2. ☐ The Notice of Appeal was filed on \_\_\_\_\_. A brief in compliance with 37 CFR 41.37 must be filed within two months of the date of filing the Notice of Appeal (37 CFR 41.37(a)), or any extension thereof (37 CFR 41.37(e)), to avoid dismissal of the appeal. Since a Notice of Appeal has been filed, any reply must be filed within the time period set forth in 37 CFR 41.37(a).

**AMENDMENTS**

3. ☒ The proposed amendments filed after a final rejection, but prior to the date of filing a brief, will not be entered because

a) ☒ They raise new issues that would require further consideration and/or search (see NOTE below);

b) ☐ They raise the issue of new matter (see NOTE below);

c) ☐ They are not deemed to place the application in better form for appeal by materially reducing or simplifying the issues for appeal; and/or

d) ☐ They present additional claims without canceling a corresponding number of finally rejected claims.

NOTE: See *Continuation Sheet*. (See 37 CFR 1.116 and 41.33(a)).

4. ☐ The amendments are not in compliance with 37 CFR 1.121. See attached Notice of Non-Compliant Amendment (PTOL-324).

5. ☐ Applicant's reply has overcome the following rejection(s): \_\_\_\_\_.

6. ☐ Newly proposed or amended claim(s) \_\_\_\_\_ would be allowable if submitted in a separate, timely filed amendment canceling the non-allowable claim(s).

7. ☐ For purposes of appeal, the proposed amendment(s): (a) ☐ will not be entered, or (b) ☐ will be entered, and an explanation of how the new or amended claims would be rejected is provided below or appended.

**AFFIDAVIT OR OTHER EVIDENCE**

8. ☐ The affidavit or other evidence filed after final action, but before or on the date of filing a Notice of Appeal will not be entered because applicant failed to provide a showing of good and sufficient reasons why the affidavit or other evidence is necessary and was not earlier presented. See 37 CFR 1.116(e).

9. ☐ The affidavit or other evidence filed after the date of filing the Notice of Appeal, but prior to the date of filing a brief, will not be entered because the affidavit or other evidence failed to overcome all rejections under appeal and/or appellant fails to provide a showing of good and sufficient reasons why it is necessary and was not earlier presented. See 37 CFR 41.33(d)(1).

10. ☐ The affidavit or other evidence is entered. An explanation of the status of the claims after entry is below or attached.

**REQUEST FOR RECONSIDERATION/OTHER**

11. ☐ The request for reconsideration has been considered but does NOT place the application in condition for allowance because: \_\_\_\_\_.

12. ☐ Note the attached Information *Disclosure Statement(s)*. (PTO/SB/08) Paper No(s). \_\_\_\_\_

13. ☐ Other: \_\_\_\_\_.

**STATUS OF CLAIMS**

14. The status of the claim(s) is (or will be) as follows:

Claim(s) allowed: 2.

Claim(s) objected to: 4-10.

Claim(s) rejected: 1,3,11 and 12.

Claim(s) withdrawn from consideration: \_\_\_\_\_.

	/BENNY L#EE/ PRIMARY EXAMINER ART UNIT 2817
--	---

Continuation of 3. NOTE: In 3a), note that the added limitation that the first planar ground pattern & the first ground pattern being "physically" separated from each other such that they do not "contact each other" raises new issues that would require further consideration and/or search .

OK TO ENTER: /BTL/

Docket No.: 2207946.00126US1  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant:	Risato Ohhira	Confirmation No.:	5037
Application No.:	12/674,221	Art Unit:	2817
Filed:	February 19, 2010	Examiner:	Lee, Benny T.
Title:	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD		

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**AMENDMENT IN RESPONSE TO FINAL OFFICE ACTION**  
**UNDER 37 C.F.R. 1.116**

Dear Madam:

**INTRODUCTORY COMMENTS**

In response to the Office Action dated September 20, 2012, please amend the above-identified U.S. patent application as follows.

**Amendments to the Specification** begin on page 3 of this paper.

**Amendments to the Claims** are reflected in the listing of claims which begins on page 7 of this paper.

**Amendments to the Drawings** begin on page 15 of this paper and include attached replacement sheets.

**Remarks/Arguments** begin on page 16 of this paper.

An **Appendix** including amended drawing figures is attached following page 19 of this paper.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/674,221	02/19/2010	Risato Ohhira	J-10-0077

71799  
Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039

**CONFIRMATION NO. 5037**  
**POA ACCEPTANCE LETTER**



Date Mailed: 12/31/2012

**NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY**

This is in response to the Power of Attorney filed 12/07/2012.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/tkim/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/674,221	02/19/2010	Risato Ohhira	J-10-0077

71799  
Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039

**CONFIRMATION NO. 5037**  
**POWER OF ATTORNEY NOTICE**



Date Mailed: 12/31/2012

## NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 12/07/2012.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

/ttkim/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Docket No.: 2207946.00126US1  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant:	Risato Ohhira	Confirmation No.:	5037
Application No.:	12/674,221	Art Unit:	2817
Filed:	February 19, 2010	Examiner:	Lee, Benny T.
Title:	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD		

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**AMENDMENT IN RESPONSE TO FINAL OFFICE ACTION**  
**UNDER 37 C.F.R. 1.116**

Dear Madam:

**INTRODUCTORY COMMENTS**

In response to the Office Action dated September 20, 2012, please amend the above-identified U.S. patent application as follows.

**Amendments to the Specification** begin on page 3 of this paper.

**Amendments to the Claims** are reflected in the listing of claims which begins on page 7 of this paper.

**Amendments to the Drawings** begin on page 15 of this paper and include attached replacement sheets.

**Remarks/Arguments** begin on page 16 of this paper.

An **Appendix** including amended drawing figures is attached following page 19 of this paper.

**AMENDMENTS TO THE SPECIFICATION**

**Please replace paragraph [0032] with the following amended paragraph, marked to show changes:**

[0032]

As an additional condition for further improving the reflection characteristics in the present embodiment, the degree of separation between planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the upper layer of the second coplanar lines is prescribed as follows: i.e., the separation width is prescribed to be greater than 0, and moreover, no greater than interval dx (FIGs. 2A–2C and 2H) from conductive vias 41a (FIGs. 2A–2C, 2E, and 2H) in the vicinity of the connection of first signal line 10 to next conductive via 41b (FIGs. 2A–2C, 2F, 2H) in the direction of the signal transmission.

**Please replace paragraph [0034] with the following amended paragraph, marked to show changes:**

[0034]

As a result, a further improvement of the reflection characteristics can be achieved by setting the upper limit of the separation width to distance dx (FIGs. 2A–2C and 2H) of conductive vias 41 (FIGs. 2A–2D and 2H and Fig. 3(a)) that can provide maximum separation between ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H and Fig. 3(a)) and 30b (FIGs. 2A, 2F, 2G and 2H and Fig. 3(a)).

**Please replace paragraph [0035] with the following amended paragraph, marked to show changes:**

[0035]

Distance  $dx$  (FIGs. 2A–2C and 2H) is prescribed by space of the arrangement of, for example, conductive vias 41a (FIGs. 2A–2C, 2E, and 2H and Fig. 3(a)) and 41b (FIGs. 2A–2C, 2F, 2H and Fig. 3(a)) that are formed in the second coplanar lines rather than the first coplanar lines. In addition, space of the arrangement of conductive vias 41a (FIGs. 2A–2C, 2E, and 2H and Fig. 3(a)) and 41b (FIGs. 2A–2C, 2F, 2H and Fig. 3(a)) formed in the second coplanar lines is a value determined for realizing a desired frequency band in the second coplanar lines.

**Please replace paragraph [0036] with the following amended paragraph, marked to show changes:**

[0036]

The method of calculating via spacing  $dx$  (FIGs. 2A–2C and 2H) is next described.

**Please replace paragraph [0037] with the following amended paragraph, marked to show changes:**

[0037]

The inventors of the present invention have found that increase in impedance deviation on planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) that accompanies increase in frequency is

suppressed by limiting the sum of the shortest distance from any point of planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) of the second coplanar lines to the nearest conductive via and the layer thickness to a value no greater than a predetermined value, and as a result, have found that the reflection characteristics of the coplanar transmission lines is improved over a broad frequency band. Based on this concept, a formula that includes formula modifications is noted below specifically as a formula for prescribing via spacing  $dx$  (FIGs. 2A–2C and 2H).

**Please replace paragraph [0038] with the following amended paragraph, marked to show changes:**

[0038]

If  $R$  is the shortest distance from any point on the outer circumference of planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) in the second coplanar lines to the nearest via circumference,  $L3$  (FIG. 2B) is the shortest distance from the circumference of conductive via 41b (FIGs. 2A–2C, 2F, 2H and Fig. 3(a)) to the outer circumference of planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) on the second signal line 11 (FIGs. 2B, 2F, and 2G) side,  $L5$  (FIG. 2E) is the thickness of dielectric layer 20a (FIGs. 2A, 2D–2G) between the wiring layers,  $\epsilon_2$  is the effective relative dielectric constant of the second coplanar lines, and  $\lambda_0$  is the wavelength of the transmission signal in a vacuum, via distance  $dx$  (FIGs. 2A–2C and 2H) is set such that the following formula is satisfied:

**Please replace paragraph [0041] with the following amended paragraph, marked to show changes:**

[0041]

When the above formula (2) is substituted in formula (3), the formula that via spacing dx (FIGs. 2A–2C and 2H) must satisfy becomes:

**Please replace paragraph [0096] with the following amended paragraph, marked to show changes:**

[0096]

Finally,  $dx_2$  (FIGs. 7A–C and 7H) is the spacing of conductive vias 41a (FIGs. 7A–C, 7E, and 7H) and 41c (FIGs. 7A–D and 7H).

**AMENDMENTS TO THE CLAIMS**

1. (Currently Amended) A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and a second planar ground pattern formed on the same wiring layer as said second signal line; and

a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

said first coplanar lines and said second coplanar lines are connected by a connection between said first signal line and said second signal line; and

said first ground pattern and said first planar ground pattern are physically separated so that the first ground pattern and the first planar ground pattern do not contact each other electrically in same layer, where a separation region extends along a direction of extension of said second signal line from the connection between said first signal line and said second signal line.

2. (Previously Presented ) A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring

layer that differs from said first signal line, and

a second planar ground pattern formed on the same wiring layer as said second signal line; and

a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

said first coplanar lines and said second coplanar lines are connected such that a signal is transmitted from said first coplanar lines to said second coplanar lines; and

when the signal is being transmitted from said first coplanar lines to said second coplanar lines, a portion of the path of a high-frequency current that is propagated from said first planar ground pattern to said first ground pattern passes only by way of said second planar ground pattern.

3. (Previously Presented) The high-frequency wiring board as set forth in claim 1 wherein:

said first signal line in said first coplanar lines is formed in the interior or on the obverse surface of a dielectric wiring board, and said first planar ground pattern is formed on the same wiring layer as said first signal line and on at least one of two side positions that enclose said first signal line; and

said second planar ground pattern in said second coplanar lines is formed on the same wiring layer as said second signal line and on at least one of two side positions that enclose said second signal line.

4. (Currently Amended) ~~The high-frequency wiring board as set forth in claim 1, further comprising:~~ A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and a second planar ground pattern formed on the same wiring layer as said second signal line;

a first ground pattern formed on the same wiring layer as said first coplanar lines;

a first conductive via for connecting said first signal line and said second signal line at the line end of each signal line so that said first coplanar lines and said second coplanar lines are connected;

a second ground pattern formed on the wiring layer on the opposite side of the layer of said first ground pattern with respect to the wiring layer on which said second coplanar lines are formed; and

second conductive vias that are a plurality of second conductive vias arranged at a predetermined spacing along the direction of signal transmission through said first and second coplanar lines, said second conductive vias including:

conductive vias *a* for connecting said first planar ground pattern and said second planar ground pattern, conductive vias *b* for connecting said first ground pattern and said second planar ground pattern, and conductive vias *c* for connecting said first planar ground pattern and said second ground pattern;

wherein

~~said first ground pattern is separated from said first planar ground pattern in the direction of signal transmission of said second coplanar lines from the vicinity of the connection of said first signal line and said first conductive via~~

said first ground pattern and said first planar ground pattern are separated, where a separation region extends along a direction of extension of said second signal line from the vicinity of said first conductive via.

5. (Original) The high-frequency wiring board as set forth in claim 4, wherein the width between said first ground pattern and said first planar ground pattern that are separated is a width no greater than the spacing of said second conductive vias that is set in said second coplanar lines.

6. (Previously Presented) The high-frequency wiring board as set forth in claim 4 wherein:

when: L1 is the minimum distance from a circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines, said conductive via a interconnecting said first planar ground pattern and said second planar ground pattern, to an outer circumference of said first planar ground pattern on said first signal line side;

L2 is the minimum distance from a circumference of said conductive via *a* to an outer circumference of said second planar ground pattern on said second signal line side;

L3 is the minimum distance from a ~~the~~ circumference of, from among said plurality of second conductive vias provided in said second coplanar lines and excluding said conductive vias *a*, said conductive via *b* being closest to said first conductive via, to the outer circumference of said second planar ground pattern on said second signal line side;

L4 is the minimum distance from a circumference of said conductive via *b* to an outer circumference of said first ground pattern on said first coplanar line side;

L5 is the dielectric layer thickness between said first ground pattern and said second planar ground pattern;

L6 is the minimum distance from a circumference of said first conductive via to an outer circumference of said first signal line;

L7 is the minimum distance from the circumference of said first conductive via to an outer circumference of said second signal line;

L10 is the minimum distance from the circumference of said conductive via *a* to the outer circumference of said first planar ground pattern on said first ground pattern side;

$\epsilon_1$  is the effective relative dielectric constant of said first coplanar lines;

$\epsilon_2$  is the effective relative dielectric constant of said second coplanar lines;

$\phi$  is the diameter of said second conductive vias; and

$\lambda_0$  is a minimum wavelength in a vacuum in the transmitted signal band; said first planar ground pattern and said first ground pattern that are provided on the same layer as said

first planar ground pattern are separated such that the following relational expression is satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \lambda/2$$

7. (Previously Presented) The high-frequency wiring board as set forth in claim 4, further comprising:

a third ground pattern formed in a region of the same wiring layer as said second coplanar lines that confronts the region in which said first coplanar lines are formed;

wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of the connection of said first signal line and said second signal line.

8. (Previously Presented) The high-frequency wiring board as set forth in claim 4, further comprising:

a third ground pattern formed in a region of the same wiring layer of said second coplanar lines that confronts the region in which said first coplanar lines are formed, and moreover, that is electrically connected by said second conductive vias to both said first planar ground pattern and said second ground pattern;

wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of connection of said second signal line and said first conductive via.

9. (Original) The high-frequency wiring board as set forth in claim 8, wherein the width between said third ground pattern and said second planar ground pattern that are separated is a width no greater than spacing of said second conductive vias that is set in said first coplanar lines.

10. (Currently Amended) The high-frequency wiring board as set forth in claim 8, wherein:

when: L8 is the minimum distance from a circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines and excluding said conductive vias  $a$ , said conductive via  $c$  being closest to said first conductive via, to an outer circumference of said first planar ground pattern on said first signal line side;

L9 is the minimum distance from a circumference of said conductive via  $c$  to an outer circumference of said third ground pattern on said second coplanar lines side;

L11 is the minimum distance from a circumference of said conductive via  $a$  to an outer circumference of said second planar ground pattern on said third ground pattern side; and

$\lambda_0$  is a minimum wavelength in a vacuum of the transmitted signal band;

said second planar ground pattern and said third ground pattern provided on the same layer as said second planar ground pattern are separated such that the following relational expression is satisfied:

$$\frac{\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\}}{\lambda_0 / 2}$$

11. (Previously Presented) The high-frequency wiring board as set forth in claim 1, wherein said second planar ground pattern is not only formed on at least one of two side positions that enclose said second signal line but also extends into a region, of the same wiring layer as said second coplanar lines, that confronts a region in which said first coplanar lines are formed.

12. (Previously Presented) A high-frequency module in which a semiconductor integrated circuit chip is mounted on the high-frequency wiring board as set forth in claim 1.

**AMENDMENTS TO THE DRAWINGS**

The attached sheets of drawings includes changes to Figures 1D, 2B-2C, 2H, 7A-7C, and 7H

Attachment:        Replacement sheets

### **REMARKS**

Claims 1–12 have been examined. Claims 1, 3, and 11 have been rejected under 35 U.S.C. § 102(b), and claim 12 has been rejected under 35 U.S.C. § 103(a). The Examiner has allowed claim 2 and has indicated that claims 4-10 contain allowable subject matter.

#### **I. Objections to the Drawings**

The Examiner has objected to the drawings. Applicant submits that the Replacement Drawings and amendments to the specification overcome the objection.

Applicant notes that the Office Action states that drawings fail to show a third ground pattern. (Office Action at 2.) Applicant submits that a non-limiting example of a third ground pattern 50 is shown in Figures 7B, 7D, and 7H. Applicant respectfully requests that the aforementioned objection to the drawings be withdrawn.

#### **II. Objections to the Specification**

The Examiner has objected to informalities in the specification. Applicant notes that the Office Action states that a description of a third ground pattern is required. (Office Action at 3.) Applicant submits that a non-limiting example of a third ground pattern 50 is described in paragraph [0138]. Applicant respectfully requests that the aforementioned objection to the specification be withdrawn.

#### **III. Objections to the Claims**

The Examiner has objected to claims 4–10 as being dependent upon a rejected base claim, but notes that these claims would be allowable if rewritten in independent form including all of the

limitations of the base claim and any intervening claims. (Office Action at 3.) Applicant has rewritten claim 4 as an independent claim and submits that the amendments overcome the objection. Since claims 5-10 depend on claim 4, they are patentable at least based on their dependency.

**IV. Rejection under 35 U.S.C. § 102(b) over U.S. Pat. No. 5,994,983 to Andersson (“Andersson”)**

Claims 1, 3, and 11 have been rejected under 35 U.S.C. § 102(b) as being anticipated by Andersson.

**A. Claim 1**

Applicant submits that Andersson does not disclose all of the features of claim 1. For example, claim 1 states that a first ground pattern and a first planar ground pattern are physically separated so that the first ground pattern and the first planar ground pattern do not contact each other electrically in same layer. Also, a separation region extends along a direction of extension of a second signal line from the connection between a first signal line and the second signal line, as claimed. By contrast, in Figure 5 of Andersson, the lead frame 4 (alleged first ground pattern) and the ground metallization 5a, 5b (alleged first planar ground pattern) are connected. Thus, the alleged first ground pattern and the alleged first planar ground pattern are not physically separated, and a separation region does not extend along a direction of extension of a connector pin 2 (alleged second signal line) from the interconnecting via hole 8 between a coplanar segment 7 (alleged first signal line) and connector pin 2 (alleged second signal line).

Accordingly, Applicant submits that claim 1 is patentable for at least the reasons presented above.

**B. Claims 3 and 11**

Since claims 3 and 11 depend on claim 1, they are patentable at least based on their dependency.

**V. Rejection under 35 U.S.C. § 103(a) over Andersson in view of U.S. Publ. No. 2006/0214744 to Margomenos (“Margomenos”)**

Claim 12 has been rejected under U.S.C. § 103(a) as being unpatentable over Andersson in view of Margomenos. Since claim 12 depends upon claim 1, and since Margomenos does not cure the deficient teachings of Andersson with respect to claim 1, Applicant submits that claim 12 is patentable at least by virtue of its dependency.

## **VI. Conclusion**

In view of the above amendment, Applicant believes the pending application is in condition for allowance. Applicant believes that no other fee is due with this response. However, if another fee is due, please charge our Deposit Account No. 08-0219, under Order No. 2207946.00126SU1 from which the undersigned is authorized to draw.

Respectfully submitted,

Dated: December 20, 2012

/Grant K. Rowan/

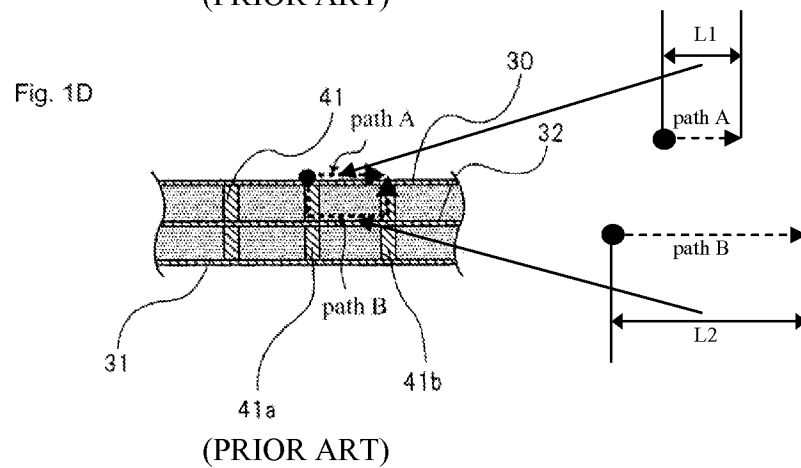
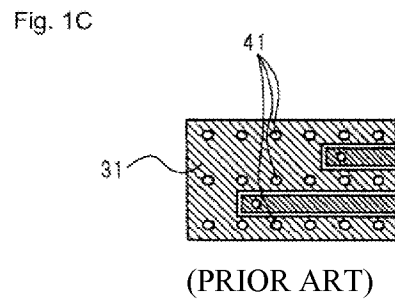
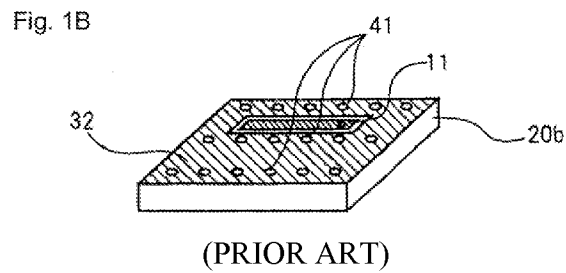
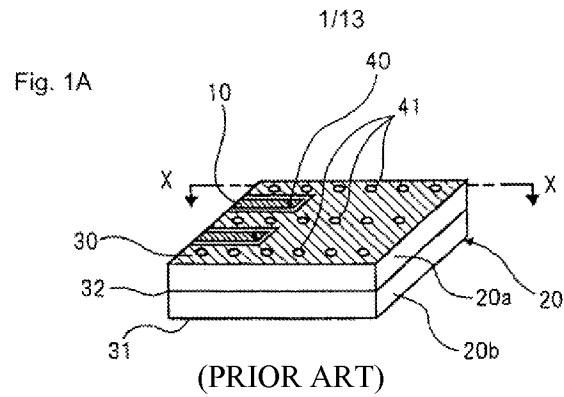
---

Grant K. Rowan  
Registration No.: 41,278  
Attorney for Applicant(s)

Wilmer Cutler Pickering Hale and Dorr LLP  
1875 Pennsylvania Avenue, NW  
Washington, DC 20006  
(202) 663-6000 (telephone)  
(202) 663-6363 (facsimile)

Attachments

### Replacement sheet



**Replacement sheet**

2/13

Fig. 2A

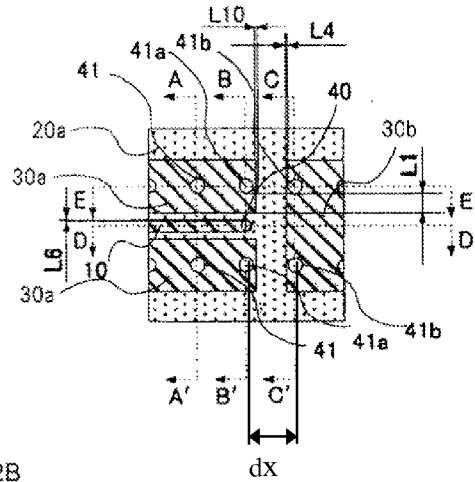


Fig. 2B

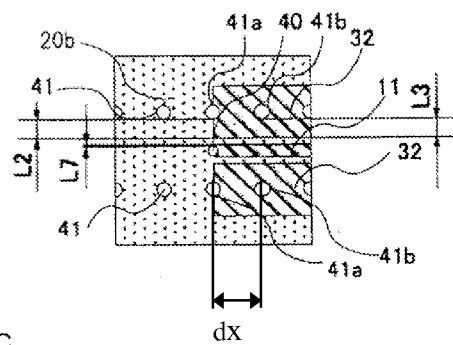


Fig. 2C

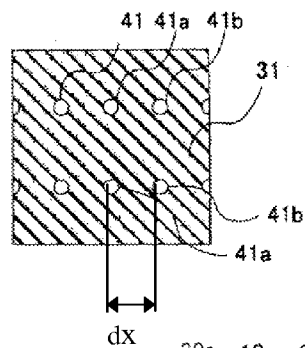
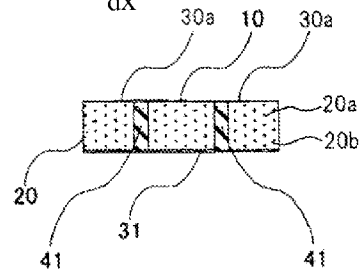
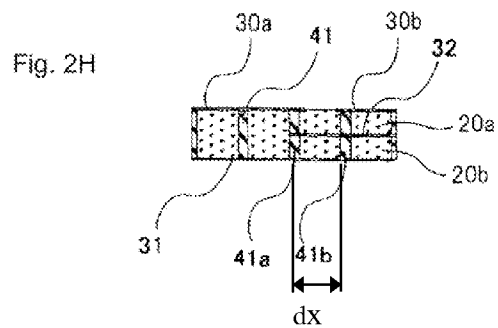
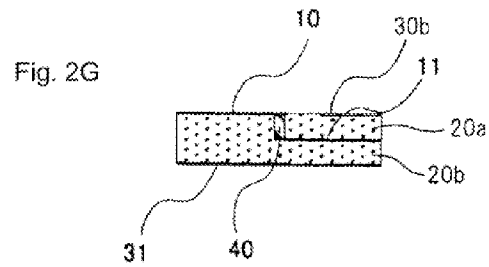
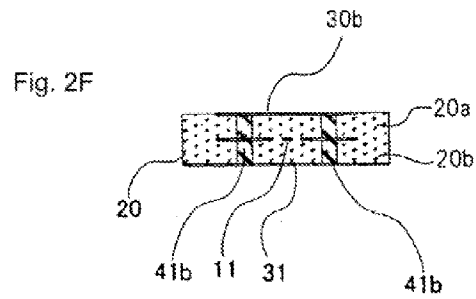
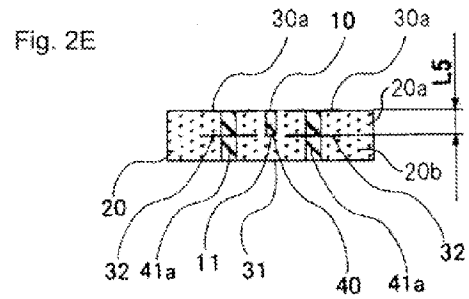


Fig. 2D



**Replacement sheet**

3/13



**Replacement sheet**

7/13

Fig. 7A

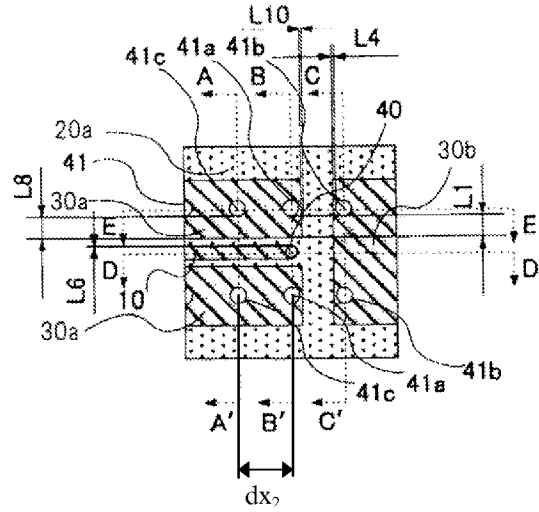


Fig. 7B

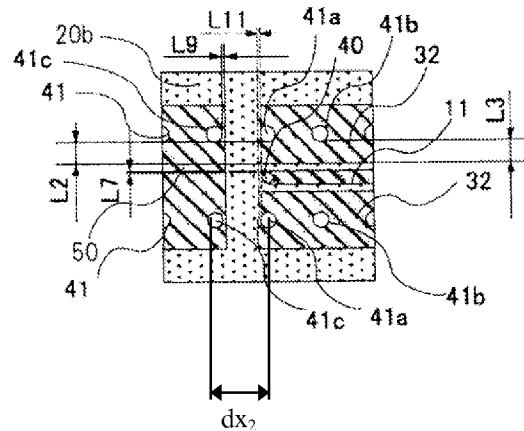
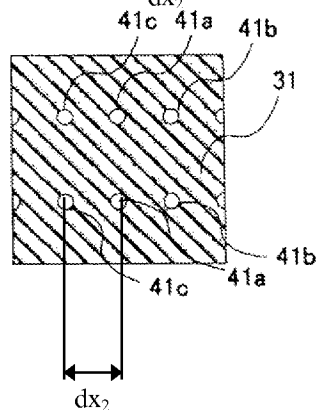


Fig. 7C



**Replacement sheet**

9/13

Fig. 7H

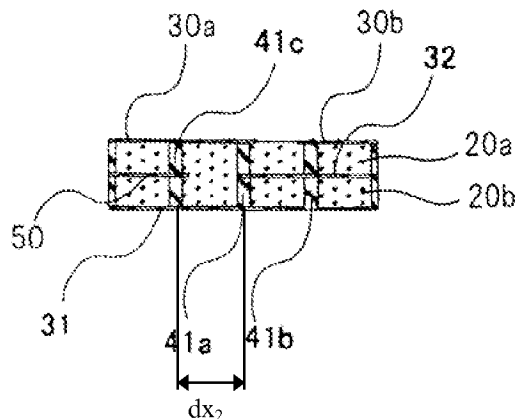
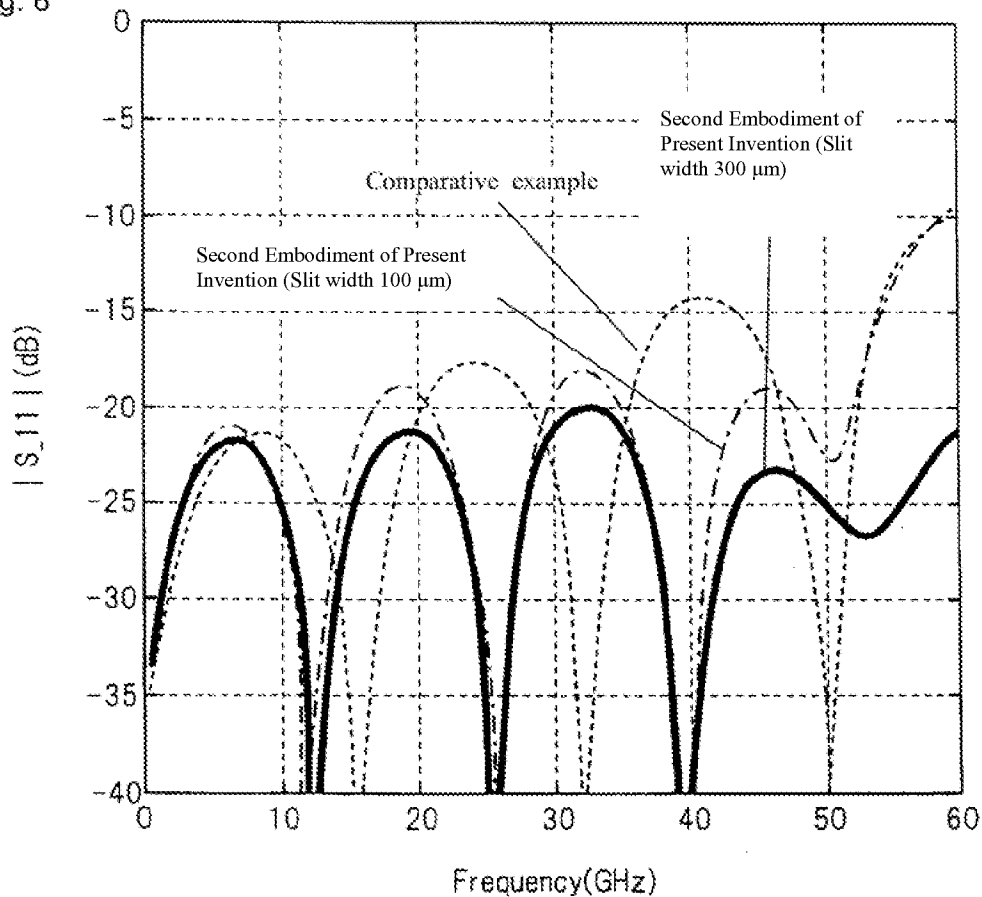


Fig. 8



## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	14532262
<b>Application Number:</b>	12674221
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	5037
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira
<b>Customer Number:</b>	71799
<b>Filer:</b>	Grant Kelly Rowan/Tania Thomas
<b>Filer Authorized By:</b>	Grant Kelly Rowan
<b>Attorney Docket Number:</b>	J-10-0077
<b>Receipt Date:</b>	20-DEC-2012
<b>Filing Date:</b>	19-FEB-2010
<b>Time Stamp:</b>	20:19:45
<b>Application Type:</b>	U.S. National Stage under 35 USC 371

### Payment information:

Submitted with Payment	no
------------------------	----

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		2207946_00126US1_122012_A MENDMENT.PDF	501538 a0f5172c0c376b31d50c2aedd3a41074f69a d260	yes	24

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Amendment After Final	1	2
	Specification	3	6
	Claims	7	14
	Drawings-only black and white line drawings	15	15
	Applicant Arguments/Remarks Made in an Amendment	16	19
	Drawings-only black and white line drawings	20	24
Warnings:			
Information:			
Total Files Size (in bytes):		501538	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><b><u>New Applications Under 35 U.S.C. 111</u></b> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><b><u>National Stage of an International Application under 35 U.S.C. 371</u></b> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><b><u>New International Application Filed with the USPTO as a Receiving Office</u></b> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875					Application or Docket Number <b>12/674,221</b>		Filing Date <b>02/19/2010</b>		<input type="checkbox"/> To be Mailed	
<b>APPLICATION AS FILED – PART I</b>										
(Column 1)			(Column 2)		SMALL ENTITY <input type="checkbox"/> OR			OTHER THAN SMALL ENTITY		
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR	RATE (\$)	FEE (\$)			
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A				
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			N/A				
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A				
TOTAL CLAIMS (37 CFR 1.16(j))	minus 20 =	*	X \$	=	OR	X \$	=			
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$	=		X \$	=			
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL				
<b>APPLICATION AS AMENDED – PART II</b>										
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
<b>AMENDMENT</b>	<b>12/20/2012</b>	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	* 12	Minus	** 20	= 0	X \$	=	OR	X \$62=	0
	Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X \$	=	OR	X \$250=	0
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))									
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	<b>0</b>
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
<b>AMENDMENT</b>		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X \$	=	OR	X \$	=
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X \$	=	OR	X \$	=
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))									
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	
<p>* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.</p> <p>** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".</p> <p>*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".</p> <p>The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.</p>										

Legal Instrument Examiner:  
/VICTORIA BROWN/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Docket No: J-10-0077

Risato Ohhira

Appln. No.: 12/674,221

Filed: 2/19/2010

**TRANSMITTAL OF REVOCATION OF POWER OF ATTORNEY AND  
APPOINTMENT OF NEW ATTORNEYS BY ASSIGNEE**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant hereby submits a Revocation and Power of Attorney and Appointment of New Attorneys by Assignee, and exhibit referenced therein, ("Power of Attorney") in the above-identified application.

The Power of Attorney includes a statement under 37 C.F.R. §3.73(b), signed by a person authorized to act on behalf of the assignee, specifying where documentary evidence of a chain of title from the original owner to the assignee is recorded in the assignment records of the Office. Specifically, the reel and frame number in the Office's assignment records for the present application are set forth in the exhibit attached to and referenced by the Power of Attorney. For the convenience of the Office, such reel and frame number, as well as the application number, are set forth below.

USSN: 12/674,221

Reel / Frame: 023961 / 0623

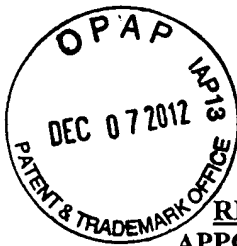
Please direct all subsequent correspondence to the address associated with Customer Number 71799.

Respectfully submitted,

SUGHRUE MION, PLLC  
2100 Pennsylvania Avenue, N.W.  
Washington, DC 20037  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

/J. Warren Lytle, Jr./  
J. Warren Lytle, Jr.  
Registration No. 39,283

Date: December 7, 2012



**REVOCATION OF POWER OF ATTORNEY AND  
APPOINTMENT OF NEW ATTORNEYS BY ASSIGNEE**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

NEC CORPORATION., states that it is the assignee of record of the entire right, title, and interest in each of the U.S. patent applications listed in the attached Exhibit ("Applications") by virtue of an assignment recorded in the U.S. Patent and Trademark Office at the reel and frame number indicated in the Exhibit, and hereby revokes all prior powers of attorney and authorizations of agent given in the Applications and appoints all Practitioners who are associated with the USPTO Customer Number provided below as its attorneys or agents to prosecute each of the Applications and to transact all business in the United States Patent and Trademark Office connected therewith, recognizing that the specific attorneys listed under this USPTO Customer Number may be changed from time to time at the sole discretion of NEC CORPORATION.

NEC CORPORATION requests all correspondence for the Application be addressed to the address associated with the same USPTO Customer Number.

**71799**

CUSTOMER NUMBER

The undersigned is authorized to act on behalf of the assignee.

Respectfully submitted,

July 27, 2012

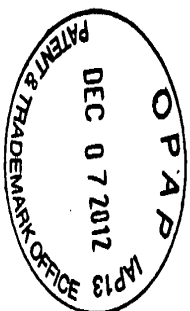
\_\_\_\_\_  
Date

*Ryoichi Harada*  
\_\_\_\_\_  
Signature

Ryoichi Harada  
\_\_\_\_\_  
Typed or Printed Name

Manager  
NEC Intellectual Property Center, America  
NEC Corporation of America  
\_\_\_\_\_  
Title and Company

Docket #	USSN	US Filing Date	First Named Inventor	Reel	Frame	Assignee 1
J-10-0033	12/670,841	January 26, 2010	Jun Furukawa	023852	0301	NEC CORPORATION
J-10-0035	12/670,843	January 26, 2010	Hironori Ito	023852	0322	NEC CORPORATION
J-10-0036	12/671,001	January 27, 2010	Yukitaka Kusumura	023859	0920	NEC CORPORATION
J-10-0037	12/671,010	January 27, 2010	Naoto Maeda	023859	0934	NEC CORPORATION
J-10-0039	12/671,013	January 27, 2010	Hideaki Tetsuhashi	023859	0936	NEC CORPORATION
J-10-0040	12/671,015	January 27, 2010	Yuusuke Tomita	023859	0951	NEC CORPORATION
J-10-0045	12/671,525	February 1, 2010	Takumi Otani	023876	0025	NEC CORPORATION
J-10-0046	12/671,526	February 1, 2010	Takahiro Kimoto	023876	0031	NEC CORPORATION
J-10-0048	12/671,844	February 2, 2010	Masahiko Osaka	023886	0618	NEC CORPORATION
J-10-0041	12/671,899	February 2, 2010	Tomonori Kuroda	023889	0289	NEC CORPORATION
J-10-0042	12/671,982	February 3, 2010	Hiroaki Inoue	023894	0160	NEC CORPORATION
J-10-0044	12/672,015	April 21, 2010	Ken Hanazawa	023911	0103	NEC CORPORATION
J-10-0043	12/672,230	February 4, 2010	Satoshi Hosokawa	023910	0604	NEC CORPORATION
J-10-0056	12/672,514	February 7, 2010	Toshinori Araki	023910	0641	NEC CORPORATION
J-10-0059	12/672,619	February 8, 2010	Takahiro Adachi	023914	0464	NEC CORPORATION
J-10-0060	12/672,621	February 8, 2010	Hideto Shibohta	023911	0349	NEC CORPORATION
J-10-0061	12/672,624	February 8, 2010	Tooru Ishino	023911	0331	NEC CORPORATION
J-10-0062	12/672,626	February 8, 2010	Junichi Ishii	023911	0420	NEC CORPORATION
J-10-0067	12/673,727	February 16, 2010	Yasushi Kanoh	023944	0472	NEC CORPORATION
J-10-0064	12/673,740	February 16, 2010	Takao Takenouchi	023944	0369	NEC CORPORATION
J-10-0072	12/673,792	February 17, 2010	Kentaro Yamasaki	023944	0363	NEC CORPORATION
J-10-0073	126/73,795	February 17, 2010	Toshiharu Ito	023944	0509	NEC CORPORATION
J-10-0071	12/674,216	February 19, 2010	Junichi Miyamoto	023961	0507	NEC CORPORATION
J-10-0076	12/674,217	February 19, 2010	Atsushi Shibuya	023961	0595	NEC CORPORATION
J-10-0075	12/674,219	February 19, 2010	Junichi Gokurakuji	023961	0578	NEC CORPORATION
J-10-0077	12/674,221	February 19, 2010	Risato Ohhira	023961	0623	NEC CORPORATION
J-10-0078	12/674,222	February 19, 2010	Kamame Naito	023961	0629	NEC CORPORATION





# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/674,221	02/19/2010	Risato Ohhira	J-10-0077

71799  
Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039

**CONFIRMATION NO. 5037  
IMPROPER CPOA LETTER**



Date Mailed: 10/19/2012

## NOTICE REGARDING POWER OF ATTORNEY

This is in response to the power of attorney filed 10/01/2012. The power of attorney in this application is not accepted for the reason(s) listed below:

- The power of attorney is from an assignee and the statement required by 37 CFR 3.73(c) has not been received.
- The power of attorney you provided did not comply with the power of attorney rules that became effective on June 25, 2004. See 37 CFR 1.32 and 69 Fed. Reg. 29865.

/ddinh/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



LTW

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Docket No: J-10-0077

Risato Ohhira

Appln. No.: 12/674,221

Filed: 2/19/2010

**TRANSMITTAL OF REVOCATION OF POWER OF ATTORNEY AND  
APPOINTMENT OF NEW ATTORNEYS BY ASSIGNEE**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicant hereby submits a Revocation and Power of Attorney and Appointment of New Attorneys by Assignee, and exhibit referenced therein, ("Power of Attorney") in the above-identified application.

The Power of Attorney includes a statement under 37 C.F.R. §3.73(b), signed by a person authorized to act on behalf of the assignee, specifying where documentary evidence of a chain of title from the original owner to the assignee is recorded in the assignment records of the Office. Specifically, the reel and frame number in the Office's assignment records for the present application are set forth in the exhibit attached to and referenced by the Power of Attorney. For the convenience of the Office, such reel and frame number, as well as the application number, are set forth below.

USSN: 12/674,221

Reel / Frame: 023961 / 0623

Please direct all subsequent correspondence to the address associated with Customer Number 71799.

Respectfully submitted,

SUGHRUE MION, PLLC  
2100 Pennsylvania Avenue, N.W.  
Washington, DC 20037  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

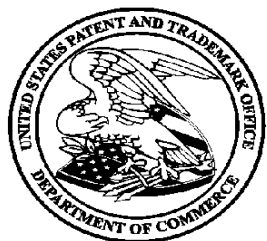
/J. Warren Lytle, Jr./  
J. Warren Lytle, Jr.  
Registration No. 39,283

Date: October 1, 2012

UNITED STATES PATENT AND TRADEMARK OFFICE  
COMMISSIONER FOR PATENTS  
P.O.BOX 1450  
ALEXANDRIA VA 22313-1451

PRESORTED  
FIRST-CLASS MAIL  
U.S. POSTAGE PAID  
POSTEDIGITAL  
NNNNN

Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039



**Courtesy Reminder for  
Application Serial No: 12/674,221**

Attorney Docket No: J-10-0077

Customer Number: 71799

Date of Electronic Notification: 09/20/2012

This is a courtesy reminder that new correspondence is available for this application. The official date of notification of the outgoing correspondence will be indicated on the form PTOL-90 accompanying the correspondence.

An email notification regarding the correspondence was sent to the following email address(es) associated with your customer number:

ryoichi.harada@necam.com

Please verify that these email addresses are correct.

To view your correspondence online or update your email addresses, please visit us anytime at **<https://sportal.uspto.gov/secure/myportal/privatepair>**. If you have any questions, please email the Electronic Business Center (EBC) at [EBC@uspto.gov](mailto:EBC@uspto.gov) or call 1-866-217-9197.



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
-----------------	-------------	----------------------	---------------------	------------------

12/674,221

02/19/2010

Risato Ohhira

J-10-0077

5037

71799

7590

09/20/2012

Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039

EXAMINER

LEE, BENNY T

ART UNIT

PAPER NUMBER

2817

NOTIFICATION DATE

DELIVERY MODE

09/20/2012

ELECTRONIC

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ryoichi.harada@necam.com

<b>Office Action Summary</b>	<b>Application No.</b>	<b>Applicant(s)</b>	
	12/674,221	OHHIRA, RISATO	
	<b>Examiner</b>	<b>Art Unit</b>	
	BENNY LEE	2817	

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --**

### Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

### Status

- 1) ☒ Responsive to communication(s) filed on 28 August 2012.
- 2a) ☒ This action is **FINAL**.                      2b) ☐ This action is non-final.
- 3) ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on \_\_\_\_; the restriction requirement and election have been incorporated into this action.
- 4) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

### Disposition of Claims

- 5) ☒ Claim(s) 1-12 is/are pending in the application.
- 5a) Of the above claim(s) \_\_\_\_ is/are withdrawn from consideration.
- 6) ☒ Claim(s) 2 is/are allowed.
- 7) ☒ Claim(s) 1,3,11; 12 is/are rejected.
- 8) ☒ Claim(s) 4-10 is/are objected to.
- 9) ☐ Claim(s) \_\_\_\_ are subject to restriction and/or election requirement.

### Application Papers

- 10) ☒ The specification is objected to by the Examiner.
- 11) ☒ The drawing(s) filed on 28 August 2012 is/are: a) ☒ accepted or b) ☐ objected to by the Examiner.  
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).  
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 12) ☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

### Priority under 35 U.S.C. § 119

- 13) ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
- a) ☐ All    b) ☐ Some \*    c) ☐ None of:
1. ☐ Certified copies of the priority documents have been received.
  2. ☐ Certified copies of the priority documents have been received in Application No. \_\_\_\_.
  3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

\* See the attached detailed Office action for a list of the certified copies not received.

### Attachment(s)

- |  |   |
|--|---|
| 1) <input type="checkbox"/> Notice of References Cited (PTO-892)                     | 4) <input type="checkbox"/> Interview Summary (PTO-413)           |
| 2) <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948) | Paper No(s)/Mail Date. ____.                                      |
| 3) <input type="checkbox"/> Information Disclosure Statement(s) (PTO/SB/08)          | 5) <input type="checkbox"/> Notice of Informal Patent Application |
| Paper No(s)/Mail Date ____.  | 6) <input type="checkbox"/> Other: ____.                          |

The disclosure is objected to because of the following informalities: In replacement paragraphs [0032], [0034], [0035], [0036], [0037], [0038], [0041], note that the reference to the “interval”, “distance” or “spacing” designated by “dx” is respectively still vague in meaning since no such label appears in the drawing figures and thus needs clarification. In replacement paragraph [0096], note that reference to “dx<sub>2</sub>” is still vague in meaning since no such label appears in the drawing figures and thus needs clarification. Appropriate correction is required.

The drawings are objected to because of the following: In Figs. 1A-1D, note that --L1-- & --L2-- still need to be provided such as to be commensurate with the specification description of this drawing figure at paragraph [0006].

The drawings are objected to under 37 CFR 1.83(a). The drawings must show every feature of the invention specified in the claims. Therefore, the third ground pattern (i.e. claim 8) must be shown or the feature(s) canceled from the claim(s). No new matter should be entered.

Corrected drawing sheets in compliance with 37 CFR 1.121(d) are required in reply to the Office action to avoid abandonment of the application. Any amended replacement drawing sheet should include all of the figures appearing on the immediate prior version of the sheet, even if only one figure is being amended. The figure or figure number of an amended drawing should not be labeled as “amended.” If a drawing figure is to be canceled, the appropriate figure must be removed from the replacement sheet, and where necessary, the remaining figures must be renumbered and appropriate changes made to the brief description of the several views of the drawings for consistency. Additional replacement sheets may be necessary to show the renumbering of the remaining figures. Each drawing sheet submitted after the filing date of an application must be labeled in the top margin as either “Replacement Sheet” or “New Sheet” pursuant to 37 CFR 1.121(d). If the changes are not accepted by the examiner, the applicant will be notified and informed of any required corrective action in the next Office action. The objection to the drawings will not be held in abeyance.

Art Unit: 2817

The specification is objected to as failing to provide proper antecedent basis for the claimed subject matter. See 37 CFR 1.75(d)(1) and MPEP § 608.01(o). Correction of the following is required: The specification needs to provide a corresponding description of the “third ground pattern” as recited in claim 8.

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 1, 3, 11 are rejected under 35 U.S.C. 102(b) as being clearly anticipated by Andersson (of record).

Andersson (i.e. Fig. 5) discloses a high frequency wiring board, comprising: a first coplanar line with a first signal line (i.e. coplanar segment 7) and first planar ground pattern {i.e. ground metallization (5a, 5b)} disposed on the same layer (i.e. an obverse layer) of a substrate (i.e. 1), such that the first ground pattern (5a, 5b) are disposed on opposing sides of the first signal line (7); a second coplanar line with a second signal line (i.e. connector pin 2) and second planar ground pattern (i.e. lead frame 14) disposed on a layer (i.e. a reverse layer of substrate 1) that is different from the layer of the first coplanar line, and includes the second ground pattern (14) at least disposed on opposed sides of the second signal line (2), as evident from Fig. 5; a first ground pattern (i.e. lead frame 4) that is disposed on the same layer as, but separated from, the first coplanar line (i.e. as evident from the open space between the coplanar line and lead frame (4) on the surface of substrate (1) and in particular the separation adjacent to the first ground pattern (5a, 5b), as depicted in Fig. 5); an interconnecting via hole (i.e. 8) for connecting

Art Unit: 2817

the signal lines of the first coplanar line and the second coplanar line, as best depicted in related Fig. 4c. Regarding claim 11, as evident from Fig. 2, the second ground pattern (14), aside from extending on opposing sides of the second signal line, also extends into a region underlying the first coplanar line.

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

Claim 12 is rejected under 35 U.S.C. 103(a) as being unpatentable over Andersson in view of Margomenos (Both references of record).

Andersson discloses the claimed invention except for the explicit presence of a semiconductor integrated circuit chip disposed on the high frequency wiring board.

Margomenos (i.e. FIG. 1) exemplarily discloses a wiring board arrangement including microstrip signal lines (i.e. 12, 14) on different layers interconnected through a conductive via (i.e. 20). Moreover, as exemplarily described in paragraph [0009], a semiconductor wafer (i.e. corresponding to a semiconductor integrated circuit chip) is disposed between microstrip (12) and the underlying ground plane (i.e. 16).

Accordingly, it would have been obvious in view of the references, taken as a whole, to have modified the wiring board in Andersson (i.e. Fig. 5) to have included a semiconductor wafer (i.e. integrated circuit chip), such as taught by Margomenos. Such a modification would have been considered obvious in view of the compatible nature of the sealed-lead through microwave circuit in Anderson in accommodating a semiconductor wafer or integrated circuit of

Art Unit: 2817

the type exemplarily taught in Margomenos, thereby suggesting the obviousness of such a modification.

Applicant's arguments filed 28 August 2012 have been fully considered but they are not persuasive.

Applicant has argued that in Andersson, the first planar ground line and the ground plane pattern are not separated such as recited in independent claim 1. In particular, applicant asserts that in Andersson, the ground plane metallization (5a, 5b) are connected to lead frame (4), thereby precluding a separation of these features.

In response, the examiner has considered applicant's argument, but has found it not persuasive. It should be noted that, as set forth in the above rejection, the examiner has identified that the first planar ground lines (i.e. metallizations (5a, 5b) in Andersson) are indeed "separated" from the first ground pattern (i.e. lead frame (4) in Andersson) by virtue of the open space between these features. Such would have been considered a reasonable interpretation of "separated" (i.e. the open space separates these features), even if the metallizations (5a, 5b) and the lead frame (4) in Andersson are indeed electrically connected. It appears that what is intended by applicant is that the first planar ground lines and the first ground pattern are separated by virtue of not being in physical contact with each other. However, such an intention would not necessarily have been encompassed by the term "separated". If applicant intends to physically separate the first planar ground lines from the first ground pattern such that they do not contact each other, then applicant needs to provide a limitation in the claims that specifically reflects such an intention.

Art Unit: 2817

Claims 4-10 are objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims.

Claim 2 is allowable over the prior art of record.

**THIS ACTION IS MADE FINAL.** Applicant is reminded of the extension of time policy as set forth in 37 CFR 1.136(a).

A shortened statutory period for reply to this final action is set to expire THREE MONTHS from the mailing date of this action. In the event a first reply is filed within TWO MONTHS of the mailing date of this final action and the advisory action is not mailed until after the end of the THREE-MONTH shortened statutory period, then the shortened statutory period will expire on the date the advisory action is mailed, and any extension fee pursuant to 37 CFR 1.136(a) will be calculated from the mailing date of the advisory action. In no event, however, will the statutory period for reply expire later than SIX MONTHS from the mailing date of this final action.

Any inquiry concerning this communication should be directed to Benny Lee at telephone number 571 272 1764.

**/BENNY LEE/  
PRIMARY EXAMINER  
ART UNIT 2817**

B. Lee

# REPLACEMENT SHEET

1/13

APPROVED: /BTL/

Fig. 1A

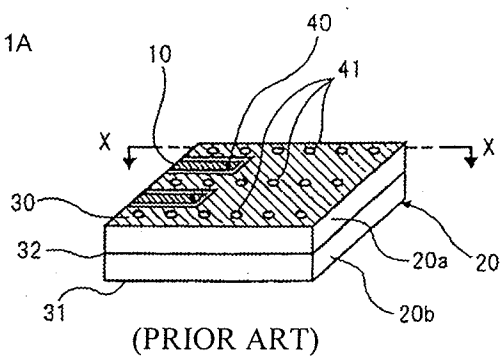


Fig. 1B

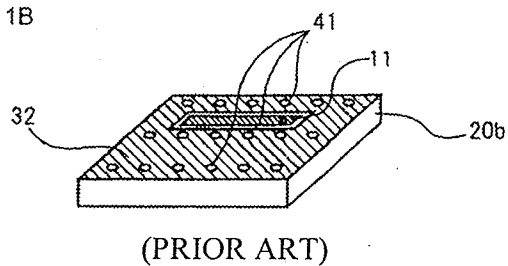


Fig. 1C

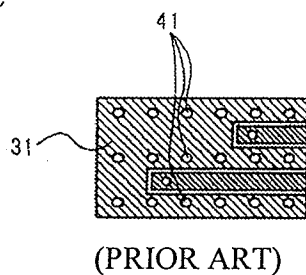
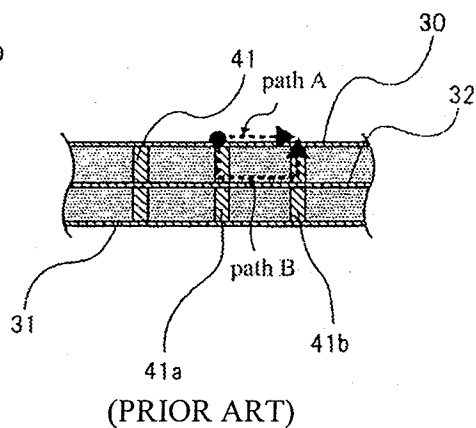


Fig. 1D



**REPLACEMENT SHEET**

2/13

Fig. 2A

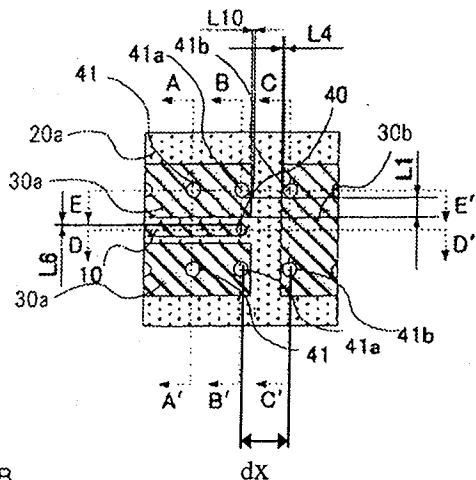


Fig. 2B

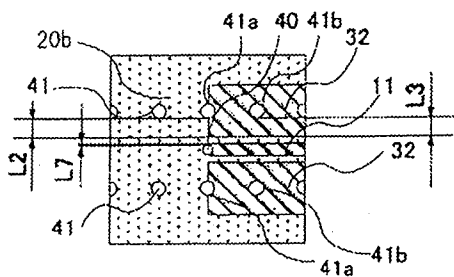


Fig. 2C

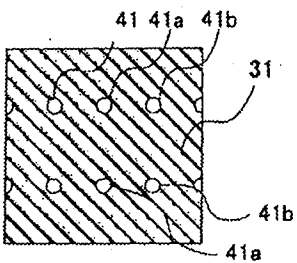
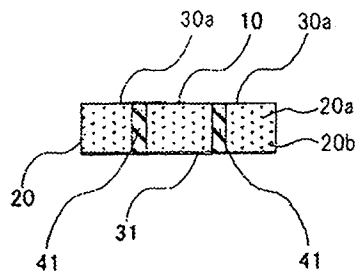


Fig. 2D



APPROVED: /BTL/

**REPLACEMENT SHEET**

APPROVED: /BTL/

6/13

Fig 5

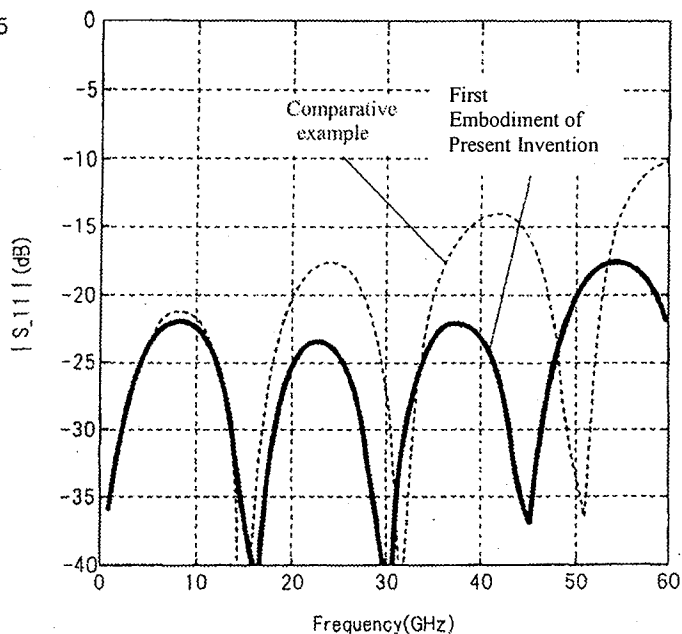
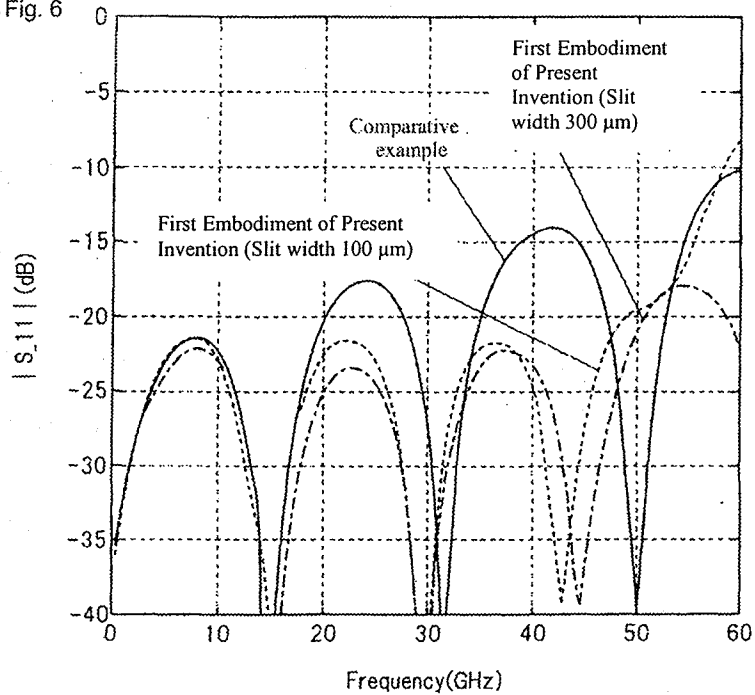


Fig. 6



**REPLACEMENT SHEET**

APPROVED: /BTL/

7/13

Fig. 7A

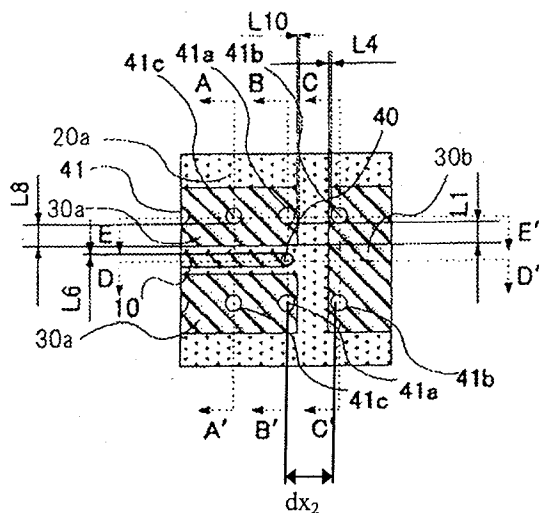


Fig. 7B

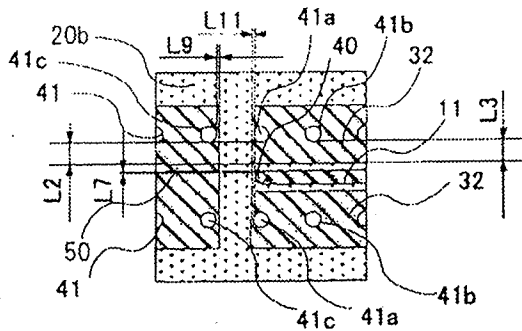
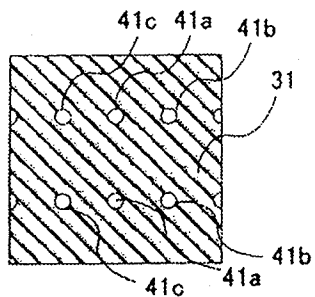
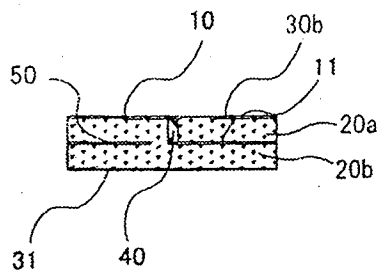


Fig. 7C



## 8/13

APPROVED: /BTL/



**REPLACEMENT SHEET**

9/13

APPROVED: /BTL/

Fig. 7H

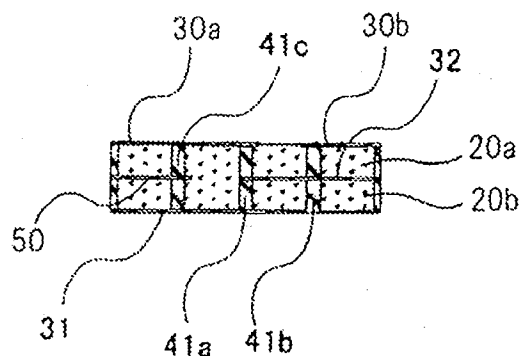
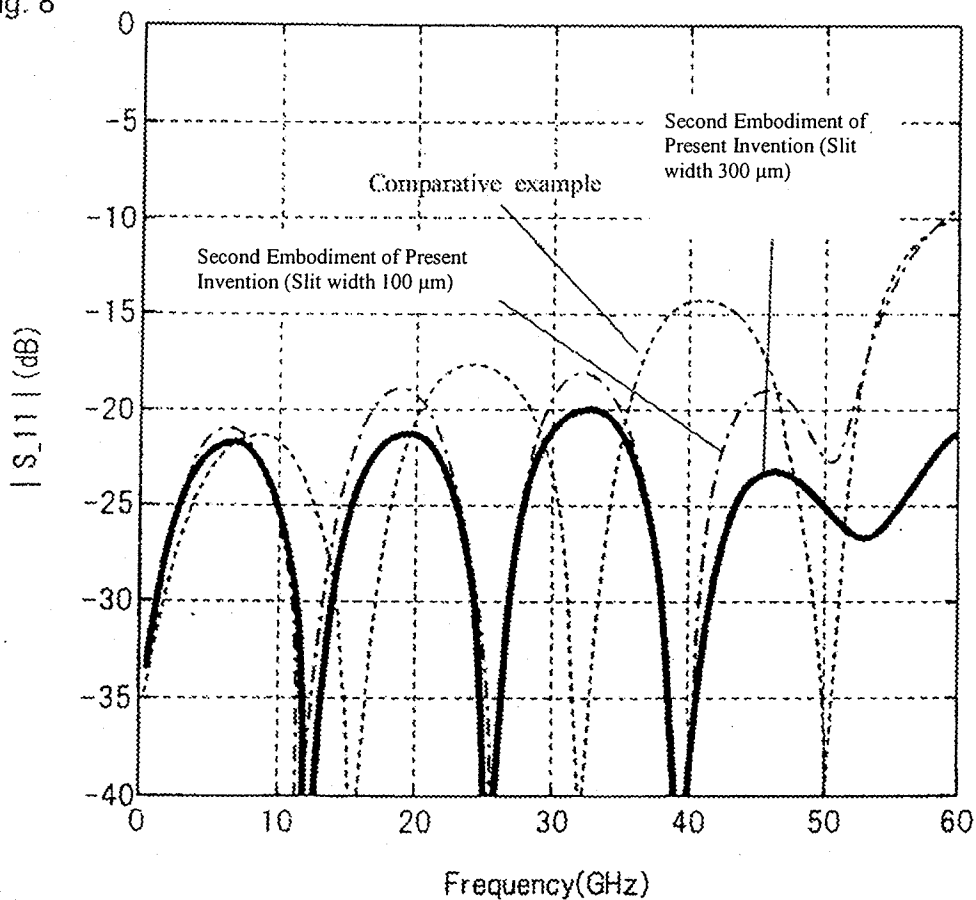


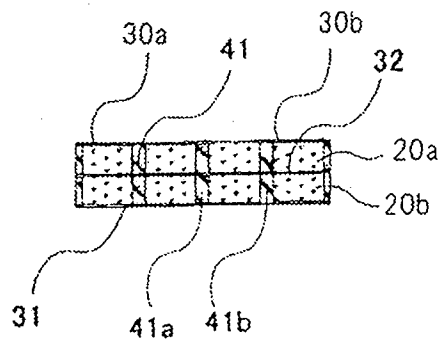
Fig. 8



REPLACEMENT SHEET

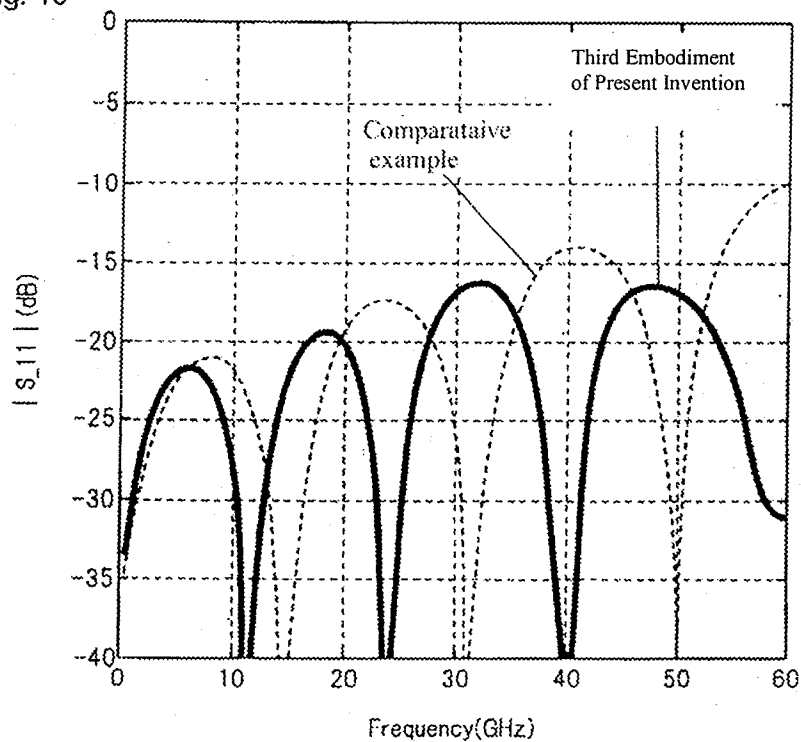
12/13


Fig. 9H



APPROVED: /BTL/

Fig. 10




<b>Search Notes</b>  	<b>Application/Control No.</b>  12674221	<b>Applicant(s)/Patent Under Reexamination</b>  OHHIRA, RISATO
	<b>Examiner</b>  BENNY LEE	<b>Art Unit</b>  2817

SEARCHED			
Class	Subclass	Date	Examiner
333	246, 238, 33	16 March 2012	BTL
Researched above		12 September 2012	BTL

SEARCH NOTES		
Search Notes	Date	Examiner

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

--	--

<p><b><i>Index of Claims</i></b></p> 	<b>Application/Control No.</b> 12674221	<b>Applicant(s)/Patent Under Reexamination</b> OHHIRA, RISATO
	<b>Examiner</b> BENNY LEE	<b>Art Unit</b> 2817

✓	<b>Rejected</b>	-	<b>Cancelled</b>	N	<b>Non-Elected</b>	A	<b>Appeal</b>
=	<b>Allowed</b>	÷	<b>Restricted</b>	I	<b>Interference</b>	O	<b>Objected</b>

<input type="checkbox"/> Claims renumbered in the same order as presented by applicant				<input type="checkbox"/> CPA		<input type="checkbox"/> T.D.		<input type="checkbox"/> R.1.47	
CLAIM		DATE							
Final	Original	03/21/2012	09/16/2012						
	1	✓	✓						
	2	✓	=						
	3	✓	✓						
	4	✓	○						
	5	✓	○						
	6	✓	○						
	7	✓	○						
	8	✓	○						
	9	✓	○						
	10	✓	○						
	11	✓	✓						
	12	✓	✓						

Docket No.: 2207946.00126US1  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant:	Risato Ohhira	Confirmation No.:	5037
Application No.:	12/674,221	Art Unit:	2817
Filed:	February 19, 2010	Examiner:	Lee, Benny T.
Title:	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD		

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**AMENDMENT IN RESPONSE TO NON-FINAL OFFICE ACTION UNDER 37 C.F.R. 1.111**

Dear Sir:

**INTRODUCTORY COMMENTS**

In response to the Office Action dated March 28, 2012, please amend the above-identified U.S. patent application as follows. Applicant concurrently files herewith a Two-Month Petition for Extension of Time.

**Amendments to the Specification** begin on page 3 of this paper.

**Amendments to the Claims** are reflected in the listing of claims which begins on page 64 of this paper.

**Amendments to the Drawings** begin on page 72 of this paper and include an attached replacement sheet.

**Remarks/Arguments** begin on page 73 of this paper.

An **Appendix** including amended drawing figures is attached following page 76 of this paper.

**AMENDMENTS TO THE SPECIFICATION**

**Please replace paragraph [0005] with the following amended paragraph, marked to show changes:**

[0005]

The high-frequency wiring board shown in these figures is composed of dielectric wiring board 20 (FIG. 1A) realized by stacking two dielectric layers 20a (FIG. 1A) and 20b (FIGs. 1A and 1B). High-frequency transmission lines are then formed on different layers.

**Please replace paragraph [0006] with the following amended paragraph, marked to show changes:**

[0006]

The first high-frequency transmission lines are made up from: first signal lines 10 (FIG. 1A) formed on the upper surface of first dielectric layer 20a (FIG. 1A) that is the obverse surface of dielectric wiring board 20 (FIG. 1A), first ground pattern 30 (FIGs. 1A and 1D) that is arranged around these signal lines 10 (FIG. 1A) and on the same surface, and second ground pattern 32 (FIGs. 1A, 1B, and 1D) formed on the surface of second dielectric layer 20b (FIGs. 1A and 1B). In addition, second high-frequency transmission lines are made up from the above-described first ground pattern 30 (FIGs. 1A and 1D), third ground pattern 31 (FIGs. 1A and 1C) formed on the lower surface of second dielectric layer 20b (FIGs. 1A and 1B) that is the reverse surface of dielectric wiring board 20 (FIG. 1A), second signal line 11 (FIG. 1B) formed on the upper surface of second dielectric layer

20b (FIGs. 1A and 1B) and arranged between these ground patterns, and second ground pattern 32 (FIGs. 1A, 1B, and 1D) that is arranged around this signal line 11 (FIG. 1B) and on the same surface.

**Please replace paragraph [0007] with the following amended paragraph, marked to show changes:**

[0007]

The end of first signal line 10 (FIG. 1A) of the first high-frequency transmission lines and the end of second signal line 11 (FIG. 1B) of the second high-frequency transmission lines are connected by via 40 (FIG. 1A) having conductivity. In addition, first ground pattern 30 (FIGs. 1A and 1D), second ground pattern 32 (FIGs. 1A, 1B, and 1D), and third ground pattern 31 (FIGs. 1A and 1C) are electrically connected by a plurality of conductive vias 41 arranged along the signal transmission direction of first signal lines 10 (FIG. 1A) and second signal line 11 (FIG. 1B).

**Please replace paragraph [0009] with the following amended paragraph, marked to show changes:**

[0009]

As a result, methods have been proposed as in, for example, JP-A-2004-320109 (hereinbelow referred to as Patent Document 2) for limiting impedance mismatching and thus decreasing signal reflection by changing the end width of signal lines that correspond to first signal lines 10 (FIG. 1A)

that make up the above-described first high-frequency transmission lines, i.e., changing the width in the vicinity of connections with conductive vias 40 (FIG. 1A).

**Please replace paragraph [0012] with the following amended paragraph, marked to show changes:**

[0012]

In the configuration shown by FIGs. 1A–1D, when a signal is transmitted from the first high-frequency transmission lines to the second high-frequency transmission lines, the signal-line component of the current among the high-frequency current that is propagated over first ground pattern 30 (FIGs. 1A and 1D) and first signal line 10 (FIG. 1A) of the first high-frequency transmission lines flows along second signal line 11 (FIG. 1B) of the second high-frequency transmission lines. However, the ground-pattern component of the current not only flows through second ground pattern 32 (FIGs. 1A, 1B, and 1D) of the second high-frequency transmission lines but also through first ground pattern 30 (FIGs. 1A and 1D), i.e., in two paths. In other words, as shown in FIG. 1D, the current is propagated on path A that passes by only first ground pattern 30 (FIGs. 1A and 1D) and on path B that passes successively from first ground pattern 30 (FIGs. 1A and 1D) to conductive via 41a (FIG. 1D), second ground pattern 32 (FIGs. 1A, 1B, and 1D), and the next conductive via 41b (FIG. 1D) along the signal transmission direction before again returning to first ground pattern 30 (FIGs. 1A and 1D).

**Please replace paragraph [0013] with the following amended paragraph, marked to show changes:**

[0013]

If the physical path lengths of paths A and B are ~~If a case is here considered in which the two physical path lengths are~~ L1 and L2, the path length difference L1-L2 is  $\Delta L$ , the wavelength of signal transmission in a vacuum is  $\lambda_0$ , the wave number of each path is the same at k, and the effective relative dielectric constants on each path are the same at  $\epsilon$ , the phase difference between the two paths A and B is represented by:

**Please replace the heading on page 4 with the following amended heading, marked to show changes:**

Summary Disclosure of Embodiments of the Invention

**Please replace paragraph [0020] with the following amended paragraph, marked to show changes:**

[0020]

FIG. 1A is an overall perspective view of the high-frequency wiring board disclosed in Patent Document 1;

FIG. 1B is a perspective view of a portion of the second dielectric layer of the high-frequency wiring board of FIG. 1A;

FIG. 1C is an upper view of the reverse-surface conductive pattern of the high-frequency wiring board of FIG. 1A;

FIG. 1D is a sectional view taken along line X-X along the direction of signal transmission of the high-frequency wiring board shown in FIG. 1A;

FIG. 2A is a plan view showing the first wiring layer of the high-frequency wiring board of the first embodiment;

FIG. 2B is a plan view showing the second wiring layer of the high-frequency wiring board of the first embodiment;

FIG. 2C is a plan view showing the third wiring layer of the high-frequency wiring board of the first embodiment;

FIG. 2D is a sectional view of the high-frequency wiring board taken along line A-A' of FIG. 2A;

FIG. 2E is a sectional view of the high-frequency wiring board taken along line B-B' of FIG. 2A;

FIG. 2F is a sectional view of the high-frequency wiring board taken along line C-C' of FIG. 2A;

FIG. 2G is a sectional view of the high-frequency wiring board taken along line D-D' of FIG. 2A;

FIG. 2H is a sectional view of the high-frequency wiring board taken along line E-E' of FIG. 2A;

FIGs. 3(a), 3(b), and 3(c) give ~~FIG. 3 gives~~ a schematic representation of the signal-line component of the high-frequency current paths and the ground-pattern component of the high-frequency current paths based on the results of electromagnetic field analysis of the high-frequency transmission line construction of the first embodiment;

FIGs. 4(a), 4(b), and 4(c) are ~~FIG. 4 is~~ an explanatory view of the spacing range of conductive vias arranged along the direction of signal transmission in the high-frequency transmission line construction of the first embodiment;

FIG. 5 shows the results of electromagnetic field analysis in which a comparison of the input reflection characteristics of a comparative example and the first embodiment was performed;

FIG. 6 shows the results of electromagnetic field analysis in which comparison of the input reflection characteristics in the first embodiment was carried out while changing the separation width;

FIG. 7A is a plan view showing the first wiring layer of the high-frequency wiring board of the second embodiment;

FIG. 7B is a plan view showing the second wiring layer of the high-frequency wiring board of the second embodiment;

FIG. 7C is a plan view showing the third wiring layer of the high-frequency wiring board of the second embodiment;

FIG. 7D is a sectional view of the high-frequency wiring board taken along line A-A' of FIG. 7A;

FIG. 7E is a sectional view of the high-frequency wiring board taken along line B-B' of FIG. 7A;

FIG. 7F is a sectional view of the high-frequency wiring board taken along line C-C' of FIG. 7A;

FIG. 7G is a sectional view of the high-frequency wiring board taken along line D-D' of FIG. 7A;

FIG. 7H is a sectional view of the high-frequency wiring board taken along line E-E' of FIG. 7A;

FIG. 8 shows the results of electromagnetic field analysis in which a comparison of the input reflection characteristics of a comparative example and the second embodiment was carried out;

FIG. 9A is a plan view showing the first wiring layer of the high-frequency wiring board of the third embodiment;

FIG. 9B is a plan view showing the second wiring layer of the high-frequency wiring board of the third embodiment;

FIG. 9C is a plan view showing the third wiring layer of the high-frequency wiring board of the third embodiment;

FIG. 9D is a sectional view of the high-frequency wiring board taken along line A-A' of FIG. 9A;

FIG. 9E is a sectional view of the high-frequency wiring board taken along line B-B' of FIG. 9A;

FIG. 9F is a sectional view of the high-frequency wiring board taken along line C-C' of FIG. 9A;

FIG. 9G is a sectional view of the high-frequency wiring board taken along line D-D' of FIG. 9A;

FIG. 9H is a sectional view of the high-frequency wiring board taken along line E-E' of FIG. 9A;

FIG. 10 shows the results of electromagnetic field analysis in which a comparison of the input reflection characteristics of a comparative example and the third embodiment was carried out;

FIG. 11 is a sectional view taken along a signal line of an example of a module that uses the high-frequency wiring board of the present invention; and

FIG. 12 is a sectional view taken along a signal line of an example of a module that uses the high-frequency wiring board of the present invention.

**Please replace paragraph [0021] with the following amended paragraph, marked to show changes:**

[0021]

Explanation next regards details of embodiments of the present invention with reference to the accompanying figures, where like features in the different drawing figures are designated by the same reference labels.

**Please replace paragraph [0023] with the following amended paragraph, marked to show changes:**

[0023]

The high-frequency wiring board of the present embodiment is composed of dielectric wiring board 20 in which two dielectric layers ~~20A~~ 20a (FIGs. 2A, 2D–2G) and 20b (FIGs. 2B, 2D–2G) are stacked. First coplanar lines are formed on the upper surface of first dielectric layer 20a (FIGs. 2A, 2D–2G) that is the obverse surface (first wiring layer) of dielectric wiring board 20 (FIGs. 2D–2F) (FIG. 2A). These first coplanar lines are made up from first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) and planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) that is formed on both sides of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) and on the same layer as first signal line 10 (FIGs. 2A, 2D, 2E, and 2G). In addition, second coplanar lines are formed on the upper surface of second dielectric layer 20b (FIGs. 2B, 2D–2G) that is the internal layer (second wiring layer) of dielectric wiring board 20 (FIGs. 2D–2F) (FIG. 2B). The second coplanar lines are made up from second signal line 11 (FIGs. 2B, 2F, and 2G) and planar ground pattern 32 (FIGs. 2B, 2E, and 2H) that is formed on both sides of this signal line 11 (FIGs. 2B, 2F, and 2G) and on the same layer as second signal line 11 (FIGs. 2B, 2F, and 2G). In addition, planar ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H) and 32 (FIGs. 2B, 2E, and 2H) of the first and second coplanar lines may be formed on only one of the two side positions that sandwiches each of the signal lines.

**Please replace paragraph [0024] with the following amended paragraph, marked to show changes:**

[0024]

First signal line 10 (FIGs. 2A, 2D, 2E, and 2G) of the first coplanar lines and second signal line 11 (FIGs. 2B, 2F, and 2G) of the second coplanar lines that is on a wiring layer that differs from that of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) are connected at conductive via 40 (FIGs. 2A, 2B, 2E, and 2G) at the line end of each signal line.

**Please replace paragraph [0025] with the following amended paragraph, marked to show changes:**

[0025]

Planar first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) and planar second ground pattern 31 (FIGs. 2C–2H) are formed on the first wiring layer and third wiring layer (the reverse surface of dielectric wiring board 20 (FIGs. 2D–2F)) such that the layer on which second signal line 11 (FIGs. 2B, 2F, and 2G) is formed is sandwiched from above and below. This second ground pattern 31 (FIGs. 2C–2H) extends to areas that confront the first coplanar lines and further serves as the lower-layer ground of the first coplanar lines.

**Please replace paragraph [0026] with the following amended paragraph, marked to show changes:**

[0026]

On the other hand, first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) is separated from ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) without doing double-duty as the ground pattern of the first coplanar lines as in the background art. More specifically, planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the upper layer of second coplanar lines are separated by a predetermined width (dielectric width) from the area of connection of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) and conductive via 40 (FIGs. 2A, 2B, 2E, and 2G) in the direction of the extension of the second coplanar lines.

**Please replace paragraph [0027] with the following amended paragraph, marked to show changes:**

[0027]

Planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and second ground pattern 31 (FIGs. 2C–2H) that further serves as the lower-layer ground of the first coplanar lines are interconnected by a plurality of conductive vias 41 (FIGs. 2A–2D and 2H) arranged at a predetermined spacing along the signal transmission direction of the first coplanar lines. However, of the plurality of conductive vias 41 (FIGs. 2A–2D and 2H), conductive vias 41a (FIGs. 2A–2C, 2E, and 2H) in the vicinity of the connection of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) and

second signal line 11 (FIGs. 2B, 2F, and 2G) are interconnected between planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and planar ground pattern 32 (FIGs. 2B, 2E, and 2H) of the second coplanar lines.

**Please replace paragraph [0028] with the following amended paragraph, marked to show changes:**

[0028]

In addition, first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) that is on the upper layer of the second coplanar lines, planar ground pattern 32 (FIGs. 2B, 2E, and 2H) of the second coplanar lines, and second ground pattern 31 (FIGs. 2C–2H) are mutually connected by a plurality of conductive vias 41 (FIGs. 2A–2D and 2H) (41b) (FIGs. 2A–2C, and 2F) arranged at a predetermined spacing along the signal transmission direction of the second coplanar lines.

**Please replace paragraph [0029] with the following amended paragraph, marked to show changes:**

[0029]

In the high-frequency transmission lines of the high-frequency wiring board as described above, planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the upper layer of the second coplanar lines are separated in the direction of the extension of the second coplanar lines from the vicinity of the connection of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) and conductive via 40 (FIGs. 2A, 2B, 2E, and 2G).

As a result, when a signal is transmitted from the first coplanar lines to the second coplanar lines, the high-frequency current paths that are propagated in the first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the upper layer of the second coplanar lines are limited to one. In other words, the high-frequency current path that is propagated in first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) during signal transmission to the second coplanar lines is only the path toward first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) that successively passes from planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines, by way of conductive vias 41a (FIGs. 2A–2C, 2E, and 2H), planar ground pattern 32 (FIGs. 2B, 2E, and 2H) of the second coplanar lines, and by way of next conductive vias 41b (FIGs. 2A–2C, 2F, 2H) along the direction of signal transmission. In this way, phase interference of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) does not occur, and as a result, an improvement can be attained in reflection characteristics that deteriorate from low to high frequencies.

**Please replace paragraph [0030] with the following amended paragraph, marked to show changes:**

[0030]

This result is obtained if planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the upper layer of the second coplanar lines are separated, and the separation portion may therefore be of any form. In other words, the opposing sides that form the separation portion between planar ground pattern 30a (FIGs.

2A, 2D, 2E, and 2H) and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) need not be formed parallel or at fixed spacing as shown in the Fig. 2A figure.

**Please replace paragraph [0031] with the following amended paragraph, marked to show changes:**

[0031]

An additional condition for further improving the reflection characteristic is next described. However, the following explanation presupposes a configuration in which planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) are separated by a width of a fixed spacing.

**Please replace paragraph [0032] with the following amended paragraph, marked to show changes:**

[0032]

As an additional condition for further improving the reflection characteristics in the present embodiment, the degree of separation between planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the upper layer of the second coplanar lines is prescribed as follows: i.e., the separation width is prescribed to be greater than 0, and moreover, no greater than interval dx from conductive vias 41a (FIGs. 2A–2C, 2E, and 2H) in the vicinity of the connection of first signal line 10 to next conductive via 41b (FIGs. 2A–2C, 2F, 2H) in the direction of the signal transmission.

**Please replace paragraph [0033] with the following amended paragraph, marked to show changes:**

[0033]

The reason why this condition achieves a further improvement of the reflection characteristics of the present embodiment is next explained using FIG. 3. FIG. 3 gives a schematic representation of high-frequency current path C (Fig. 3(a)) on the signal transmission side that is propagated through signal lines 10 (FIGs. 2A, 2D, 2E, and 2G) and 11 (FIGs. 2B, 2F, and 2G) and high-frequency current path D (Fig. 3(a)) on the ground pattern side that is propagated through first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H and FIG. (3a)) of the upper layer of the second coplanar lines based on the results of electromagnetic field analysis of the high-frequency transmission line construction of the present embodiment. In addition, (a), (b) and (c) in these figures show states corresponding to FIG. 2A, FIG. 2B, and FIG. 2C; high-frequency current path D (Fig. 3(a)) on the ground pattern side in the figures shows the state of propagation through first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H and Fig. 3(a)) of the upper layer of the second coplanar lines from planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H and Fig. 3(a)) of the first coplanar lines by way of conductive vias 41a (FIGs. 2A-2C, 2E, and 2H and Fig. 3(a)). As can be seen from this figure, there is a difference in path length between high-frequency current path C (Fig. 3(a)) on the signal line side that follows opposing signal lines and high-frequency current path D (Fig. 3(a)) on the ground pattern side that follows along the circumferences of ground patterns. Because the distance between the outer circumferences of conductive ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H and Fig. 3(a)) and via 41a (FIGs. 2A-2C, 2E, and 2H and Fig. 3(a)) and/or the distance between the outer circumference

of ground pattern 30b (FIGs. 2A, 2F, 2G and 2H and Fig. 3(a)) and conductive via 41b (FIGs. 2A–2C, 2F, 2H and Fig. 3(a)) is decreased to the extent that the above-described separation width is increased, the length of high-frequency current path D (Fig. 3(a)) on the ground pattern side becomes shorter and the difference in path length between high-frequency current path C (Fig. 3(a)) on the signal line side and high-frequency current path D (Fig. 3(a)) on the ground pattern side becomes shorter. As a result, to the extent that the separation width is increased, i.e., to the extent that the difference in the path length between current path C (Fig. 3(a)) and D (Fig. 3(a)) is reduced, the phase difference between high-frequency current path C (Fig. 3(a)) on the signal line side and high-frequency current path D (Fig. 3(a)) on the ground pattern side can be reduced, as can be seen from the above-described Formula (1).

**Please replace paragraph [0034] with the following amended paragraph, marked to show changes:**

[0034]

As a result, a further improvement of the reflection characteristics can be achieved by setting the upper limit of the separation width to distance dx of conductive vias 41 (FIGs. 2A–2D and 2H and Fig. 3(a)) that can provide maximum separation between ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H and Fig. 3(a)) and 30b (FIGs. 2A, 2F, 2G and 2H and Fig. 3(a)).

**Please replace paragraph [0035] with the following amended paragraph, marked to show changes:**

[0035]

Distance  $dx$  is prescribed by space of the arrangement of, for example, conductive vias 41a (FIGs. 2A–2C, 2E, and 2H and Fig. 3(a)) and 41b (FIGs. 2A–2C, 2F, 2H and Fig. 3(a)) that are formed in the second coplanar lines rather than the first coplanar lines. In addition, space of the arrangement of conductive vias 41a (FIGs. 2A–2C, 2E, and 2H and Fig. 3(a)) and 41b (FIGs. 2A–2C, 2F, 2H and Fig. 3(a)) formed in the second coplanar lines is a value determined for realizing a desired frequency band in the second coplanar lines.

**Please replace paragraph [0037] with the following amended paragraph, marked to show changes:**

[0037]

The inventors of the present invention have found that increase in impedance deviation on planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) that accompanies increase in frequency is suppressed by limiting the sum of the shortest distance from any point of planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) of the second coplanar lines to the nearest conductive via and the layer thickness to a value no greater than a predetermined value, and as a result, have found that the reflection characteristics of the coplanar transmission lines is improved over a broad frequency

band. Based on this concept, a formula that includes formula modifications is noted below specifically as a formula for prescribing via spacing  $dx$ .

**Please replace paragraph [0038] with the following amended paragraph, marked to show changes:**

[0038]

If  $R$  is the shortest distance from any point on the outer circumference of planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) in the second coplanar lines to the nearest via circumference,  $L3$  (FIG. 2B) is the shortest distance from the circumference of conductive via 41b (FIGs. 2A–2C, 2F, 2H and Fig. 3(a)) to the outer circumference of planar ground pattern 32 (FIGs. 2B, 2E, and 2H and Fig. 3(b)) on the second signal line 11 (FIGs. 2B, 2F, and 2G) side,  $L5$  (FIG. 2E) is the thickness of dielectric layer 20a (FIGs. 2A, 2D–2G) between the wiring layers,  $\epsilon_2$  is the effective relative dielectric constant of the second coplanar lines, and  $\lambda_0$  is the wavelength of the transmission signal in a vacuum, via distance  $dx$  is set such that the following formula is satisfied:

Please replace paragraph [0039] with the following amended paragraph, marked to show changes:

[0039]

[Formula 2]

$$\left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon_2}} \right) \times (R + 1.5) < \frac{\pi}{2}, \text{ or, } R + 1.5 < \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} \quad \cdot \cdot \cdot (2)$$

Based on FIG. 4(b) ~~FIG. 4~~ in the present embodiment, the longest minimum distance R when the diameter of conductive via 41 is  $\phi$  is represented by:

Please replace paragraph [0040] with the following amended paragraph, marked to show changes:

[0040]

[Formula 3]

$$R = \sqrt{(L3 + \phi/2)^2 + (dx/2)^2} - \phi/2 \quad \cdot \cdot \cdot (3)$$

where  $R + \phi/2$  (FIG. 4(b)) is the longest minimum distance R plus the radius of conductive via 41.

**Please replace paragraph [0044] with the following amended paragraph, marked to show changes:**

[0044]

More specifically, as shown in FIG. 2A ~~FIGs. 2A, 2B, and 2E~~, L1 (FIG. 2A) is the minimum distance from the circumference of, from among the plurality of conductive vias 41 (FIGs. 2A–2D and 2H) provided in the first coplanar lines, conductive via 41 (FIGs. 2A–2D and 2H) a that interconnects the grounds of the first coplanar lines and second coplanar lines to the outer circumference of planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) on the first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) side (i.e., the minimum distance from the circumference of conductive via 41a (FIGs. 2A–2C, 2E, and 2H) to the outer circumference of planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) that is located on the side of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G)).

**Please replace paragraph [0045] with the following amended paragraph, marked to show changes:**

[0045]

L2 (FIG. 2A) is the minimum distance from the circumference of the above-described conductive via 41a (FIGs. 2A–2C, 2E, and 2H) to the outer circumference of planar ground pattern 32 (FIGs. 2B, 2E, and 2H) on the second signal line 11 (FIGs. 2B, 2F, and 2G) side.

**Please replace paragraph [0046] with the following amended paragraph, marked to show changes:**

[0046]

L3 (FIG. 2B) is the minimum distance from the circumference of, from among the plurality of conductive vias 41 (FIGs. 2A–2D and 2H) that are provided in the second coplanar lines and excluding conductive vias 41a that interconnect the grounds of the first coplanar lines and the second coplanar lines, conductive via 41b that is closest to conductive via 40 to the outer circumference of planar ground pattern 32 on the second signal line 11 side.

**Please replace paragraph [0047] with the following amended paragraph, marked to show changes:**

[0047]

L4 (FIG. 2A) is the minimum distance from the circumference of the above-described conductive via 41b (FIGs. 2A–2C, 2F, 2H) to the outer circumference of first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the first coplanar lines.

**Please replace paragraph [0048] with the following amended paragraph, marked to show changes:**

[0048]

L5 (FIG. 2E) is the dielectric layer thickness between first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) and planar ground pattern 32 (FIGs. 2B, 2E, and 2H).

**Please replace paragraph [0049] with the following amended paragraph, marked to show changes:**

[0049]

L6 (in FIG. 2A) is the minimum distance from the circumference of conductive via 40 (FIGs. 2A, 2B, 2E, and 2G) that interconnects signal lines 10 (FIGs. 2A, 2D, 2E, and 2G) and 11 (FIGs. 2B, 2F, and 2G) to the outer circumference of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G).

**Please replace paragraph [0050] with the following amended paragraph, marked to show changes:**

[0050]

L7 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 40 (FIGs. 2A, 2B, 2E, and 2G) to the outer circumference of second signal line 11 (FIGs. 2B, 2F, and 2G).

**Please replace paragraph [0051] with the following amended paragraph, marked to show changes:**

[0051]

L10 (FIG. 2A) is the minimum distance from the circumference of conductive via 41a (FIGs. 2A–2C, 2E, and 2H) to the outer circumference of planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) on the first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) side.

**Please replace paragraph [0052] with the following amended paragraph, marked to show changes:**

[0052]

When dimensions are set as described above, the range, in which the phase of each of the high-frequency currents that passes by the two current paths C (FIG. 3A) and D (FIG. 3A) shown in FIG. 3, does not invert at a particular signal wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band), can be prescribed by:

**Please replace paragraph [0054] with the following amended paragraph, marked to show changes:**

[0054]

[Formula 5A ~~Formula 6~~]

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \frac{\lambda_0}{2} \quad \dots (5A)$$

Here,  $\epsilon_1$  represents the effective relative dielectric constant of the first coplanar lines,  $\epsilon_2$  represents the effective relative dielectric constant of the second coplanar lines, and  $\phi$  represents the diameter of conductive vias 41 (FIGs. 2A–2D and 2H).

**Please replace paragraph [0055] with the following amended paragraph, marked to show changes:**

[0055]

As a result, in the present embodiment, planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H and FIG. 3(a)) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H and FIG. 3(a)) of the second coplanar lines that are provided on the same layer are preferably separated such that this formula (5) is satisfied.

**Please replace paragraph [0057] with the following amended paragraph, marked to show changes:**

[0057]

The following numerical conditions were adopted when inspecting the reflection characteristics. A three-layer wiring board composed of LTCC (low-temperature co-fired ceramic) board having a dielectric constant of 7.1 was used for dielectric wiring board 20 (FIGs. 2D–2F).

First and second dielectric layers 20a (FIGs. 2A, 2D–2G) and 20b (FIGs. 2B, 2D–2G) of this dielectric wiring board 20 (FIGs. 2D–2F) are of the same material, the dielectric layer thickness L5 (FIG. 2E) of each being 250  $\mu\text{m}$  and the conductive thickness being 15  $\mu\text{m}$ . In addition, the signal width of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) was 150  $\mu\text{m}$ , the gap spacing between first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) and planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) was 66  $\mu\text{m}$ , the signal line width of second signal line 11 (FIGs. 2B, 2F, and 2G) was 100  $\mu\text{m}$ , the gap spacing between second signal line 11 (FIGs. 2B, 2F, and 2G) and planar ground pattern 32 (FIGs. 2B, 2E, and 2H) was 120  $\mu\text{m}$ , the diameter of conductive via 40 (FIGs. 2A, 2B, 2E, and 2G) was 100  $\mu\text{m}$ , the diameter  $\phi$  of conductive vias 41 (FIGs. 2A–2D and 2H) was 150  $\mu\text{m}$ , and the all via spacing along the direction of signal transmission of the plurality of conductive vias 41 (FIGs. 2A–2D and 2H) was 500  $\mu\text{m}$ . In addition, the minimum distance L1 (FIG. 2A) from the circumference of conductive via 41a (FIGs. 2A–2C, 2E, and 2H) to the outer circumference of planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) on the first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) side was 135  $\mu\text{m}$ . The minimum distance L2 (FIG. 2B) from the circumference of conductive via 41a (FIGs. 2A–2C, 2E, and 2H) to the outer circumference of planar ground pattern 32 (FIGs. 2B, 2E, and 2H) on the second signal line 11 (FIGs. 2B, 2F, and 2G) side was 106  $\mu\text{m}$ . The minimum distance L3 (FIG. 2B) from the circumference of conductive via 41b (FIGs. 2A–2C, 2F, 2H) to the outer circumference of planar ground pattern 32 (FIGs. 2B, 2E, and 2H) on the second signal line 11 (FIGs. 2B, 2F, and 2G) side was 106  $\mu\text{m}$ .

**Please replace paragraph [0058] with the following amended paragraph, marked to show changes:**

[0058]

Relating to the configuration realized by these numerical conditions, a case is considered in which planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) of the second coplanar lines that is provided on the same layer as planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a (FIGs. 2A–2C, 2E, and 2H) and conductive vias 41b (FIGs. 2A–2C, 2F, 2H).

**Please replace paragraph [0059] with the following amended paragraph, marked to show changes:**

[0059]

In this case, minimum distance L4 (FIG. 2A) from the circumference of conductive via 41b (FIGs. 2A–2C, 2F, 2H) to the outer circumference of first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 (FIG. 2A) from the circumference of conductive via 40 (FIGs. 2A, 2B, 2E, and 2G) to the outer circumference of first signal line 10 (FIGs. 2A, 2D, 2E, and 2G) is 25  $\mu\text{m}$ , minimum distance L7 (FIG. 2B) from the circumference of conductive via 40 (FIGs. 2A, 2B, 2E, and 2G) to the outer circumference of second signal line 11 (FIGs. 2B, 2F, and 2G) is 0  $\mu\text{m}$ , and minimum distance L10 (FIGs. 2A, 2D,

2E, and 2G) from the circumference of conductive via 41a (FIGs. 2A–2C, 2E, and 2H) to planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) on the first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) side is 25  $\mu\text{m}$ . In addition, the effective relative dielectric constant  $\epsilon_1$  of the first coplanar lines is 3.723, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1.

**Please replace paragraph [0061] with the following amended paragraph, marked to show changes:**

[0061]

As a result, first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H) and planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H) on the first wiring layer are separated such that  $2645\ \mu\text{m} < \lambda_0/2$  is satisfied in the present embodiment.

**Please replace paragraph [0065] with the following amended paragraph, marked to show changes:**

[0065]

In addition, a comparative example in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated and the present embodiment in which these ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H) and 30b (FIGs. 2A, 2F, 2G and 2H) are separated by a 300  $\mu\text{m}$  slit-shaped separation width midway between conductive vias 41a (FIGs. 2A–2C, 2E, and 2H) and 41b (FIGs. 2A–2C, 2F, 2H) were constructed by the

above-described numerical conditions and a comparison of input reflection characteristics was then carried out. FIG. 5 shows the results of the electromagnetic field analysis. FIG. 5 plots the S parameter  $|S_{11}|$ , measured in decibels (dB), which represents the degree of reflection of the signal, against frequency of the signal, measured in gigahertz (GHz). FIG. 5 shows the plot for the Comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated) and the plot for the First Embodiment of Present Invention (with the ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H) and 30b (FIGs. 2A, 2F, 2G and 2H) separated by a 300  $\mu\text{m}$  slit-shaped separation width midway between conductive vias 41a (FIGs. 2A–2C, 2E, and 2H) and 41b (FIGs. 2A–2C, 2F, 2H)). As can be seen from the figure, an improvement of reflection characteristics was obtained by means of the present embodiment over a broad band from a low frequency to the vicinity of 60 GHz.

**Please replace paragraph [0066] with the following amended paragraph, marked to show changes:**

[0066]

When the values  $\phi = 150 \mu\text{m}$ ,  $L3 = 106 \mu\text{m}$ ,  $L5 = 250 \mu\text{m}$ ,  $\epsilon_2 = 7.1$ , and  $\lambda_0 = 5450 \mu\text{m}$  are substituted in the above-described formula (4), the spacing  $dx$  of the plurality of conductive vias 41 (FIGs. 2A–2D and 2H) that are formed on the second coplanar lines must satisfy the range  $dx < 568 \mu\text{m}$ . However,  $dx = 500 \mu\text{m}$  in the analysis of the embodiment because  $500 \mu\text{m}$  is a reasonable design value for the via spacing  $dx$  along the direction of signal transmission of the plurality of conductive vias 41 (FIGs. 2A–2D and 2H).

**Please replace paragraph [0067] with the following amended paragraph, marked to show changes:**

[0067]

FIG. 6 further shows the results of electromagnetic field analysis when the above-described separation width (between the ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H) and 30b (FIGs. 2A, 2F, 2G and 2H)) is varied. In particular, FIG. 6 plots the S parameter  $|S_{11}|$ , measured in decibels (dB), which represents the degree of reflection of the signal, against frequency of the signal, measured in gigahertz (GHz). FIG. 6 shows the plot for the Comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated), the plot for the First Embodiment of Present Invention (with the ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H) and 30b (FIGs. 2A, 2F, 2G and 2H) separated by a 300  $\mu\text{m}$  slit-shaped separation width, and the plot for the First Embodiment of Present Invention (with the ground patterns 30a (FIGs. 2A, 2D, 2E, and 2H) and 30b (FIGs. 2A, 2F, 2G and 2H) separated by a 100  $\mu\text{m}$  slit-shaped separation width). As can be seen from this figure, as the separation width increases, improvement of the reflection characteristics is exhibited over a broader band. In other words, the S parameter  $|S_{11}|$  (dB), that represents the degree of reflection, is reduced to a lower degree from a low-frequency region to the vicinity of 55 GHz in a case (First Embodiment of Present Invention) in which the slit width is 100  $\mu\text{m}$  than in the comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated), and is reduced to a lower degree from a low-frequency region to the vicinity of 60 GHz in a case (First Embodiment of Present Invention) in which the slit width is

300  $\mu$ m than in the comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated).

**Please replace paragraph [0070] with the following amended paragraph, marked to show changes:**

[0070]

The high-frequency wiring board of the present embodiment is made up of dielectric wiring board 20 realized by stacking two dielectric layers 20a (FIGs. 7A, 7D-7G, and 7H) and 20b (FIGs. 7B and 7D-7H). First coplanar lines are formed on the upper surface of first dielectric layer 20a (FIGs. 7A, 7D-7G, and 7H), which is the obverse side of dielectric wiring board 20 (FIGs. 7D-7F) (first wiring layer) (FIG. 7A). These first coplanar lines are made up from first signal line 10 and planar ground pattern 30a formed on both sides of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and on the same layer as first signal line 10 (FIGs. 7A, 7D, 7E, 7G). In addition, second coplanar lines are formed on the upper surface of second dielectric layer 20b (FIGs. 7B and 7D-7H), which is an internal layer (second wiring layer) (FIG. 7B) of dielectric wiring board 20 (FIGs. 7D-7F) (~~FIG. 7B~~). The second coplanar lines are made up from second signal line 11 (FIGs. 7B, 7E-7G) and planar ground pattern 32 (FIGs. 7B, 7E, and 7H) that is formed on both sides of second signal line 11 (FIGs. 7B, 7E-7G) and on the same layer as second signal line 11 (FIGs. 7B, 7E-7G). In addition, planar ground patterns 30a (FIGs. 7A, 7D, 7E, and 7H) and 32 (FIGs. 7B, 7E, and 7H) of the first and second coplanar lines may also be formed on only one of the two positions that sandwich each of the signal lines.

**Please replace paragraph [0071] with the following amended paragraph, marked to show changes:**

[0071]

First signal line 10 (FIGs. 7A, 7D, 7E, 7G) of the first coplanar lines and second signal line 11 (FIGs. 7B, 7E-7G) of the second coplanar lines that is on a different wiring layer than first signal line 10 (FIGs. 7A, 7D, 7E, 7G) are connected by conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) at the line end of each signal line.

**Please replace paragraph [0072] with the following amended paragraph, marked to show changes:**

[0072]

Planar first ground pattern 30b (FIGs. 7A, 7D, and 7E) and a planar second ground pattern 31 (FIGs. 7C-7H) are respectively formed on the first wiring layer and third wiring layer (the reverse surface of dielectric wiring board 20 (FIGs. 7D-7F)) such that the layer on which second signal line 11 (FIGs. 7B, 7E-7G) is formed is interposed from above and below. This second ground pattern 31 (FIGs. 7C-7H) also extends into areas that confront the first coplanar lines and thus doubles as a lower-layer ground of the first coplanar lines.

**Please replace paragraph [0073] with the following amended paragraph, marked to show changes:**

[0073]

On the other hand, first ground pattern 30b (FIGs. 7A, 7D, and 7E) does not double as the ground pattern of the first coplanar lines as in the background art and is separated from ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H). More specifically, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the upper layer of the second coplanar lines are separated by way of a predetermined width (dielectric width) in the direction of the extension of the second coplanar lines from the vicinity of the connection of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and conductive via 40 (FIGs. 7A, 7B, 7E, and 7G).

**Please replace paragraph [0074] with the following amended paragraph, marked to show changes:**

[0074]

In addition, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and second ground pattern 31 (FIGs. 7C–7H) that doubles as the lower-layer ground of the first coplanar lines are interconnected by a plurality of conductive vias 41 (FIGs. 7A and 7B) arranged at a predetermined spacing along the direction of signal transmission of the first coplanar lines. Of the plurality of conductive vias 41 (FIGs. 7A and 7B), conductive vias 41a (FIGs. 7A–C, 7E, and 7H) in the vicinities of the connection of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and second signal

line 11 (FIGs. 7B, 7E–7G) also interconnect planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines.

**Please replace paragraph [0075] with the following amended paragraph, marked to show changes:**

[0075]

In addition, first ground pattern 30b (FIGs. 7A, 7D, and 7E) that is on the upper layer of second coplanar lines and planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and second ground pattern 31 (FIGs. 7C–7H) are interconnected by the plurality of conductive vias 41 (FIGs. 7A and 7B) (41b) (FIGs. 7A–C, 7E, 7H) that are arranged at a predetermined spacing along the direction of signal transmission of the second coplanar lines.

**Please replace paragraph [0076] with the following amended paragraph, marked to show changes:**

[0076]

The configuration described above is the same as the first embodiment, but the present embodiment adds the following modifications to the first embodiment. Specifically, ground pattern 50 (FIGs. 7B, 7D, and 7H) is provided in the area that confronts the first coplanar lines that are provided with planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) and first signal line 10 (FIGs. 7A, 7D, 7E, 7G), and moreover, that is provided on the same layer as planar ground pattern 32 (FIGs. 7B, 7E,

and 7H) of the second coplanar lines. This ground pattern 50 (FIGs. 7B, 7D, and 7H) is electrically connected to both planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and second ground pattern 31 (FIGs. 7C-7H) by a plurality of conductive vias 41 (FIGs. 7A and 7B) that are arranged at a predetermined spacing along the direction of signal transmission.

**Please replace paragraph [0077] with the following amended paragraph, marked to show changes:**

[0077]

This ground pattern 50 (FIGs. 7B, 7D, and 7H) is separated from ground pattern 32 (FIGs. 7B, 7E, and 7H) without doubling as a planar ground pattern of the second coplanar lines as in the background art. More specifically, planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines are separated by a predetermined width (dielectric width) in the direction of the extension of the first coplanar lines from the vicinity of the connection of second signal line 11 (FIGs. 7B, 7E-7G) and conductive via 40 (FIGs. 7A, 7B, 7E, and 7G).

**Please replace paragraph [0078] with the following amended paragraph, marked to show changes:**

[0078]

In the high-frequency transmission lines of this type of high-frequency wiring board, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and first ground pattern 30b of the

upper layer of the second coplanar lines are separated in the direction of the extension of the second coplanar lines from the vicinity of the connection of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and conductive via 40 (FIGs. 7A, 7B, 7E, and 7G). As a result, during transmission of a signal from the first coplanar lines to the second coplanar lines, the high frequency paths of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the upper layer of the second coplanar lines are restricted to one path~~current path that is propagated in first ground pattern 30b of the upper layer of the second coplanar lines is limited to one~~. In other words, the high-frequency current path that is propagated in ground pattern 30b (FIGs. 7A, 7D, and 7E) at the time of signal transmission to the second coplanar lines is only the path from planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines that passes successively by way of conductive via 41a (FIGs. 7A-C, 7E, and 7H), planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines, and by way of the next conductive via 41b (FIGs. 7A-C, 7F, 7H) along the direction of signal transmission toward first ground pattern 30b (FIGs. 7A, 7D, and 7E). In this way, phase 5 interference of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 7A, 7D, and 7E) does not occur. As a result, reflection characteristics that progressively deteriorate from low frequencies to high frequencies can be improved.

**Please replace paragraph [0079] with the following amended paragraph, marked to show changes:**

[0079]

In the present embodiment, moreover, planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines are separated by way of a predetermined width (dielectric width) in the direction of the extension of the first coplanar lines from the vicinity of the connection of second signal line 11 (FIGs. 7B, 7E-7G) and conductive via 40 (FIGs. 7A, 7B, 7E, and 7G). As a result, even should a signal be transmitted from the second coplanar lines to the first coplanar lines, the high-frequency paths of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the upper layer of the second coplanar lines are restricted to one path~~current path that is propagated in ground pattern 50 of the lower layer of the first coplanar lines is limited to one~~. In other words, the only high-frequency current path that is propagated in ground pattern 50 (FIGs. 7B, 7D, and 7H) during transmission of a signal to the first coplanar lines is the path toward ground pattern 50 (FIGs. 7B, 7D, and 7H) that passes successively from planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines to conductive via 41a (FIGs. 7A-C, 7E, and 7H), to planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines, and to the next conductive via 41c (FIGs. 7A-D and 7H) along the direction of signal transmission. In this way, phase interference of the high-frequency current that is propagated in ground pattern 50 (FIGs. 7B, 7D, and 7H) does not occur. As a result, reflection characteristics that progressively deteriorate from low frequencies to high frequencies can be improved.

**Please replace paragraph [0081] with the following amended paragraph, marked to show changes:**

[0081]

This type of effect is obtained if planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the upper layer of the second coplanar lines are separated and if planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines are separated, and these separation portions may take any form. The confronting sides that form the separation portions between planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) and first ground pattern 30b (FIGs. 7A, 7D, and 7E) and between planar ground pattern 32 (FIGs. 7B, 7E, and 7H) and ground pattern 50 (FIGs. 7B, 7D, and 7H) need not be formed at a fixed spacing or in parallel as shown in the FIGs. 7A and 7B figures.

**Please replace paragraph [0082] with the following amended paragraph, marked to show changes:**

[0082]

Additional conditions for further improving the reflection characteristics are next described. However, the following explanation presupposes a configuration in which planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) and first ground pattern 30b (FIGs. 7A, 7D, and 7E) as well as planar

ground pattern 32 (FIGs. 7B, 7E, and 7H) and ground pattern 50 (FIGs. 7B, 7D, and 7H) are separated by the width of a fixed spacing.

**Please replace paragraph [0083] with the following amended paragraph, marked to show changes:**

[0083]

As additional conditions for improving reflection characteristics in the present embodiment, a first separation width between planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) and first ground pattern 30b (FIGs. 7A, 7D, and 7E) as well as a second separation width between planar ground pattern 32 (FIGs. 7B, 7E, and 7H) and ground pattern 50 (FIGs. 7B, 7D, and 7H) are prescribed as described below.

**Please replace paragraph [0084] with the following amended paragraph, marked to show changes:**

[0084]

The upper limit of the above-described first separation width is prescribed by the spacing of conductive vias 41 (FIGs. 7A and 7B) formed on the second coplanar lines (space of the arrangement of conductive vias 41a (FIGs. 7A–C, 7E, and 7H) and 41b (FIGs. 7A–C, 7F, 7H)), and the reason for this limit and a method for calculating the via spacing are as described in the first embodiment.

**Please replace paragraph [0085] with the following amended paragraph, marked to show changes:**

[0085]

Regarding the above-described second separation width, the same thinking as in the method of prescribing the first separation width is adopted, the second separation width being prescribed by the spacing of conductive vias 41 (FIGs. 7A and 7B) formed on first coplanar lines (space of the arrangement of conductive vias 41a (FIGs. 7A-C, 7E, and 7H) and 41c (FIGs. 7A-D and 7H)). In other words, the second separation width is prescribed to be greater than 0, and moreover, to be no greater than the spacing from conductive via 41a (FIGs. 7A-C, 7E, and 7H) in the vicinity of connection end of second signal line 11 (FIGs. 7B, 7E-7G) to the next conductive via 41c (FIGs. 7A-D and 7H) in the direction of signal transmission. In addition, space of the arrangement of, for example, conductive vias 41a (FIGs. 7A-C, 7E, and 7H) and 41c (FIGs. 7A-D and 7H) that are formed in the first coplanar lines is a value determined for realizing the desired frequency band in the first coplanar lines. Although this value is not explained in detail, the value can be found using the same calculation method and concepts as explained in the first embodiment.

**Please replace paragraph [0087] with the following amended paragraph, marked to show changes:**

[0087]

First, L1 (FIG. 7A) is the minimum distance from, among the plurality of conductive vias 41 (FIGs. 7A and 7B) provided in the coplanar lines as shown in FIG. 7A-FIGs. 7A, 7B, and 7E, the circumference of conductive via 41a (FIGs. 7A-C, 7E, and 7H) that interconnects the grounds of the first coplanar lines and the second coplanar lines to the outer circumference of planar ground pattern ~~30~~ 30a (FIGs. 7A, 7D, 7E, and 7H) on the first signal line 10 (FIGs. 7A, 7D, 7E, 7G) side.

**Please replace paragraph [0088] with the following amended paragraph, marked to show changes:**

[0088]

L2 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 41a (FIGs. 7A-C, 7E, and 7H) to the outer circumference of planar ground pattern 32 (FIGs. 7B, 7E, and 7H) on the second signal line 11 (FIGs. 7B, 7E-7G) side.

**Please replace paragraph [0089] with the following amended paragraph, marked to show changes:**

[0089]

L5 (FIG. 7E) is the dielectric layer thickness between first ground pattern 30b (FIGs. 7A, 7D, and 7E) and planar ground pattern 32 (FIGs. 7B, 7E, and 7H).

**Please replace paragraph [0090] with the following amended paragraph, marked to show changes:**

[0090]

L6 (FIG. 7A) is the minimum distance from the circumference of conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) that interconnects signal line 10 (FIGs. 7A, 7D, 7E, 7G) and 11 (FIGs. 7B, 7E-7G) to the outer circumference of first signal line 10 (FIGs. 7A, 7D, 7E, 7G).

**Please replace paragraph [0091] with the following amended paragraph, marked to show changes:**

[0091]

L7 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) to the outer circumference of second signal line 11 (FIGs. 7B, 7E-7G).

**Please replace paragraph [0092] with the following amended paragraph, marked to show changes:**

[0092]

L8 (FIG. 7A) is the minimum distance from, among the plurality of conductive vias 41 (FIGs. 7A and 7B) provided in the first coplanar lines, excluding conductive vias 41a (FIGs. 7A-C, 7E, and 7H) that interconnect the grounds of first coplanar lines and second coplanar lines, the circumference of conductive via 41c (FIGs. 7A-D and 7H) that is closest to conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first signal line 10 (FIGs. 7A, 7D, 7E, 7G) side.

**Please replace paragraph [0093] with the following amended paragraph, marked to show changes:**

[0093]

L9 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 41c (FIGs. 7A-D and 7H) to the outer circumference of ground pattern 50 (FIGs. 7B, 7D, and 7H) on the second coplanar line side.

**Please replace paragraph [0094] with the following amended paragraph, marked to show changes:**

[0094]

L10 (FIG. 7A) is the minimum distance from the circumference of the above-described conductive via 41a (FIGs. 7A–C, 7E, and 7H) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first ground pattern 30b (FIGs. 7A, 7D, and 7E) side.

**Please replace paragraph [0095] with the following amended paragraph, marked to show changes:**

[0095]

L11 (FIG. 7B) is the minimum distance from the circumference of the above-described conductive via 41a (FIGs. 7A–C, 7E, and 7H) to the outer circumference of planar ground pattern 32 (FIGs. 7B, 7E, and 7H) on the ground pattern 50 (FIGs. 7B, 7D, and 7H) side.

**Please replace paragraph [0096] with the following amended paragraph, marked to show changes:**

[0096]

Finally,  $dx_2$  is the spacing of conductive vias 41a (FIGs. 7A–C, 7E, and 7H) and 41c (FIGs. 7A–D and 7H).

**Please replace paragraph [0097] with the following amended paragraph, marked to show changes:**

[0097]

When the above-described dimensions are set, the range in which inversion does not occur in the phases of each of the high-frequency currents that pass by the high-frequency current path on the signal line side that is propagated through signal lines 10 and 11 (FIGs. 7B, 7E–7G) and the high-frequency current path on the ground pattern side that is propagated from planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and through ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines by way of conductive via 41a (FIGs. 7A–C, 7E, and 7H) at a particular signal wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band) can be prescribed by the formula:

**Please replace paragraph [0100] with the following amended paragraph, marked to show changes:**

[0100]

As a result, in the present embodiment, planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines are preferably separated such that this formula (7) is satisfied.

**Please replace paragraph [0102] with the following amended paragraph, marked to show changes:**

[0102]

In the inspection of the reflection characteristics, the same numerical conditions were adopted as in the first embodiment, with the exception of the following points of change. Specifically, because ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines is provided in the present embodiment, the gap spacing of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) and planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) was changed to 78  $\mu\text{m}$ . In addition, minimum distance L8 from the circumference of conductive via 41c (FIGs. 7A-D and 7H) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first signal line 10 (FIGs. 7A, 7D, 7E, 7G) side is the same as distance L1 (FIGs. 7A) at 135  $\mu\text{m}$ .

**Please replace paragraph [0103] with the following amended paragraph, marked to show changes:**

[0103]

In addition to the configuration realized by these numerical conditions, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) of the first coplanar lines and first ground pattern 30b (FIGs. 7A, 7D, and 7E) of the second coplanar lines that are provided on the same layer as planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a (FIGs. 7A-C, 7E, and 7H) and conductive vias 41b (FIGs. 7A-C, 7E,

7H). Further, planar ground pattern 32 (FIGs. 7B, 7E, and 7H) of the second coplanar lines and ground pattern 50 (FIGs. 7B, 7D, and 7H) of the lower layer of the first coplanar lines are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a (FIGs. 7A–C, 7E, and 7H) and conductive vias 41c (FIGs. 7A–D and 7H).

**Please replace paragraph [0104] with the following amended paragraph, marked to show changes:**

[0104]

In this case, minimum distance L4 from the circumference of conductive via 41b (FIGs. 7A–C, 7E, 7H) to the outer circumference of first ground pattern 30b (FIGs. 7A, 7D, and 7E) on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 (FIG. 7A) from the circumference of conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) to the outer circumference of first signal line 10 (FIGs. 7A, 7D, 7E, 7G) is 25  $\mu\text{m}$ , and minimum distance L7 (FIG. 7B) from the circumference of conductive via 40 (FIGs. 7A, 7B, 7E, and 7G) to the outer circumference of second signal line 11 (FIGs. 7B, 7E–7G) is 0  $\mu\text{m}$ . Further, minimum distance L9 (FIG. 7B) from the circumference of conductive via 41c (FIGs. 7A–D and 7H) to the outer circumference of ground pattern 50 (FIGs. 7B, 7D, and 7H) on the second coplanar line side is 25  $\mu\text{m}$ . Minimum distance L10 (FIG. 7A) from the circumference of conductive via 41a (FIGs. 7A–C, 7E, and 7H) to the outer circumference of planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) on the first ground pattern 30b (FIGs. 7A, 7D, and 7E) side is 25  $\mu\text{m}$ . Minimum distance L11 (FIG. 7B) from the circumference of conductive via 41a (FIGs. 7A–C, 7E, and 7H) to the outer circumference of planar ground pattern 32 (FIGs. 7B, 7E, and 7H) on the

ground pattern 50 (FIGs. 7B, 7D, and 7H) side is 25  $\mu\text{m}$ . Finally, the effective relative dielectric constant  $\epsilon_1$ , of the first coplanar lines is 3.892, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1.

**Please replace paragraph [0106] with the following amended paragraph, marked to show changes:**

[0106]

As a result, in the present embodiment, planar ground pattern 30a (FIGs. 7A, 7D, 7E, and 7H) and first ground pattern 30b (FIGs. 7A, 7D, and 7E) that are on the first wiring layer are separated such that  $2658 \mu\text{m} < \lambda_0/2$  is satisfied. Considering a case in which the left side and right side are equal in the relational expression  $2658 \mu\text{m} < \lambda_0/2$ , (when  $\lambda_0 = 2 \times 2658 \times 10^{-6}$ ,  $f = 56 \times 10^9 \text{ Hz} = 56 \text{ GHz}$  is calculated by means of Formula (6) that was explained in the first embodiment. In other words, when the above-described first separation width is 300  $\mu\text{m}$ , the frequency range that satisfies  $2658 \mu\text{m} < \lambda_0/2$  is less than 56 GHz, and a first separation width is set that enables an improvement of reflection characteristics up to the level of 56 GHz.

**Please replace paragraph [0108] with the following amended paragraph, marked to show changes:**

[0108]

Thus, in the present embodiment, planar ground pattern 32 (FIGs. 7B, 7E, and 7H) and ground pattern 50 (FIGs. 7B, 7D, and 7H) that are on the second wiring layer are separated such that 2453

$\mu\text{m} < \lambda_0/2$  is satisfied. Considering a case in which the left side and right side are equal in the relational expression  $2453 \mu\text{m} < \lambda_0/2$ , if  $\lambda_0 = 2 \times 2453 \times 10^{-6}$ ,  $f = 61 \times 10^9 \text{ Hz} = 61 \text{ GHz}$  is calculated from the above-described formula (6). In other words, when the above described second separation width is  $300 \mu\text{m}$ , the frequency range that satisfies  $2453 \mu\text{m} < \lambda_0/2$  is less than 61 GHz, and a second separation width is set that enables an improvement of the reflection characteristics up to the level of 61 GHz.

**Please replace paragraph [0109] with the following amended paragraph, marked to show changes:**

[0109]

In addition, a comparative example that was described in the above-described first embodiment in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are not separated and that was described the present embodiment were constructed by the above-described numerical conditions and a comparison of reflection characteristics carried out. In the present embodiment that was compared, ground patterns 30a (FIGs. 7A, 7D, 7E, and 7H) and 30b (FIGs. 7A, 7D, and 7E) as well as ground patterns 32 (FIGs. 7B, 7E, and 7H) and 50 (FIGs. 7B, 7D, and 7H) are separated by slit-shaped separation widths of  $300 \mu\text{m}$  as described above.

**Please replace paragraph [0110] with the following amended paragraph, marked to show changes:**

[0110]

FIG. 8 shows the results of electromagnetic field analysis of these examples. In particular, FIG. 8 plots the S parameter  $|S_{11}|$ , measured in decibels (dB), which represents the degree of reflection of the signal, against frequency of the signal, measured in gigahertz (GHz). FIG. 8 shows the plot for the Comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated), the plot for the Second Embodiment of Present Invention (with the ground patterns 30a (FIGs. 7A, 7D, 7E, and 7H) and 30b (FIGs. 7A, 7D, and 7E) separated by a 300  $\mu\text{m}$  slit-shaped separation width, and the plot for the Second Embodiment of Present Invention (with the ground patterns 30a (FIGs. 7A, 7D, 7E, and 7H) and 30b (FIGs. 7A, 7D, and 7E) separated by a 100  $\mu\text{m}$  slit-shaped separation width). As can be understood from this figure, an improvement in reflection characteristics is obtained by means of the present embodiment over a broad band from a low-frequency region to close to 60 GHz. The greater the separation width, the broader the band over which an improvement of reflection characteristics is exhibited. Essentially, the S parameter  $|S_{11}|$  (dB), that represents the degree of reflection in FIG. 8, is reduced to a lower degree from a low-frequency region to close to 53 GHz in the case (Second Embodiment of Present Invention) of a slit width of 100  $\mu\text{m}$  than in the comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated), and is reduced to a lower degree from a low-frequency region to close to 60 GHz in the case (Second Embodiment of Present Invention) of

a slit width of 300  $\mu\text{m}$  than the comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated).

**Please replace paragraph [0112] with the following amended paragraph, marked to show changes:**

[0112]

The high-frequency wiring board of the present embodiment is made up from dielectric wiring board 20 realized by stacking two dielectric layers 20a (FIGs. 9A, 9D-7H) and 20b (FIGs. 9B and 9D-7H). First coplanar lines are formed on the upper surface of first dielectric layer 20a (FIGs. 9A, 9D-7H) that is the obverse surface (first wiring layer) (FIG. 9A) of dielectric wiring board 20 (FIGs. 9D-9F) (~~FIG. 9A~~). These first coplanar lines are made up from first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) that is formed on the same layer as first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and that encloses first signal line 10 (FIGs. 9A, 9D, 9E, 9G) on two sides. Second coplanar lines are formed on the upper surface of second dielectric layer 20b (FIGs. 9B and 9D-7H) that is an internal layer (second wiring layer) (FIG. 9B) of dielectric wiring board 20 (FIGs. 9D-9F) (~~FIG. 9B~~). The second coplanar lines are made up from second signal line 11 (FIGs. 9B, 9E-9G) and planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) that is formed on the same layer as second signal line 11 (FIGs. 9B, 9E-9G) and that encloses second signal line 11 (FIGs. 9B, 9E-9G) on two sides. Planar ground patterns 30a (FIGs. 9A, 9D, 9E, and 9H) and 32 (FIGs. 9B, 9D, 9E, and 9H) of the first and second coplanar lines may also be formed on only one of the two positions that enclose the signal lines.

**Please replace paragraph [0113] with the following amended paragraph, marked to show changes:**

[0113]

First signal line 10 (FIGs. 9A, 9D, 9E, 9G) of the first coplanar lines and second signal line 11 (FIGs. 9B, 9E-9G) of the second coplanar lines that is on a different wiring layer than first signal line 10 (FIGs. 9A, 9D, 9E, 9G) are connected by conductive via 40 (FIGs. 9A, 9B, 9E, and 9G) at the line end of each signal line.

**Please replace paragraph [0114] with the following amended paragraph, marked to show changes:**

[0114]

Planar first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) and planar second ground pattern 31 (FIGs. 9C-9H) are formed on first wiring layer and third wiring layer (the reverse surface of dielectric wiring board 20 (FIGs. 9D-9F)) such that the layer on which second signal line 11 (FIGs. 9B, 9E-9G) is formed is interposed from above and below. This second ground pattern 31 (FIGs. 9C-9H) extends into an area that confronts the first coplanar lines and doubles as a lower-layer ground of the first coplanar lines.

**Please replace paragraph [0115] with the following amended paragraph, marked to show changes:**

[0115]

On the other hand, first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) is cut off from ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) without doubling as a ground pattern of the first coplanar lines as in the background art. More specifically, planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) of the upper layer of the second coplanar lines are separated by way of a predetermined width (dielectric width) in the direction of the extension of the second coplanar lines from the vicinity of the connection between first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and conductive via 40 (FIGs. 9A, 9B, 9E, and 9G).

**Please replace paragraph [0116] with the following amended paragraph, marked to show changes:**

[0116]

Further, planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and second ground pattern 31 (FIGs. 9C–9H) that doubles as the lower layer ground of the first coplanar lines are interconnected by a plurality of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H) that are arranged at predetermined spacing along the direction of signal transmission of the first coplanar lines. However, of the plurality of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H), conductive vias 41a

(FIGs. 9A–C, 9E, and 9H) in the vicinity of the connection of first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and second signal line 11 (FIGs. 9B, 9E–9G) also interconnect between planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines.

**Please replace paragraph [0117] with the following amended paragraph, marked to show changes:**

[0117]

In addition, first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) that is on the upper layer of the second coplanar lines, planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines, and second ground pattern 31 (FIGs. 9C–9H) are further interconnected by a plurality of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H) (41b) (FIGs. 9A–C, 9F, 9H) that are arranged at a predetermined spacing along the direction of signal transmission of the second coplanar lines.

**Please replace paragraph [0118] with the following amended paragraph, marked to show changes:**

[0118]

The configuration above is the same as the first embodiment, but the following changes have been made to the first embodiment in the present embodiment. Specifically, planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines is formed over the entire region that confronts the first coplanar lines and doubles as the lower-layer ground of the first coplanar lines. In

other words, planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) is not only formed at positions on both sides that enclose second signal line 11 (FIGs. 9B, 9E-9G), but is also formed in areas that confront areas in which the first coplanar lines are formed. In addition, when compared with the second embodiment, as shown in FIG. 7B, the second embodiment has a ground pattern 50 of the lower layer of the first coplanar lines shown in FIG. 7B and a planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines of the same layer that are separated, whereas in the third embodiment, as shown in FIG. 9B, planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) is a continuous ground pattern not separated and are formed as one continuous ground pattern.

**Please replace paragraph [0119] with the following amended paragraph, marked to show changes:**

[0119]

Planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines that doubles as lower-layer ground of the first coplanar lines is electrically connected by means of a plurality of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H) that are arranged at a predetermined spacing along the direction of signal transmission to both planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) and second ground pattern 31 (FIGs. 9C-9H) of the first coplanar lines.

**Please replace paragraph [0120] with the following amended paragraph, marked to show changes:**

[0120]

During signal transmission from the first coplanar lines to the second coplanar lines in the high-frequency transmission lines of this type of high-frequency wiring board, the high-frequency paths of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) of the upper layer of the second coplanar lines are restricted to one path~~current path that is propagated in first ground pattern 30b of the upper layer of the second coplanar lines is limited to just one~~, as in the first embodiment. In this way, phase interference of the high-frequency current that is propagated in first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) does not occur, whereby an improvement can be achieved for reflection characteristics that progressively deteriorate from low frequencies to high frequencies.

**Please replace paragraph [0121] with the following amended paragraph, marked to show changes:**

[0121]

This type of effect can be obtained if planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) of the upper layer of the second coplanar lines are separated, and this separation portion may be of any form. In other words, the confronting sides that form the separation portion between planar ground pattern 30a (FIGs. 9A,

9D, 9E, and 9H) and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) need not be formed at a fixed spacing or in parallel as shown in the FIG. 9A figure.

**Please replace paragraph [0122] with the following amended paragraph, marked to show changes:**

[0122]

In addition, in a configuration in which planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) are separated at a width of fixed spacing, a further improvement of reflection characteristics is obtained by prescribing the upper limit of the separation width between planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) as the spacing of conductive vias 41 (FIGs. 7A, 9C, 9D, and 9H) (the arrangement spacing of conductive vias 41a (FIGs. 9A-C, 9E, and 9H) and 41b (FIGs. 9A-C, 9F, 9H)) formed in the second coplanar lines. The reasons for this improvement as well as the method of calculating the via spacing are as described in the first embodiment.

**Please replace paragraph [0124] with the following amended paragraph, marked to show changes:**

[0124]

Specifically, planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) of the second coplanar lines that are provided on the same layer are separated such that formula (5) explained in the first embodiment is satisfied.

**Please replace paragraph [0127] with the following amended paragraph, marked to show changes:**

[0127]

When inspecting the reflection characteristics, the same numerical conditions as the first embodiment were adopted with the exception of the following alterations. Specifically, because a ground pattern is provided on the lower layer of the first coplanar lines in the present embodiment, the gap spacing of first signal line 10 (FIGs. 9A, 9D, 9E, 9G) and planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) was changed to 78  $\mu\text{m}$ .

**Please replace paragraph [0128] with the following amended paragraph, marked to show changes:**

[0128]

In the configuration realized by these numerical conditions, planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) of the second coplanar lines that are provided on the same layer are separated by a slit-shaped width of 300  $\mu\text{m}$  midway between conductive vias 41a (FIGs. 9A-C, 9E, and 9H) and conductive vias 41b (FIGs. 9A-C, 9F, 9H).

**Please replace paragraph [0129] with the following amended paragraph, marked to show changes:**

[0129]

In this case, minimum distance L4 from the circumference of conductive via 41b (FIGs. 9A–C, 9F, 9H) to the outer circumference of first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 from the circumference of conductive via 40 (FIGs. 9A, 9B, 9E, and 9G) to the outer circumference of first signal line 10 (FIGs. 9A, 9D, 9E, 9G) is 25  $\mu\text{m}$ , minimum distance L7 from the circumference of conductive via 40 (FIGs. 9A, 9B, 9E, and 9G) to the outer circumference of second signal line 11 (FIGs. 9B, 9E–9G) is 0  $\mu\text{m}$ , and minimum distance L10 from the circumference of conductive via 41a (FIGs. 9A–C, 9E, and 9H) to the outer circumference of planar ground pattern 30 on the first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) side is 25  $\mu\text{m}$ . In addition, the effective relative dielectric constant  $\epsilon_1$  of the first coplanar lines is 3.892, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1

**Please replace paragraph [0131] with the following amended paragraph, marked to show changes:**

[0131]

As a result, in the present embodiment, planar ground pattern 30a (FIGs. 9A, 9D, 9E, and 9H) and first ground pattern 30b (FIGs. 9A, 9F, 9G, and 9H) that are on the first wiring layer are separated

such that  $2658 \mu\text{m} < \lambda_0/2$  is satisfied. In other words, when the separation width is  $300 \mu\text{m}$ , the frequency range that satisfies  $2658 \mu\text{m} < \lambda_0/2$  is less than 56 GHz based on formula (6) that was explained in the first embodiment, and a separation width is set that enables an improvement in reflection characteristics up to the level of 56 GHz.

**Please replace paragraph [0132] with the following amended paragraph, marked to show changes:**

[0132]

In addition, the present embodiment and a comparative example described in the aforementioned first embodiment in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are not separated were constructed by the above-described numerical conditions and a comparison of input reflection characteristics carried out. In the present embodiment that was compared, ground patterns 30a (FIGs. 9A, 9D, 9E, and 9H) and 30b (FIGs. 9A, 9F, 9G, and 9H) were separated by a slit-shaped separation width of  $300 \mu\text{m}$  as previously described, and moreover, planar ground pattern 32 (FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines doubled as the lower-layer ground of the first coplanar lines.

**Please replace paragraph [0133] with the following amended paragraph, marked to show changes:**

[0133]

FIG. 10 shows the results of electromagnetic field analysis. In particular, FIG. 10 plots the S parameter  $|S_{11}|$ , measured in decibels (dB), which represents the degree of reflection of the signal, against frequency of the signal, measured in gigahertz (GHz). FIG. 10 shows the plot for the Comparative example (in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated) and the plot for the Third Embodiment of Present Invention (with the ground patterns 30a (FIGs. 9A, 9D, 9E, and 9H) and 30b (FIGs. 9A, 9F, 9G, and 9H) separated by a 300  $\mu\text{m}$  slit-shaped separation width. As can be understood from the figure, the effect of improving the reflection characteristics was obtained by the present embodiment (Third Embodiment of Present Invention) over a broad band from a low frequency region to close to 60 GHz.

**Please replace paragraph [0134] with the following amended paragraph, marked to show changes:**

[0134]

In each of the embodiments of the present invention, when a signal is being transmitted from the first coplanar lines to the second coplanar lines, the high-frequency current paths that are propagated in a first ground pattern of the upper layer of the second coplanar lines are limited to

one. In other words, the high-frequency current path propagated to the first ground pattern at the time of signal transmission to the second coplanar lines is the only path ~~is only the path~~ from a planar ground pattern of the first coplanar lines to the first ground pattern that successively passes by way of second conductive via 41a (FIGs. 9A–C, 9E, and 9H), the planar ground pattern of the second coplanar lines, and by way of the next second conductive via 41b (FIGs. 9A–C, 9F, 9H) along the direction of signal transmission.

**Please replace paragraph [0138] with the following amended paragraph, marked to show changes:**

[0138]

In FIGs. 2A to 2H, FIGs. 7A to 7H and FIGs. 9A to 9H ~~In the figures showing each embodiment,~~ first signal line 10 (FIGs. 2A, 2D, 2E, and 2G, FIGs. 7A, 7D, 7E, 7G, and FIGs. 9A, 9D, 9E, 9G) and second signal line 11 (FIGs. 2B, 2F, and 2G, FIGs. 7B, 7E–7G, and FIGs. 9B, 9E–9G) need not be on a straight line and may diverge somewhat. In such cases, the confronting sides that prescribe the separation width between planar ground pattern 30a (FIGs. 2A, 2D, 2E, and 2H, FIGs. 7A, 7D, 7E, and 7H, and FIGs. 9A, 9D, 9E, and 9H) of the first coplanar lines and first ground pattern 30b (FIGs. 2A, 2F, 2G and 2H, FIGs. 7A, 7D, and 7E, and FIGs. 9A, 9F, 9G, and 9H) of the upper layer of the second coplanar lines and the confronting sides that prescribe the separation width between planar ground pattern 32 (FIGs. 2B, 2E, and 2H, FIGs. 7B, 7E, and 7H, and FIGs. 9B, 9D, 9E, and 9H) of the second coplanar lines and third ground pattern 50 (FIGs. 7B, 7D, and 7H) need not be formed at a fixed spacing.

**AMENDMENTS TO THE CLAIMS**

1. (Currently Amended) A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and a second planar ground pattern formed on the same wiring layer as said second signal line; and

a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

said first coplanar lines and said second coplanar lines are connected by a connection between said first signal line and said second signal line; and

said first ground pattern and said first planar ground pattern are separated, where a separation region extends along a direction of extension of said second signal line from the connection between said first signal line and said second signal line. ~~in at least a region that follows said second signal line from the connection of the ends of said first signal line and said second signal line.~~

2. (Currently Amended) A high-frequency wiring board comprising:

first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;

second coplanar lines provided with a second signal line formed on a wiring

layer that differs from said first signal line, and

a second planar ground pattern formed on the same wiring layer as said second signal line; and

a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

said first coplanar lines and said second coplanar lines are connected such that a signal is transmitted from said first coplanar lines to said second coplanar lines; and

when the a-signal is being transmitted from said first coplanar lines to said second coplanar lines, a portion of the path of a high-frequency current that is propagated from said first planar ground pattern to said first ground pattern ~~contains points that pass~~ passes only by way of said second planar ground pattern.

3. (Previously Presented) The high-frequency wiring board as set forth in claim 1 wherein:

said first signal line in said first coplanar lines is formed in the interior or on the obverse surface of a dielectric wiring board, and said first planar ground pattern is formed on the same wiring layer as said first signal line and on at least one of two side positions that enclose said first signal line; and

said second planar ground pattern in said second coplanar lines is formed on the same wiring layer as said second signal line and on at least one of two side positions that enclose said second signal line.

4. (Currently Amended) The high-frequency wiring board as set forth in claim 1, further comprising:

a first conductive via for connecting said first signal line and said second signal line at the line end of each signal line;

a second ground pattern formed on the wiring layer on the opposite side of the layer of said first ground pattern with respect to the wiring layer on which said second coplanar lines are formed; and

second conductive vias that are a plurality of second conductive vias arranged at a predetermined spacing along the direction of signal transmission through said first and second coplanar lines, said second conductive vias including:

conductive vias *a* for connecting said first planar ground pattern and said second planar ground pattern, conductive vias *b* for connecting said first ground pattern and said second planar ground pattern, and conductive vias *c* for connecting said first planar ground pattern and said second ground pattern;

wherein

said first ground pattern is separated from said first planar ground pattern in the direction of signal transmission of said second coplanar lines from the vicinity of the connection of said first signal line and said first conductive via.

5. (Original) The high-frequency wiring board as set forth in claim 4, wherein the

width between said first ground pattern and said first planar ground pattern that are separated is a width no greater than the spacing of said second conductive vias that is set in said second coplanar lines.

6. (Currently amended) The high-frequency wiring board as set forth in claim 4 wherein:

when: L1 is the minimum distance from a ~~the~~ circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines, said conductive via *a* interconnecting said first planar ground pattern and said second planar ground pattern, to an ~~the~~ outer circumference of said first planar ground pattern on said first signal line side;

L2 is the minimum distance from a ~~the~~ circumference of said conductive via *a* to an ~~the~~ outer circumference of said second planar ground pattern on said second signal line side;

L3 is the minimum distance from a ~~the~~ circumference of, from among said plurality of second conductive vias provided in said second coplanar lines and excluding said conductive vias *a*, said conductive via *b* being closest to said first conductive via, to the outer circumference of said second planar ground pattern on said second signal line side;

L4 is the minimum distance from a ~~the~~ circumference of said conductive via *b* to an ~~the~~ outer circumference of said first ground pattern on said first coplanar line side;

L5 is the dielectric layer thickness between said first ground pattern and said second planar ground pattern;

L6 is the minimum distance from ~~a~~ the circumference of said first conductive via to ~~an~~ the outer circumference of said first signal line;

L7 is the minimum distance from the circumference of said first conductive via to ~~an~~ the outer circumference of said second signal line;

L10 is the minimum distance from the circumference of said conductive via *a* to the outer circumference of said first planar ground pattern on said first ground pattern side;

$\epsilon_1$  is the effective relative dielectric constant of said first coplanar lines;

$\epsilon_2$  is the effective relative dielectric constant of said second coplanar lines;

$\phi$  is the diameter of said second conductive vias; and

$\lambda_0$  is ~~a~~ the minimum wavelength in a vacuum in the transmitted signal band; said first planar ground pattern and said first ground pattern that are provided on the same layer as said first planar ground pattern are separated such that the following relational expression is satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \lambda_0/2$$

7. (Previously Presented) The high-frequency wiring board as set forth in claim 4, further comprising:

a third ground pattern formed in a region of the same wiring layer as said second

coplanar lines that confronts the region in which said first coplanar lines are formed;

wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of the connection of said first signal line and said second signal line.

8. (Previously Presented) The high-frequency wiring board as set forth in claim 4, further comprising:

a third ground pattern formed in a region of the same wiring layer of said second coplanar lines that confronts the region in which said first coplanar lines are formed, and moreover, that is electrically connected by said second conductive vias to both said first planar ground pattern and said second ground pattern;

wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of connection of said second signal line and said first conductive via.

9. (Original) The high-frequency wiring board as set forth in claim 8, wherein the width between said third ground pattern and said second planar ground pattern that are separated is a width no greater than spacing of said second conductive vias that is set in said first coplanar lines.

10. (Currently Amended) The high-frequency wiring board as set forth in claim 8, wherein:

when: L8 is the minimum distance from ~~a~~ the circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines and

excluding said conductive vias  $a$ , said conductive via  $c$  being closest to said first conductive via, to ~~a~~ the outer circumference of said first planar ground pattern on said first signal line side;

$L9$  is the minimum distance from ~~a~~ the circumference of said conductive via  $c$  to ~~a~~ the outer circumference of said third ground pattern on said second coplanar lines side;

$L11$  is the minimum distance from ~~a~~ the circumference of said conductive via  $a$  to ~~a~~ the outer circumference of said second planar ground pattern on said third ground pattern side; and

$\lambda_0$  is ~~a~~ the minimum wavelength in a vacuum of the transmitted signal band; said second planar ground pattern and said third ground pattern provided on the same layer as said second planar ground pattern are separated such that the following relational expression is satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\} < \lambda_0 / 2$$

11. (Previously Presented) The high-frequency wiring board as set forth in claim 1, wherein said second planar ground pattern is not only formed on at least one of two side positions that enclose said second signal line but also extends into a region, of the same wiring layer as said second coplanar lines, that confronts a region in which said first coplanar lines are formed.

12. (Previously Presented) A high-frequency module in which a semiconductor integrated circuit chip is mounted on the high-frequency wiring board as set forth in claim 1.

**AMENDMENTS TO THE DRAWINGS**

The attached sheets of drawings includes changes to Figures 1A–1D, 2A, 5, 6, 7A, 7D, 8, and 10.

Attachment:      Replacement sheets

### **REMARKS**

Claims 1–12 are pending in the present application. Claims 1–12 have been rejected under 35 U.S.C. § 112, second paragraph. Claims 1, 3, and 11 have been rejected under 35 U.S.C. § 102(b). Claim 12 has been rejected under 35 U.S.C. § 103(a).

#### **I. Objections to the Drawings**

The Examiner has objected to the drawings. Applicant submits that the Replacement Drawings and amendments to the specification overcome the objection.

Applicant notes that the Office Action states that drawings are objected to under 37 CFR 1.83(a) for allegedly failing to show every feature of the invention specified in the claims. (Office Action at 4.) The Office Action does not specify which drawings are objected to on this ground, nor does it identify any features of the claims that are not shown in the drawing. Applicant is unaware of any features of the claims that are not shown in the drawings and respectfully requests that the aforementioned objection to the drawings be withdrawn.

#### **II. Objections to the Specification**

The Examiner has objected to informalities in the specification. Applicant submits that the amendments to the specification overcome the objections.

#### **III. Rejection under 35 U.S.C. § 112, second paragraph**

Claims 1–12 are rejected under 35 U.S.C. § 112, second paragraph, as being indefinite. Applicant submits that the claims, as presently recited, address the issues raised by the Examiner.

**IV. Rejection under 35 U.S.C. § 102(b) over U.S. Pat. No. 5,994,983 to Andersson (“Andersson”)**

Claims 1, 3, and 11 have been rejected under 35 U.S.C. § 102(b) as being anticipated by Andersson.

**A. Claim 1**

Applicant submits that Andersson does not disclose all of the features of claim 1. For example, claim 1 states that a first ground pattern and a first planar ground pattern are separated, and that a separation region extends along a direction of extension of a second signal line from the connection between a first signal line and the second signal line. By contrast, in Figure 5 of Andersson, the lead frame 4 (alleged first ground pattern) and the ground metallization 5a, 5b (alleged first planar ground pattern) are connected. Thus, the alleged first ground pattern and the alleged first planar ground pattern are not separated. Consequently, in Andersson, a separation region does not extend along a direction of extension of a connector pin 2 (alleged second signal line) from the interconnecting via hole 8 between a coplanar segment 7 (alleged first signal line) and connector pin 2 (alleged second signal line).

Accordingly, Applicant submits that claim 1 is patentable for at least the reasons presented above.

**B. Claims 3 and 11**

Since dependent claims 3 and 11 depend on claim 1, they are patentable at least based on their dependency.

**V. Rejection under 35 U.S.C. § 103(a) over Andersson in view of U.S. Publ. No. 2006/0214744 to Margomenos ("Margomenos")**

Claim 12 has been rejected under U.S.C. § 103(a) as being unpatentable over Andersson in view of Margomenos. Since claim 12 depends upon claim 1, and since Margomenos does not cure the deficient teachings of Andersson with respect to claim 1, Applicant submits that claim 12 is patentable at least by virtue of its dependency.

**VI. Conclusion**

In view of the above amendment, Applicant believes the pending application is in condition for allowance. Applicant is submitting a fee for a two month extension of time for responding to the Office Action and believes that no other fee is due with this response. However, if another fee is due, please charge our Deposit Account No. 08-0219, under Order No. 2207946.00126SU1 from which the undersigned is authorized to draw.

Respectfully submitted,

Dated: August 28, 2012

/Grant K. Rowan/  
Grant K. Rowan  
Registration No.: 41,278  
Attorney for Applicant(s)

Wilmer Cutler Pickering Hale and Dorr LLP  
1875 Pennsylvania Avenue, NW  
Washington, DC 20006  
(202) 663-6000 (telephone)  
(202) 663-6363 (facsimile)

Attachments

# REPLACEMENT SHEET

1/13

Fig. 1A

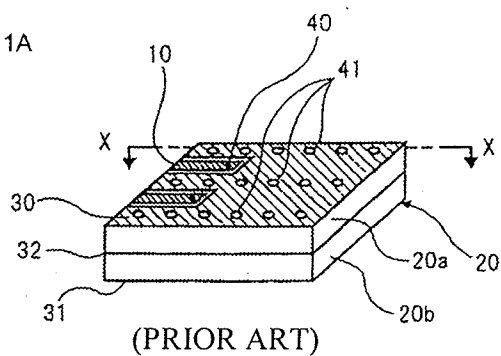


Fig. 1B

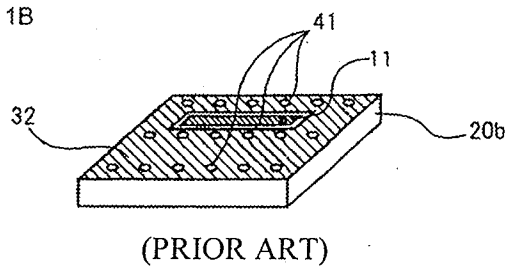


Fig. 1C

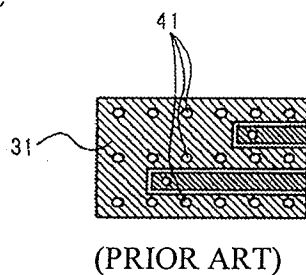
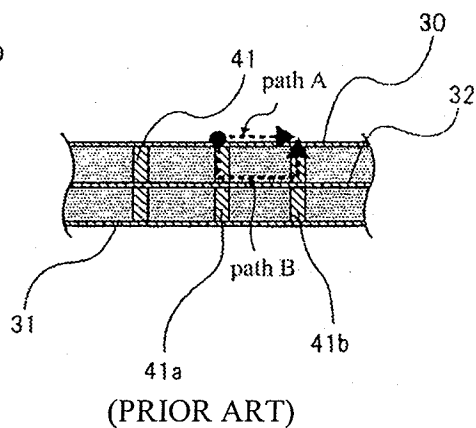


Fig. 1D



**REPLACEMENT SHEET**

2/13

Fig. 2A

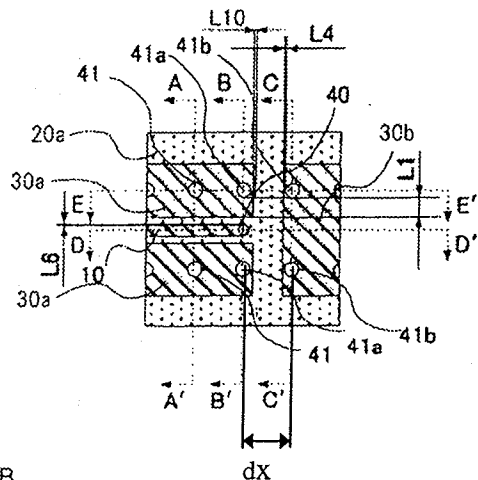


Fig. 2B

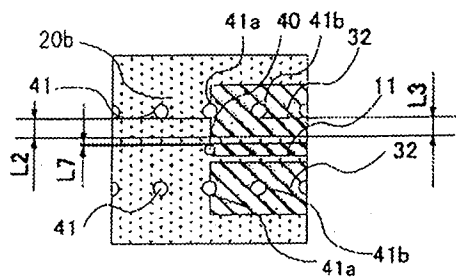


Fig. 2C

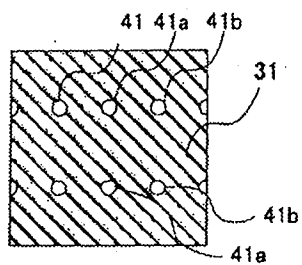
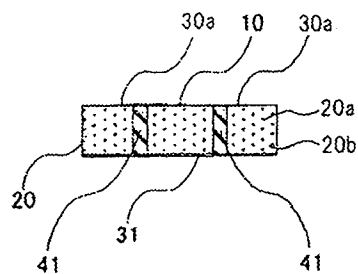


Fig. 2D



**REPLACEMENT SHEET**

6/13

Fig 5

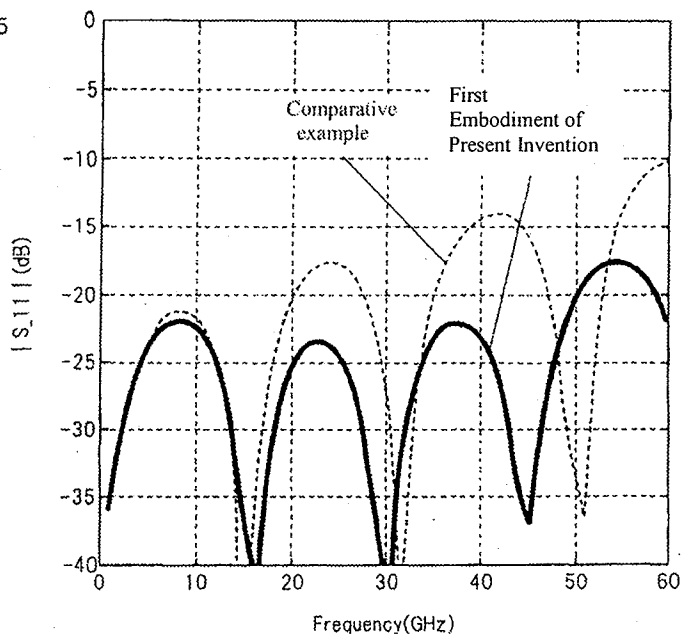
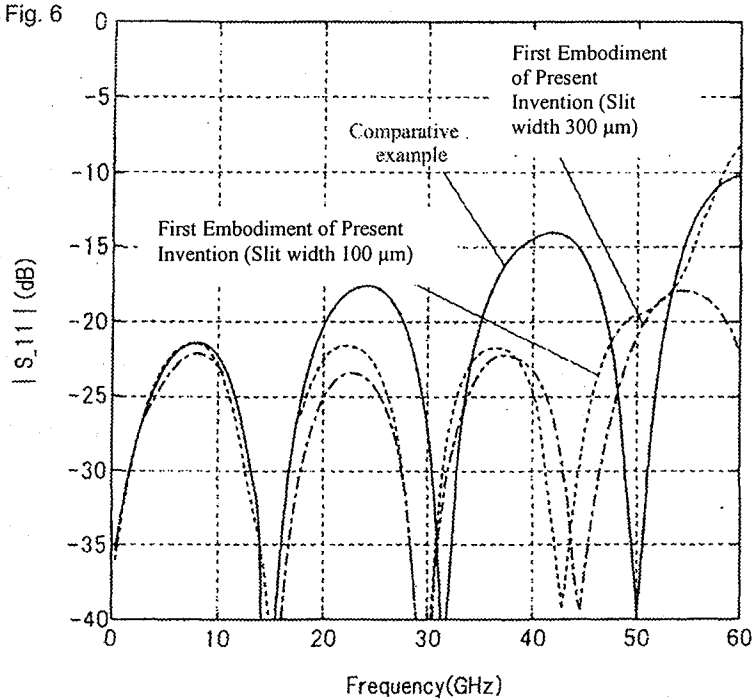


Fig. 6



**REPLACEMENT SHEET**

7/13

Fig. 7A

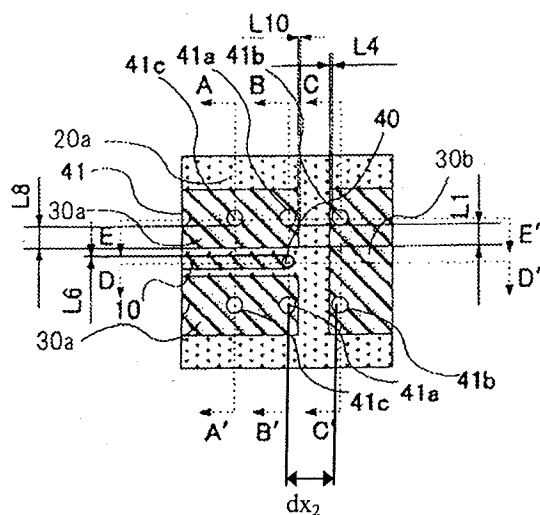


Fig. 7B

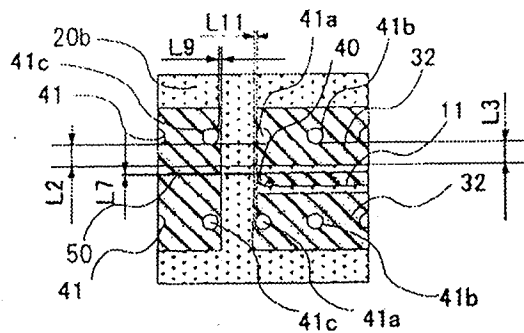
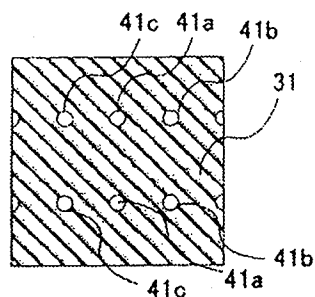


Fig. 7C



## 8/13

Fig. 1 is a schematic cross-sectional view of a semiconductor device. It shows a substrate 10 with a top layer 30a and a bottom layer 30b. A central region 20 contains a series of vertical structures 20a and 20b. A layer 32 is on the right side. Various other components are labeled with numbers 11, 31, 40, 41a, and 32.

**REPLACEMENT SHEET**

9/13

Fig. 7H

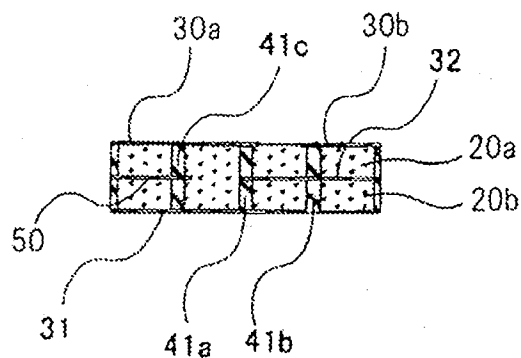
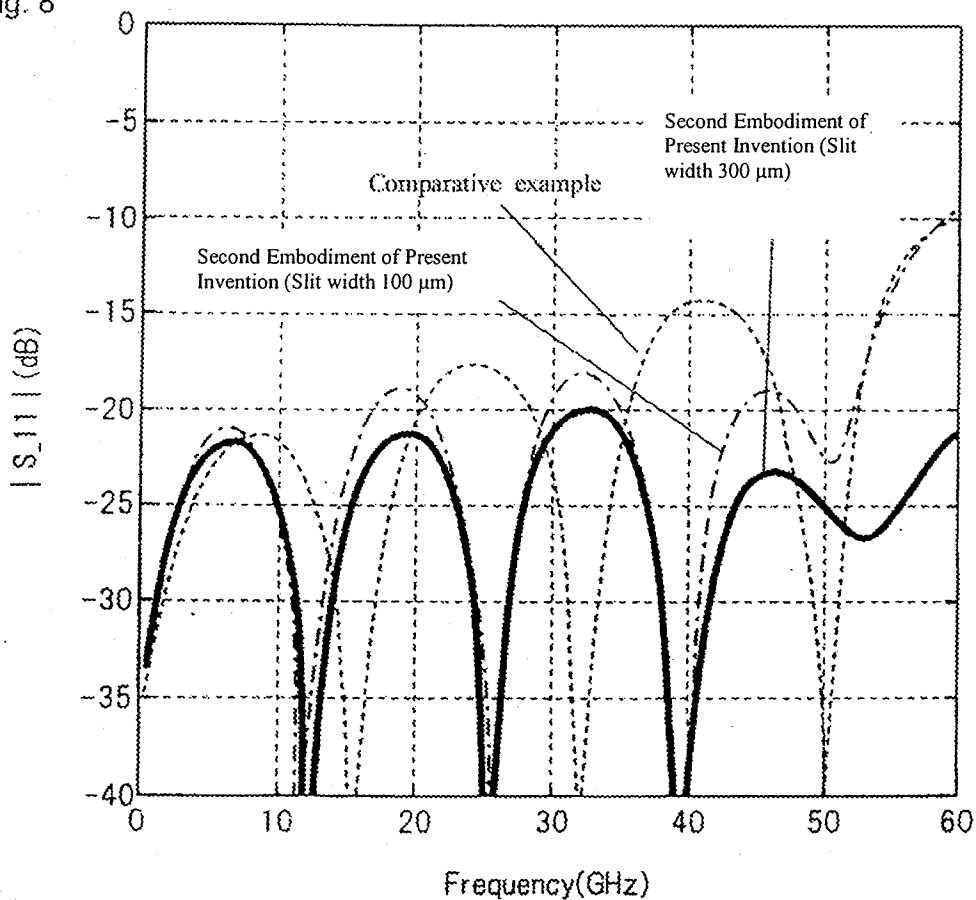


Fig. 8



REPLACEMENT SHEET

12/13

Fig. 9H

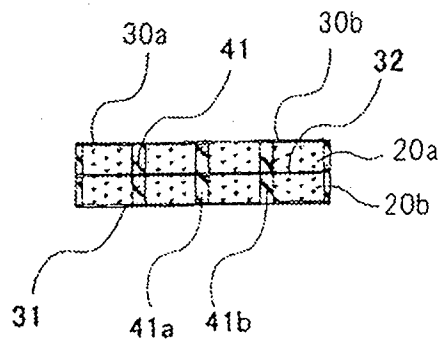
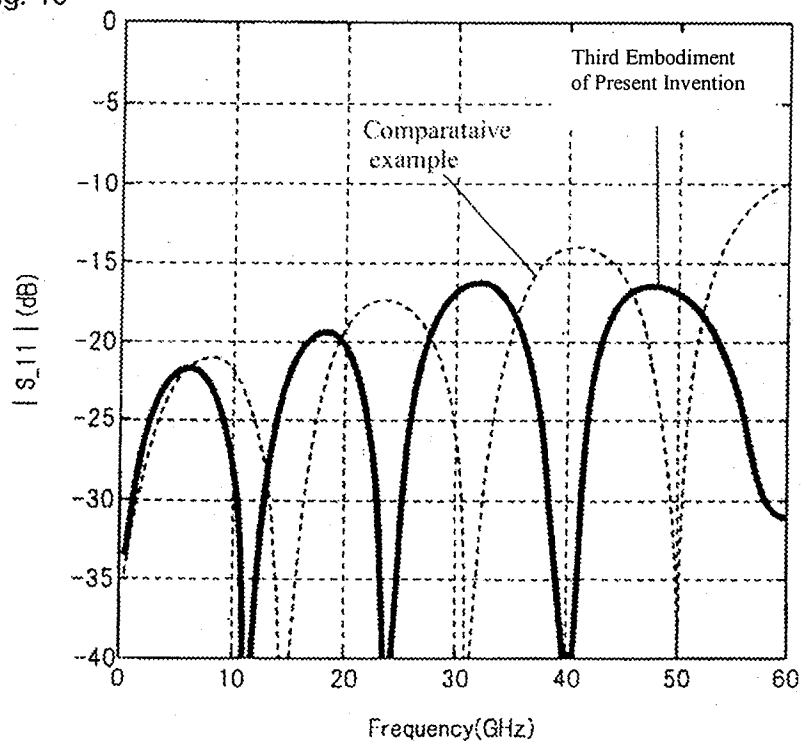


Fig. 10



## Electronic Patent Application Fee Transmittal

<b>Application Number:</b>	12674221			
<b>Filing Date:</b>	19-Feb-2010			
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD			
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira			
<b>Filer:</b>	Grant Kelly Rowan/Tania Thomas			
<b>Attorney Docket Number:</b>	J-10-0077			
Filed as Large Entity				
<b>U.S. National Stage under 35 USC 371 Filing Fees</b>				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Basic Filing:</b>				
<b>Pages:</b>				
<b>Claims:</b>				
<b>Miscellaneous-Filing:</b>				
<b>Petition:</b>				
<b>Patent-Appeals-and-Interference:</b>				
<b>Post-Allowance-and-Post-Issuance:</b>				
<b>Extension-of-Time:</b>				
Extension - 2 months with \$0 paid	1252	1	560	560

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
Total in USD (\$)				560

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	13606316
<b>Application Number:</b>	12674221
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	5037
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD
<b>First Named Inventor/Applicant Name:</b>	Risato Ohhira
<b>Customer Number:</b>	71799
<b>Filer:</b>	Grant Kelly Rowan/Tania Thomas
<b>Filer Authorized By:</b>	Grant Kelly Rowan
<b>Attorney Docket Number:</b>	J-10-0077
<b>Receipt Date:</b>	28-AUG-2012
<b>Filing Date:</b>	19-FEB-2010
<b>Time Stamp:</b>	19:04:26
<b>Application Type:</b>	U.S. National Stage under 35 USC 371

### Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	\$560
RAM confirmation Number	5730
Deposit Account	
Authorized User	

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	----------------------------------	------------------	------------------

1	Extension of Time	2207946_00126US1_082812_EOT.PDF	97008	no	1
			5963eeadb3c0be9f553cc5417ff8fec9b5d28773		
Warnings:					
Information:					
2		2207946_00126US1_082812_Amendment.PDF	2967077	yes	82
			d3e8f5f46d899bef6126eab006a7dc2b591e3ce35		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Amendment/Req. Reconsideration-After Non-Final Reject		1	2	
	Specification		3	63	
	Claims		64	71	
	Drawings-only black and white line drawings		72	72	
	Applicant Arguments/Remarks Made in an Amendment		73	75	
	Drawings-only black and white line drawings		76	82	
Warnings:					
Information:					
3	Fee Worksheet (SB06)	fee-info.pdf	30658	no	2
			e8b87fe161bbd692376b572aa57b23aa324cea7d		
Warnings:					
Information:					
Total Files Size (in bytes):			3094743		

**This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.**

**New Applications Under 35 U.S.C. 111**

**If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.**

**National Stage of an International Application under 35 U.S.C. 371**

**If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.**

**New International Application Filed with the USPTO as a Receiving Office**

**If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.**

<b>PETITION FOR EXTENSION OF TIME UNDER 37 CFR 1.136(a)</b> <b>FY 2009</b> <i>(Fees pursuant to the Consolidated Appropriations Act, 2005 (H.R. 4818).)</i>		Docket Number (Optional) 2207946.00126US1																									
Application Number                      12/674,221-Conf. #5037		Filed                      February 19, 2010																									
For      HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD																											
Art Unit              2817		Examiner              Lee, Benny T.																									
<p>This is a request under the provisions of 37 CFR 1.136(a) to extend the period for filing a reply in the above identified application.</p> <p>The requested extension and fee are as follows (check time period desired and enter the appropriate fee below):</p> <table style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 40%;"></th> <th style="width: 15%; text-align: center;"><u>Fee</u></th> <th style="width: 15%; text-align: center;"><u>Small Entity Fee</u></th> <th style="width: 30%;"></th> </tr> </thead> <tbody> <tr> <td><input type="checkbox"/> One month (37 CFR 1.17(a)(1))</td> <td style="text-align: center;">\$130</td> <td style="text-align: center;">\$65</td> <td style="text-align: center;">\$ _____</td> </tr> <tr> <td><input checked="" type="checkbox"/> Two months (37 CFR 1.17(a)(2))</td> <td style="text-align: center;">\$490</td> <td style="text-align: center;">\$245</td> <td style="text-align: center;">\$    560.00</td> </tr> <tr> <td><input type="checkbox"/> Three months (37 CFR 1.17(a)(3))</td> <td style="text-align: center;">\$1110</td> <td style="text-align: center;">\$555</td> <td style="text-align: center;">\$ _____</td> </tr> <tr> <td><input type="checkbox"/> Four months (37 CFR 1.17(a)(4))</td> <td style="text-align: center;">\$1730</td> <td style="text-align: center;">\$865</td> <td style="text-align: center;">\$ _____</td> </tr> <tr> <td><input type="checkbox"/> Five months (37 CFR 1.17(a)(5))</td> <td style="text-align: center;">\$2350</td> <td style="text-align: center;">\$1175</td> <td style="text-align: center;">\$ _____</td> </tr> </tbody> </table> <p><input type="checkbox"/> Applicant claims small entity status. See 37 CFR 1.27.</p> <p><input type="checkbox"/> A check in the amount of the fee is enclosed.</p> <p><input checked="" type="checkbox"/> Payment by credit card. <del>Form PTO-2038 is attached.</del></p> <p><input type="checkbox"/> The Director has already been authorized to charge fees in this application to a Deposit Account.</p> <p><input checked="" type="checkbox"/> The Director is hereby authorized to charge any fees which may be required, or credit any overpayment, to Deposit Account Number      08-0219      .</p> <p><b>WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.</b></p> <p>I am the      <input type="checkbox"/> applicant/inventor.</p> <p style="padding-left: 100px;"><input type="checkbox"/> assignee of record of the entire interest. See 37 CFR 3.71. Statement under 37 CFR 3.73(b) is enclosed. (Form PTO/SB/96).</p> <p style="padding-left: 100px;"><input checked="" type="checkbox"/> attorney or agent of record. Registration Number      41,278</p> <p style="padding-left: 100px;"><input type="checkbox"/> attorney or agent under 37 CFR 1.34. Registration number if acting under 37 CFR 1.34      _____</p> <div style="display: flex; justify-content: space-between; margin-top: 20px;"> <div style="width: 45%;"> <p style="text-align: center;">_____ /Grant K. Rowan/ Signature</p> <p style="text-align: center;">Grant K. Rowan Typed or printed name</p> </div> <div style="width: 45%;"> <p style="text-align: center;">_____ August 28, 2012 Date</p> <p style="text-align: center;">_____ (202) 663-6000 Telephone Number</p> </div> </div> <p style="font-size: small; margin-top: 10px;">NOTE: Signatures of all the inventors or assignees of record of the entire interest or their representative(s) are required. Submit multiple forms if more than one signature is required, see below.</p> <p><input type="checkbox"/> Total of      1      forms are submitted.</p>					<u>Fee</u>	<u>Small Entity Fee</u>		<input type="checkbox"/> One month (37 CFR 1.17(a)(1))	\$130	\$65	\$ _____	<input checked="" type="checkbox"/> Two months (37 CFR 1.17(a)(2))	\$490	\$245	\$    560.00	<input type="checkbox"/> Three months (37 CFR 1.17(a)(3))	\$1110	\$555	\$ _____	<input type="checkbox"/> Four months (37 CFR 1.17(a)(4))	\$1730	\$865	\$ _____	<input type="checkbox"/> Five months (37 CFR 1.17(a)(5))	\$2350	\$1175	\$ _____
	<u>Fee</u>	<u>Small Entity Fee</u>																									
<input type="checkbox"/> One month (37 CFR 1.17(a)(1))	\$130	\$65	\$ _____																								
<input checked="" type="checkbox"/> Two months (37 CFR 1.17(a)(2))	\$490	\$245	\$    560.00																								
<input type="checkbox"/> Three months (37 CFR 1.17(a)(3))	\$1110	\$555	\$ _____																								
<input type="checkbox"/> Four months (37 CFR 1.17(a)(4))	\$1730	\$865	\$ _____																								
<input type="checkbox"/> Five months (37 CFR 1.17(a)(5))	\$2350	\$1175	\$ _____																								

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875					Application or Docket Number <b>12/674,221</b>		Filing Date <b>02/19/2010</b>		<input type="checkbox"/> To be Mailed	
<b>APPLICATION AS FILED – PART I</b>										
(Column 1)			(Column 2)			SMALL ENTITY <input type="checkbox"/> OR		OTHER THAN SMALL ENTITY		
FOR	NUMBER FILED	NUMBER EXTRA	RATE (\$)	FEE (\$)	OR	RATE (\$)	FEE (\$)			
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A				
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			N/A				
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A				
TOTAL CLAIMS (37 CFR 1.16(j))	minus 20 =	*	X \$	=		X \$	=			
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X \$	=		X \$	=			
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
			TOTAL			TOTAL				
* If the difference in column 1 is less than zero, enter "0" in column 2.										
<b>APPLICATION AS AMENDED – PART II</b>										
(Column 1)			(Column 2)			SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
AMENDMENT	08/28/2012	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 12	Minus	** 20	=	0		X \$60=	0	
	Independent (37 CFR 1.16(h))	* 2	Minus	*** 3	=	0		X \$250=	0	
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))										
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
					TOTAL ADD'L FEE			TOTAL ADD'L FEE	0	
(Column 1)			(Column 2)			SMALL ENTITY OR		OTHER THAN SMALL ENTITY		
AMENDMENT	Total (37 CFR 1.16(i))	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)	ADDITIONAL FEE (\$)	OR	RATE (\$)	ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=			X \$	=	
	Independent (37 CFR 1.16(h))	*	Minus	***	=			X \$	=	
<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))										
<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
					TOTAL ADD'L FEE			TOTAL ADD'L FEE		
<p>* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.</p> <p>** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".</p> <p>*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".</p> <p>The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.</p>										

Legal Instrument Examiner:  
/LINDA BADIE/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/674,221	02/19/2010	Risato Ohhira	J-10-0077	5037
71799	7590	03/28/2012		
Mr. Jackson Chen 6535 N. STATE HWY 161 IRVING, TX 75039			EXAMINER LEE, BENNY T	
			ART UNIT	PAPER NUMBER
			2817	
			NOTIFICATION DATE	DELIVERY MODE
			03/28/2012	ELECTRONIC

**Please find below and/or attached an Office communication concerning this application or proceeding.**

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

jackson.chen@necam.com  
KENSAKU.SATO@NECAM.COM

<b>Office Action Summary</b>	<b>Application No.</b>	<b>Applicant(s)</b>	
	12/674,221	OHHIRA, RISATO	
	<b>Examiner</b>	<b>Art Unit</b>	
	BENNY LEE	2817	

**-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --**

### Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

### Status

- 1) ☒ Responsive to communication(s) filed on 19 February 2010.
- 2a) ☐ This action is **FINAL**.                      2b) ☒ This action is non-final.
- 3) ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on \_\_\_\_; the restriction requirement and election have been incorporated into this action.
- 4) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

### Disposition of Claims

- 5) ☒ Claim(s) 1-12 is/are pending in the application.
- 5a) Of the above claim(s) \_\_\_\_ is/are withdrawn from consideration.
- 6) ☐ Claim(s) \_\_\_\_ is/are allowed.
- 7) ☒ Claim(s) 1,3-12; 2 is/are rejected.
- 8) ☐ Claim(s) \_\_\_\_ is/are objected to.
- 9) ☐ Claim(s) \_\_\_\_ are subject to restriction and/or election requirement.

### Application Papers

- 10) ☒ The specification is objected to by the Examiner.
- 11) ☒ The drawing(s) filed on 19 February 2010 is/are: a) ☐ accepted or b) ☒ objected to by the Examiner.  
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).  
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).
- 12) ☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

### Priority under 35 U.S.C. § 119

- 13) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
- a) ☒ All    b) ☐ Some \*    c) ☐ None of:
1. ☐ Certified copies of the priority documents have been received.
  2. ☐ Certified copies of the priority documents have been received in Application No. \_\_\_\_.
  3. ☒ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

\* See the attached detailed Office action for a list of the certified copies not received.

### Attachment(s)

- |  |   |
|--|---|
| 1) <input checked="" type="checkbox"/> Notice of References Cited (PTO-892)            | 4) <input type="checkbox"/> Interview Summary (PTO-413)           |
| 2) <input type="checkbox"/> Notice of Draftsperson's Patent Drawing Review (PTO-948)   | Paper No(s)/Mail Date. ____.                                      |
| 3) <input checked="" type="checkbox"/> Information Disclosure Statement(s) (PTO/SB/08) | 5) <input type="checkbox"/> Notice of Informal Patent Application |
| Paper No(s)/Mail Date <u>19 February 2010</u> .  | 6) <input type="checkbox"/> Other: ____.                          |

The disclosure is objected to because of the following informalities: Page 4, in paragraph [0013], note that “If a case is here considered ... two physical paths lengths are” is vague in meaning and thus needs clarification. Page 4, in the heading, it is noted that “Disclosure” should be rewritten as --Summary-- for consistency with PTO guidelines. Page 6, in paragraph [0020], note that “FIG. 3” & “FIG. 4” should be rewritten as --FIGs. 3(a), 3(b) & 3(c)-- & --FIGs. 4(a), 4(b) & 4(c)--, respectively for consistency with the drawing figures. Page 8, in paragraph [0021], note that --, where like features in the different drawing figures are designated by the same reference labels-- for an appropriate characterization. Page 11, in paragraph [0030]; page 23, in paragraph [0081]; page 32, in paragraph [0121]: note that “shown in the figure” is vague in meaning as to which one of the drawing figures is intended by this recitation. Pages 11-13, in paragraphs [0032], [0034], [0035], [0036], [0037], [0038], [0041], note that the reference to the “interval”, “distance” or “spacing” designated by “dx” is respectively vague in meaning since no such label appears in the drawing figures and thus needs clarification. Page 13, in paragraph [0039], note that the reference to “FIG. 4” is vague in meaning (i.e. which one(s) of FIGs. 4(a), 4(b) & 4(c) is intended by the recitation of “FIG. 4”?). Page 14, in paragraph [0044], note that the reference to “FIGs. 2A, 2B and 2E” (i.e. paragraph [0044]) and “FIGs. 7A, 7B and 7E” with respect to dimension “L1” do not appear appropriate, especially since dimension “L1” only appears in “FIG. 2A” & “FIG. 7A”, respectively and thus needs clarification. Page 16, in paragraph [0054], for the associated formula, note that the reference to “[Formula 6]” & “...(5)” do not appear to be consistent and thus needs clarification. Page 19, in paragraph [0067] & page 29, in paragraph [0110], note that --dB-- should be inserted after “|S<sub>11</sub>|” for consistency with the labeling in the corresponding graph & --(Present Invention)-- should be inserted after “case”

Art Unit: 2817

in each paragraph for consistency with the labeling in the corresponding graphs. Page 20, in paragraph [0072], first line therein, note that --respectively-- should be inserted prior to “formed” for an appropriate characterization. Page 21, in paragraph [0078]; page 22, in paragraph [0079]; page 31, in paragraph [0120]: note that “current path that is propagated ... is limited to one” is vague in meaning at each occurrence and thus needs clarification. Page 25, in paragraph [0096], note that reference to “ $dx_2$ ” is vague in meaning since no such labels appears in the drawing figures and thus needs clarification. Page 28, in paragraph [0108], 5<sup>th</sup> line therein, it is noted that “109” should be rewritten as -- $10^9$ -- for an appropriate characterization. Page 31, in paragraph [0118], note that the reference to “ground pattern 50” is vague in meaning since no such feature appears to be labeled in the drawings associated with this embodiment and thus needs clarification. Page 34, in paragraph [0034], 5<sup>th</sup> line therein, note that “is only the path” should be rephrased as --is the only path-- for idiomatic clarity; 7<sup>th</sup> & 8<sup>th</sup> lines therein, note that reference to “via a” & “via b” is vague in meaning since these labels have not been labeled in the corresponding drawing figures. Page 35, in paragraph [0138], note that it is unclear which “figure” is intended by the recitation “In the figures” and thus needs clarification. Appropriate correction is required.

The disclosure is objected to because of the following informalities: Note that at various locations throughout the specification, there are references to multiple drawings (e.g. Figs. 1A-1D at pages 1 & 2; Figs. 2A-2H at pages 8-13; Figs. 7A-7H at pages 19-28; Figs. 9A-9H at pages 29-34; etc.). Accordingly, at each instance where multiple figures are reference, the reference labels of the associated multiple figure description should make reference to the drawing figures in which these labeled feature actually appear in (unless the reference label appears in each one

Art Unit: 2817

of the collective drawing figures) for an appropriate characterization. Some, but not all, examples are: “board 20” in --(Fig. 1A)--; “ground pattern 30” in --(Figs. 1A & 1D)--; “L2” in --(Fig. 2B)--; “ground pattern 32” in --(Fig. 7B)--; “L6” in --(Fig. 7A)--; “L4” in --(Fig. 9A)--; etc., to provide consistency between what is labeled in the drawing figures and what is described in the specification. Note that the following reference labels need a corresponding specification description: Fig. 4B, “ $R+\phi/2$ ”; Figs. 5, 6, 8 (Frequency(GHz), the various descriptive terminology recited therein); Fig. 10, in its entirety. Appropriate correction is required.

The drawings are objected to because of the following: In Figs. 1A-1D, note that these drawing figures need to be designated as --PRIOR ART-- for an appropriate characterization; In Fig. 1D, note that --L1-- & --L2-- need to be provided such as to be commensurate with the specification description of this drawing figure; in Fig. 9B, note that reference label --50-- needs to be provided such as to be commensurate with the specification description of this drawing figure.

The drawings are objected to under 37 CFR 1.83(a). The drawings must show every feature of the invention specified in the claims. Therefore, the must be shown or the feature(s) canceled from the claim(s). No new matter should be entered.

Corrected drawing sheets in compliance with 37 CFR 1.121(d) are required in reply to the Office action to avoid abandonment of the application. Any amended replacement drawing sheet should include all of the figures appearing on the immediate prior version of the sheet, even if only one figure is being amended. The figure or figure number of an amended drawing should not be labeled as “amended.” If a drawing figure is to be canceled, the appropriate figure must be removed from the replacement sheet, and where necessary, the remaining figures must be renumbered and appropriate changes made to the brief description of the several views of the drawings for consistency. Additional replacement sheets may be necessary to show the

Art Unit: 2817

renumbering of the remaining figures. Each drawing sheet submitted after the filing date of an application must be labeled in the top margin as either "Replacement Sheet" or "New Sheet" pursuant to 37 CFR 1.121(d). If the changes are not accepted by the examiner, the applicant will be notified and informed of any required corrective action in the next Office action. The objection to the drawings will not be held in abeyance.

Claims 1, 3-12; 2 are rejected under 35 U.S.C. 112, second paragraph, as being indefinite for failing to particularly point out and distinctly claim the subject matter which applicant regards as the invention.

In claim 1, last paragraph, note that it is unclear whether the recitation "... that follows said second line from the connection of the ends of said first signal line and said second signal line" is a proper characterization of the invention. Appropriate clarification is needed.

In claim 2, lines 11, 13, note that it is unclear how each recitation of "a signal" relates to each other (i.e. one in the same signal, distinctly different signals, etc.). Appropriate clarification is needed. Moreover, note that it is unclear whether the recitation "contains points" is a proper characterization of the invention. Appropriate clarification is needed.

In claims 6, 10, note that reference to "the circumference of" & "the outer circumference" are respectively vague in meaning since no apparent "circumference" has been previously recited and thus needs clarification. Note that reference to "the minimum wavelength ... in the transmitted signal band" lacks strict antecedent basis and thus needs clarification.

The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

A person shall be entitled to a patent unless –

(b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Art Unit: 2817

Claims 1, 3, 11 are rejected under 35 U.S.C. 102(b) as being clearly anticipated by Andersson.

Andersson (i.e. Fig. 5) discloses a high frequency wiring board, comprising: a first coplanar line with a first signal line (i.e. coplanar segment 7) and first planar ground pattern {i.e. ground metallization (5a, 5b)} disposed on the same layer (i.e. an obverse layer) of a substrate (i.e. 1), such that the first ground pattern (5a, 5b) are disposed on opposing sides of the first signal line (7); a second coplanar line with a second signal line (i.e. connector pin 2) and second planar ground pattern (i.e. lead frame 14) disposed on a layer (i.e. a reverse layer of substrate 1) that is different from the layer of the first coplanar line, and includes the second ground pattern (14) at least disposed on opposed sides of the second signal line (2), as evident from Fig. 5; a first ground pattern (i.e. lead frame 4) that is disposed on the same layer as, but separated from, the first coplanar line (i.e. as evident from the open space between the coplanar line and lead frame (4) on the surface of substrate (1) and in particular the separation adjacent to the first ground pattern (5a, 5b), as depicted in Fig. 5); an interconnecting via hole (i.e. 8) for connecting the signal lines of the first coplanar line and the second coplanar line, as best depicted in related Fig. 4c. Regarding claim 11, as evident from Fig. 2, the second ground pattern (14), aside from extending on opposing sides of the second signal line, also extends into a region underlying the first coplanar line.

The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

(a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negated by the manner in which the invention was made.

Claim 12 is rejected under 35 U.S.C. 103(a) as being unpatentable over Andersson in view of Margomenos.

Andersson discloses the claimed invention except for the explicit presence of a semiconductor integrated circuit chip disposed on the high frequency wiring board.

Margomenos (i.e. FIG. 1) exemplarily discloses a wiring board arrangement including microstrip signal lines (i.e. 12, 14) on different layers interconnected through a conductive via (i.e. 20). Moreover, as exemplarily described in paragraph [0009], a semiconductor wafer (i.e. corresponding to a semiconductor integrated circuit chip) is disposed between microstrip (12) and the underlying ground plane (i.e. 16).

Accordingly, it would have been obvious in view of the references, taken as a whole, to have modified the wiring board in Andersson (i.e. Fig. 5) to have included a semiconductor wafer (i.e. integrated circuit chip), such as taught by Margomenos. Such a modification would have been considered obvious in view of the compatible nature of the sealed-lead through microwave circuit in Anderson in accommodating a semiconductor wafer or integrated circuit of the type exemplarily taught in Margomenos, thereby suggesting the obviousness of such a modification.

Any inquiry concerning this communication should be directed to Benny Lee at telephone number 571 272 1764.

**/BENNY LEE/  
PRIMARY EXAMINER  
ART UNIT 2817**

B. Lee

<b>Notice of References Cited</b>	Application/Control No. 12/674,221	Applicant(s)/Patent Under Reexamination OHHIRA, RISATO	
	Examiner BENNY LEE	Art Unit 2817	Page 1 of 1

**U.S. PATENT DOCUMENTS**

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-5,994,983	11-1999	Andersson, Ronny	333/246
*	B	US-2006/0214744	09-2006	Margomenos, Alex	333/033
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

**FOREIGN PATENT DOCUMENTS**

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

**NON-PATENT DOCUMENTS**

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

\*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)  
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.



## UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
 United States Patent and Trademark Office  
 Address: COMMISSIONER FOR PATENTS  
 P.O. Box 1450  
 Alexandria, Virginia 22313-1450  
 www.uspto.gov

## BIB DATA SHEET

CONFIRMATION NO. 5037

<b>SERIAL NUMBER</b> 12/674,221	<b>FILING or 371(c) DATE</b> 02/19/2010 <b>RULE</b>	<b>CLASS</b> 333	<b>GROUP ART UNIT</b> 2817	<b>ATTORNEY DOCKET NO.</b> J-10-0077		
<b>APPLICANTS</b> Risato Ohhira, Tokyo, JAPAN; <b>** CONTINUING DATA *****</b> This application is a 371 of PCT/JP2008/063283 07/24/2008 <b>** FOREIGN APPLICATIONS *****</b> JAPAN 2007-241104 09/18/2007 <b>** IF REQUIRED, FOREIGN FILING LICENSE GRANTED **</b> 02/20/2011						
Foreign Priority claimed <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No 35 USC 119(a-d) conditions met <input checked="" type="checkbox"/> Yes <input type="checkbox"/> No Verified and Acknowledged <u>/BENNY T LEE/</u> Examiner's Signature		<input type="checkbox"/> Met after Allowance Initials	<b>STATE OR COUNTRY</b> JAPAN	<b>SHEETS DRAWINGS</b> 13	<b>TOTAL CLAIMS</b> 12	<b>INDEPENDENT CLAIMS</b> 2
<b>ADDRESS</b> Mr. Jackson Chen 6535 N. STATE HWY 161 IRVING, TX 75039 UNITED STATES						
<b>TITLE</b> HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD						
<b>FILING FEE RECEIVED</b> 980	FEES: Authority has been given in Paper No. _____ to charge/credit DEPOSIT ACCOUNT No. _____ for following:		<input type="checkbox"/> All Fees <input type="checkbox"/> 1.16 Fees (Filing) <input type="checkbox"/> 1.17 Fees (Processing Ext. of time) <input type="checkbox"/> 1.18 Fees (Issue) <input type="checkbox"/> Other _____ <input type="checkbox"/> Credit			

Receipt date: 02/22/2010

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (01-09)

Approved for use through 02/28/2009. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b> ( Not for submission under 37 CFR 1.99)	Application Number		12674221
	Filing Date		2010-02-19
	First Named Inventor	RISATO OHHIRA	
	Art Unit	12674221 - GAU: 2817	
	Examiner Name	B. Lee	
	Attorney Docket Number	J-10-0077	

U.S. PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code <sup>1</sup>	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

U.S. PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code <sup>1</sup>	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button.

FOREIGN PATENT DOCUMENTS								
Examiner Initial*	Cite No	Foreign Document Number <sup>3</sup>	Country Code <sup>2i</sup>	Kind Code <sup>4</sup>	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T <sup>5</sup>
/B.T.L./	1	2003133472	JP	A	2003-05-09		CITED IN SPECIFICATION	<input type="checkbox"/>
/B.T.L./	2	2004320109	JP	A	2004-11-11		CITED IN SPECIFICATION	<input type="checkbox"/>
/B.T.L./	3	2004247980	JP	A	2004-09-02		CITED IN ISR	<input type="checkbox"/>

**INFORMATION DISCLOSURE  
STATEMENT BY APPLICANT**  
( Not for submission under 37 CFR 1.99)

Application Number	12674221
Filing Date	2010-02-19
First Named Inventor	RISATO OHHIRA
Art Unit	12674221 - GAU: 2817
Examiner Name	B. Lee
Attorney Docket Number	J-10-0077

/B.T.L./	4	2005094445	JP	A	2005-04-07		CITED IN ISR	<input type="checkbox"/>
----------	---	------------	----	---	------------	--	--------------	--------------------------

If you wish to add additional Foreign Patent Document citation information please click the Add button

**NON-PATENT LITERATURE DOCUMENTS**

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T <sup>5</sup>
/B.T.L./	1	INTERNATIONAL SEARCH REPORT for PCT/JP2008/063283 mailed October 28, 2008	<input type="checkbox"/>

If you wish to add additional non-patent literature document citation information please click the Add button

**EXAMINER SIGNATURE**

Examiner Signature	/Benny Lee/	Date Considered	03/21/2012
--------------------	-------------	-----------------	------------


\*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> See Kind Codes of USPTO Patent Documents at [www.USPTO.GOV](http://www.USPTO.GOV) or MPEP 901.04. <sup>2</sup> Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). <sup>3</sup> For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. <sup>4</sup> Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. <sup>5</sup> Applicant is to place a check mark here if English language translation is attached.

<p><b><i>Index of Claims</i></b></p> 	<b>Application/Control No.</b> 12674221	<b>Applicant(s)/Patent Under Reexamination</b> OHHIRA, RISATO
	<b>Examiner</b> BENNY LEE	<b>Art Unit</b> 2817

✓	<b>Rejected</b>	-	<b>Cancelled</b>	N	<b>Non-Elected</b>	A	<b>Appeal</b>
=	<b>Allowed</b>	÷	<b>Restricted</b>	I	<b>Interference</b>	O	<b>Objected</b>

<input type="checkbox"/> Claims renumbered in the same order as presented by applicant		<input type="checkbox"/> CPA		<input type="checkbox"/> T.D.		<input type="checkbox"/> R.1.47			
CLAIM		DATE							
Final	Original	03/21/2012							
	1	✓							
	2	✓							
	3	✓							
	4	✓							
	5	✓							
	6	✓							
	7	✓							
	8	✓							
	9	✓							
	10	✓							
	11	✓							
	12	✓							

<b><i>Search Notes</i></b>  	<b>Application/Control No.</b>  12674221	<b>Applicant(s)/Patent Under Reexamination</b>  OHHIRA, RISATO
	<b>Examiner</b>  BENNY LEE	<b>Art Unit</b>  2817

<b>SEARCHED</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>
333	246, 238, 33	16 March 2012	BTL

<b>SEARCH NOTES</b>		
<b>Search Notes</b>	<b>Date</b>	<b>Examiner</b>

<b>INTERFERENCE SEARCH</b>			
<b>Class</b>	<b>Subclass</b>	<b>Date</b>	<b>Examiner</b>

--	--



# UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/674,221	02/19/2010	Risato Ohhira	J-10-0077

**CONFIRMATION NO. 5037**

## PUBLICATION NOTICE



\*OC000000047999579\*

71799  
Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039

**Title:**HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD

**Publication No.**US-2011-0128100-A1

**Publication Date:**06/02/2011

## NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at [www.uspto.gov](http://www.uspto.gov). The direct link to access the publication is currently <http://www.uspto.gov/patft/>.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at [www.uspto.gov](http://www.uspto.gov) using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently <http://pair.uspto.gov/>. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

# PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number  
12/674,221

## APPLICATION AS FILED - PART I

(Column 1)		(Column 2)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
FOR	NUMBER FILED	NUMBER EXTRA	RATE(\$)	FEE(\$)		RATE(\$)	FEE(\$)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	330
SEARCH FEE (37 CFR 1.16(k), (l), or (m))	N/A	N/A	N/A			N/A	430
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	220
TOTAL CLAIMS (37 CFR 1.16(j))	12 minus 20 =	*			OR	x 52 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2 minus 3 =	*				x 220 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$270 (\$135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	980

## APPLICATION AS AMENDED - PART II

(Column 1)		(Column 2)	(Column 3)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
AMENDMENT A	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)		RATE(\$)	ADDITIONAL FEE(\$)
Total (37 CFR 1.16(i))	*	Minus	**	=		OR	x	=
Independent (37 CFR 1.16(h))	*	Minus	***	=		OR	x	=
Application Size Fee (37 CFR 1.16(s))						OR		
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						OR		
				TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

(Column 1)		(Column 2)	(Column 3)	SMALL ENTITY		OR	OTHER THAN SMALL ENTITY	
AMENDMENT B	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)		RATE(\$)	ADDITIONAL FEE(\$)
Total (37 CFR 1.16(i))	*	Minus	**	=		OR	x	=
Independent (37 CFR 1.16(h))	*	Minus	***	=		OR	x	=
Application Size Fee (37 CFR 1.16(s))						OR		
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						OR		
				TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

\* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

\*\* If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

\*\*\* If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

U.S. APPLICATION NUMBER NO.	FIRST NAMED APPLICANT	ATTY. DOCKET NO.
12/674,221	Risato Ohhira	J-10-0077

71799

Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039

INTERNATIONAL APPLICATION NO.

PCT/JP2008/063283

I.A. FILING DATE	PRIORITY DATE
07/24/2008	09/18/2007

**CONFIRMATION NO. 5037**  
**371 ACCEPTANCE LETTER**



Date Mailed: 02/24/2011

**NOTICE OF ACCEPTANCE OF APPLICATION UNDER 35 U.S.C 371 AND 37 CFR 1.495**

The applicant is hereby advised that the United States Patent and Trademark Office in its capacity as a Designated / Elected Office (37 CFR 1.495), has determined that the above identified international application has met the requirements of 35 U.S.C. 371, and is ACCEPTED for national patentability examination in the United States Patent and Trademark Office.

The United States Application Number assigned to the application is shown above and the relevant dates are:

02/19/2010  
DATE OF RECEIPT OF 35 U.S.C. 371(c)(1),  
(c)(2) and (c)(4) REQUIREMENTS

03/18/2010  
DATE OF COMPLETION OF ALL  
35 U.S.C. 371 REQUIREMENTS

A Filing Receipt (PTO-103X) will be issued for the present application in due course. **THE DATE APPEARING ON THE FILING RECEIPT AS THE " FILING DATE" IS THE DATE ON WHICH THE LAST OF THE 35 U.S.C. 371 (c)(1), (c)(2) and (c)(4) REQUIREMENTS HAS BEEN RECEIVED IN THE OFFICE. THIS DATE IS SHOWN ABOVE.** *The filing date of the above identified application is the international filing date of the international application (Article 11(3) and 35 U.S.C. 363).* Once the Filing Receipt has been received, send all correspondence to the Group Art Unit designated thereon.

The following items have been received:

- Copy of the International Application filed on 02/19/2010
- English Translation of the IA filed on 02/19/2010
- Copy of the International Search Report filed on 02/19/2010
- Preliminary Amendments filed on 02/19/2010
- Information Disclosure Statements filed on 02/22/2010
- Oath or Declaration filed on 02/19/2010
- U.S. Basic National Fees filed on 02/19/2010
- Priority Documents filed on 02/19/2010
- Non-English Language Application filed on 02/19/2010

Applicant is reminded that any communications to the United States Patent and Trademark Office must be mailed to the address given in the heading and include the U.S. application no. shown above (37 CFR 1.5)

DIAN S GORDON

---

Telephone: (571) 272-3915

<div>MULTIPLE DEPENDENT CLAIM FEE CALCULATION SHEET</div> <div>Substitute for Form PTO-1360 (For use with Form PTO/SB/06)</div>							Application Number		Filing Date				
							12674221						
							Applicant(s) RISATO OHHIRA						
							* May be used for additional claims or amendments						
CLAIMS	AS FILED		AFTER FIRST AMENDMENT		AFTER SECOND AMENDMENT			*		*		*	
	Indep	Depend	Indep	Depend	Indep	Depend		Indep	Depend	Indep	Depend	Indep	Depend
1	1		1					51					
2	1		1					52					
3		2		1				53					
4		( 1 )		1				54					
5		( 1 )		1				55					
6		( 1 )		1				56					
7		( 1 )		1				57					
8		( 1 )		1				58					
9		( 1 )		1				59					
10		( 1 )		1				60					
11		( 1 )		1				61					
12		( 1 )		1				62					
13								63					
14								64					
15								65					
16								66					
17								67					
18								68					
19								69					
20								70					
21								71					
22								72					
23								73					
24								74					
25								75					
26								76					
27								77					
28								78					
29								79					
30								80					
31								81					
32								82					
33								83					
34								84					
35								85					
36								86					
37								87					
38								88					
39								89					
40								90					
41								91					
42								92					
43								93					
44								94					
45								95					
46								96					
47								97					
48								98					
49								99					
50								100					
Total Indep	2		2		0								
Total Depend	11		10		0								
Total Claims	13		12		0								



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE  
United States Patent and Trademark Office  
Address: COMMISSIONER FOR PATENTS  
P.O. Box 1450  
Alexandria, Virginia 22313-1450  
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO	TOT CLAIMS	IND CLAIMS
12/674,221	02/19/2010		980	J-10-0077	12	2

CONFIRMATION NO. 5037

71799

Mr. Jackson Chen  
6535 N. STATE HWY 161  
IRVING, TX 75039

FILING RECEIPT



\*OC00000046122855\*

Date Mailed: 02/24/2011

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

**Applicant(s)**

Risato Ohhira, Tokyo, JAPAN;

**Power of Attorney:**

Jackson Chen--36104

**Domestic Priority data as claimed by applicant**

This application is a 371 of PCT/JP2008/063283 07/24/2008

**Foreign Applications** (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see <http://www.uspto.gov> for more information.)  
JAPAN 2007-241104 09/18/2007

**If Required, Foreign Filing License Granted:** 02/20/2011

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 12/674,221**

**Projected Publication Date:** 06/02/2011

**Non-Publication Request:** No

**Early Publication Request:** No

**Title**

HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD

**Preliminary Class****PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES**

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

**LICENSE FOR FOREIGN FILING UNDER****Title 35, United States Code, Section 184****Title 37, Code of Federal Regulations, 5.11 & 5.15****GRANTED**

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as

set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

#### **NOT GRANTED**

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

<b>INFORMATION DISCLOSURE STATEMENT BY APPLICANT</b> ( Not for submission under 37 CFR 1.99)	Application Number		12674221
	Filing Date		2010-02-19
	First Named Inventor	RISATO OHHIRA	
	Art Unit		
	Examiner Name		
	Attorney Docket Number	J-10-0077	

U.S. PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code <sup>1</sup>	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

U.S. PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code <sup>1</sup>	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button.

FOREIGN PATENT DOCUMENTS								
Examiner Initial*	Cite No	Foreign Document Number <sup>3</sup>	Country Code <sup>2i</sup>	Kind Code <sup>4</sup>	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T <sup>5</sup>
	1	2003133472	JP	A	2003-05-09		CITED IN SPECIFICATION	<input type="checkbox"/>
	2	2004320109	JP	A	2004-11-11		CITED IN SPECIFICATION	<input type="checkbox"/>
	3	2004247980	JP	A	2004-09-02		CITED IN ISR	<input type="checkbox"/>

**INFORMATION DISCLOSURE  
STATEMENT BY APPLICANT**  
( Not for submission under 37 CFR 1.99)

Application Number		12674221
Filing Date		2010-02-19
First Named Inventor	RISATO OHHIRA	
Art Unit		
Examiner Name		
Attorney Docket Number		J-10-0077

4	2005094445	JP	A	2005-04-07		CITED IN ISR	<input type="checkbox"/>
---	------------	----	---	------------	--	--------------	--------------------------

If you wish to add additional Foreign Patent Document citation information please click the Add button

**NON-PATENT LITERATURE DOCUMENTS**

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T <sup>5</sup>
	1	INTERNATIONAL SEARCH REPORT for PCT/JP2008/063283 mailed October 28, 2008	<input type="checkbox"/>

If you wish to add additional non-patent literature document citation information please click the Add button

**EXAMINER SIGNATURE**

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

\*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

<sup>1</sup> See Kind Codes of USPTO Patent Documents at [www.USPTO.GOV](http://www.USPTO.GOV) or MPEP 901.04. <sup>2</sup> Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). <sup>3</sup> For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. <sup>4</sup> Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. <sup>5</sup> Applicant is to place a check mark here if English language translation is attached.

**INFORMATION DISCLOSURE  
STATEMENT BY APPLICANT**  
( Not for submission under 37 CFR 1.99)

Application Number	12674221
Filing Date	2010-02-19
First Named Inventor	RISATO OHHIRA
Art Unit	
Examiner Name	
Attorney Docket Number	J-10-0077

**CERTIFICATION STATEMENT**

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

**OR**

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ None

**SIGNATURE**

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Jackson Chen/	Date (YYYY-MM-DD)	2010-02-19
Name/Print	Jackson Chen	Registration Number	36,104

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-133472

(43)Date of publication of application : 09.05.2003

(51)Int.Cl. H01L 23/12  
H01P 1/04  
H01P 3/02  
H01P 5/08  
H05K 3/46

(21)Application number : 2001-329150

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 26.10.2001

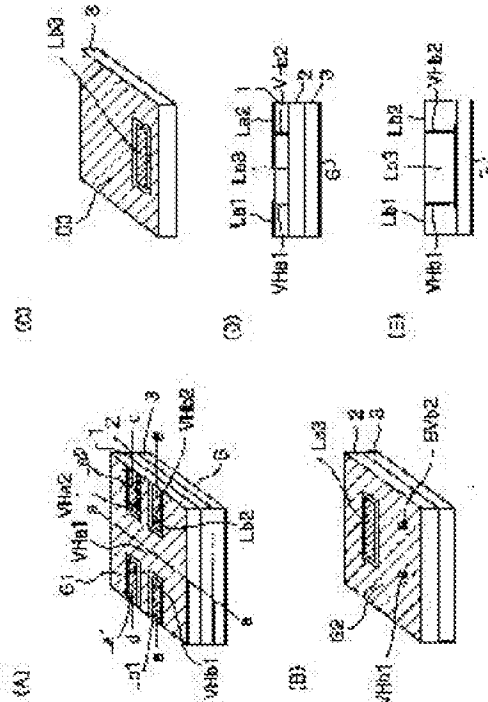
(72)Inventor : TSUKIYAMA YOSHIO  
SAKAMOTO YORIBUMI  
SHIOBARA MASATO  
YAMAMOTO HISAFUMI

## (54) WIRING BOARD FOR HIGH FREQUENCY SIGNAL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce crosstalk between adjacent signal line systems even in case of signals in sub-millimetric wave band and millimetric wave band.

**SOLUTION:** Signal lines La1, La2, Lb1 and Lb2 are formed on the upper surface of an upper dielectric layer 1, and signal lines La3 and Lb3 are formed on the upper surface of intermediate and lower dielectric layers 2 and 3. The signal line La3 is connected electrically with the signal lines La1 and La2 through conductive vias VHa1 and VHa2 penetrating the upper dielectric layer 1, and the signal line Lb3 is connected electrically with the signal lines Lb1 and Lb2 through conductive vias VHb1 and VHb2 penetrating the upper dielectric layer 1 and the intermediate dielectric layer 2. Ground electrodes G1, G2, G3, and G are formed on the upper surface of the upper, intermediate and lower dielectric layers and the lower surface of the lower dielectric layer and each line system is formed of a coplanar line. Since the adjacent line systems are connected through the signal lines La3 and Lb3 provided at different depth, mutual interference due to electromagnetic radiation is retarded and crosstalk is reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-133472

(P2003-133472A)

(43) 公開日 平成15年5月9日(2003.5.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テグコード(参考)
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12	3 0 1 Z 5 E 3 4 6
H 0 1 P 1/04		H 0 1 P 1/04	5 J 0 1 1
		3/02	
		5/08	L
		H 0 5 K 3/46	N

審査請求 未請求 請求項の数10 ○L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-329150(P2001-329150)

(22) 出願日 平成13年10月26日(2001.10.26)

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 築山 良男

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社エレクトロニクス技術研究所内

(72) 発明者 阪本 頼史

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社エレクトロニクス技術研究所内

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

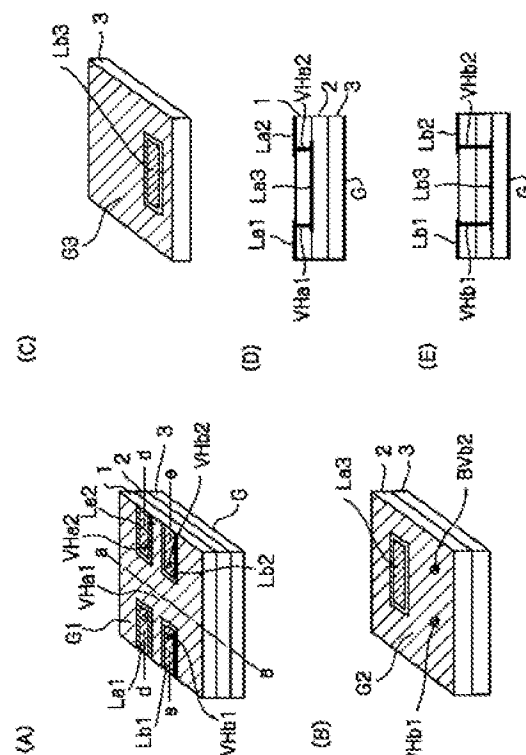
最終頁に続く

(54) 【発明の名称】 高周波信号用の配線基板

(57) 【要約】

【課題】 準ミリ波帯及びミリ波帯の信号であっても隣接する信号線路系間のクロストークを低減する。

【解決手段】 上部誘電体層1の上面に信号線路La1、La2、Lb1、Lb2が形成され、中間及び下部誘電体層2、3の上面に信号線路La3、Lb3が形成される。信号線路La3は上部誘電体層1を貫通する導電性ビアVHa1及びVHa2を介して信号線路La1とLa2とを電気的に接続し、信号線路Lb3は上部誘電体層1及び中間誘電体層2を貫通する導電性ビアVHb1及びVHb2を介して信号線路Lb1とLb2とを電気的に接続する。上部、中間及び下部誘電体層の上面、並びに下部誘電体層の下面には、グラウンド電極G1、G2、G3、Gが形成され、各線路系はコプレーナ線路で形成される。隣接する線路系が異なる深さに設けられた信号線路La3及びLb3により接続されるので、電磁放射等による相互干渉を受けにくくクロストークが低減される。



## 【特許請求の範囲】

【請求項 1】 複数の信号線路系を備えた高周波信号用の配線基板において、

各信号線路系は、その入力端及び出力端の間が、導電性ビアによって電気的に接続された複数の信号線路に分割されており、

複数の信号線路系は、それぞれの入力端から延在する入力側信号線路及び出力端から延在する出力側信号線路の少なくとも一方が、配線基板の表面に配置されており、隣接する 2 つの信号線路系において、入力側信号線路と導電性ビアによって接続された信号線路が、配線基板の表面から相互に異なる深さに配置され、かつ出力側信号線路と導電性ビアによって接続された信号線路が、配線基板の表面から相互に異なる深さに配置されていることを特徴とする配線基板。

【請求項 2】 請求項 1 記載の配線基板において、該配線基板は、積層された上部誘電体層、中間誘電体層、及び下部誘電体層からなり、

複数の信号線路系の入力側信号線路及び出力側信号線路が、配線基板の表面となる上部誘電体層の上面に形成され、

隣接する信号線路系の一方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、中間誘電体層の上面に形成され、

隣接する信号線路系の他方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が下部誘電体層の上面に形成され、

上部誘電体層の上面に、信号線路の周囲にギャップを介してグラウンド電極が形成され、

配線基板の裏面となる下部誘電体層の下面全面にグラウンド電極が形成されていることを特徴とする配線基板。

【請求項 3】 請求項 1 記載の配線基板において、該配線基板は、積層された上部誘電体層、中間誘電体層、及び下部誘電体層からなり、

複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面となる上部誘電体層の上面に形成され、

複数の信号線路系の入力側信号線路及び出力側信号線路の他方が、配線基板の裏面となる下部誘電体層の下面に形成され、

隣接する信号線路系の一方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、中間誘電体層の上面に形成され、

隣接する信号線路系の他方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、

上部誘電体層の上面及び下部誘電体層の下面に、信号線路の周囲にギャップを介してグラウンド電極が形成されていることを特徴とする配線基板。

【請求項 4】 請求項 1 記載の配線基板において、

該配線基板は、積層された上部誘電体層及び下部誘電体層からなり、

複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面となる上部誘電体層の上面に形成され、

複数の信号線路系の入力側信号線路及び出力側信号線路の他方が、配線基板の裏面となる下部誘電体層の下面に形成され、

隣接する信号線路系の一方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、

隣接する信号線路系の他方の信号線路系において、入力側信号線路と出力側信号線路とが導電性ビアを介して直接接続され、

上部誘電体層の上面及び下部誘電体層の下面に、信号線路の周囲にギャップを介してグラウンド電極が形成されていることを特徴とする配線基板。

【請求項 5】 請求項 2 又は 3 記載の配線基板において、該配線基板はさらに、中間誘電体層の上面及び下部誘電体層の上面に、信号線路の周囲にギャップを介して形成されたグラウンド電極を備えていることを特徴とする配線基板。

【請求項 6】 請求項 4 記載の配線基板において、該配線基板はさらに、下部誘電体層の上面に、信号線路の周囲にギャップを介して形成されたグラウンド電極を備えていることを特徴とする配線基板。

【請求項 7】 請求項 2～6 いずれかに記載の配線基板において、上部誘電体層から下部誘電体層まで貫通し、下部誘電体層の下面のグラウンド電極に接続された複数の導電性ビアを備えていることを特徴とする配線基板。

【請求項 8】 請求項 1～7 いずれかに記載の配線基板において、該配線基板は、IC チップを外部回路に接続するためのものであり、配線基板はさらに、

配線基板を貫通し、IC チップを実装するための貫通孔と、

配線基板の裏面に積層されたベース基板であって、その上面に IC チップを配置するベース基板と、

配線基板の表面に設けられ、装着された IC チップを封止するための封止リングと、

封止リングに装着される蓋とを備えていることを特徴とする配線基板。

【請求項 9】 請求項 8 記載の配線基板において、ベース基板は、IC チップを冷却するための放熱材料で構成されていることを特徴とする配線基板。

【請求項 10】 請求項 8 又は 9 記載の配線基板において、該配線基板は、矩形形状であり、貫通孔の周囲の 4 辺の少なくとも 1 辺に、複数の信号線路系が形成されていることを特徴とする配線基板。

【発明の詳細な説明】

【0001】

【発明の技術分野】本発明は、高周波用配線基板に関し、より詳細には、準ミリ波帯及びミリ波帯の高周波信号を送送する信号線路を組み込んだ配線基板に関する。なお、ここで、配線基板とは、回路基板の他、回路基板上にICチップを実装するための領域、封止リング及び蓋などを備えたIC収納用パッケージも含むものとする。

#### 【0002】

【従来の技術】図7は、特開平4-336702号公報に記載されている、従来例の高周波信号用の半導体装置を組み込むためのICパッケージを示している。該ICパッケージは、パッケージ基板1、パッケージ側壁2、及び封止蓋3によってキャビティが構成され、該キャビティ内に、ICチップを実装するダイボンディング領域4と、高周波伝送線路を構成する内部コプレーナ線路20が形成された誘電体基板6とが設けられている。そして、パッケージ基板1の底面部にリード端子を構成する外部コプレーナ線路10が設けられ、外部コプレーナ線路10と内部コプレーナ線路20との接地金属薄膜8、18同士及び信号線金属薄膜9、19同士を、パイアホール11によって電気的に接続している。この従来例においては、信号線路をコプレーナ線路すなわちコプレーナ・ウェーブガイド構造によって形成しているため、信号周波数が高周波帯中の比較的低い周波数である場合には、隣接する信号線路のアイソレーションを確保することができる。

【0003】一方、オプトエレクトロニクス分野のマルチプレクサ、デマルチプレクサ、ドライバ等のICにおいては、数10kHzから準ミリ波帯（10～30GHz）あるいはミリ波帯（30～300GHz）までの信号をフラットに伝送する信号線が要求されるようになってきた。また、オプトエレクトロニクス分野に限らず、種々のICにおいても同様に、高周波帯域化が図られてきている。このような準ミリ波帯～ミリ波帯、又はこれら周波数帯を含んだブロードバンド又はウルトラワイドバンドの信号を処理するICを基板上に形成してパッケージ化した場合、図7に示した従来例のパッケージのように、内部信号線路及び外部信号線路をコプレーナ線路で形成したとしても、必ずしも、隣接配置される複数の信号線路間に十分なアイソレーションが得られるものではなく、クロストークが発生してしまう。このクロストークの問題は、近年の電子デバイスの小型化及び高密度化によって、基板上の信号線路間隔がより狭く設定されていることから、より切実な問題となっている。特に、基板信号線路の間隔が $\lambda/\sqrt{\epsilon_r}$ （ $\lambda$ ：伝送信号の空気中における波長、 $\epsilon_r$ ：基板の比誘電率）以下で、隣接している距離が $\lambda/(2\sqrt{\epsilon_r})$ 以上におよぶ場合、クロストークの問題は無視できなくなり、そして、信号線路の間隔が $\lambda/(2\sqrt{\epsilon_r})$ 以下になると、クロストークは非常に顕著になってくる。

【0004】また、図7の従来例のICパッケージにおいては、パッケージ基板1の裏面に形成された外部接続端子である接地線金属薄膜8及び信号線金属薄膜9を、パッケージ基板1及び誘電体基板6を通して形成されるパイアホール11を介して、ダイボンディング領域4に実装されるICチップに接続しており、このため、パッケージ基板1の裏面全面を接地電極とすることができない。したがって、ICチップの冷却用のヒートスラグをパッケージ基板1の裏面に取り付ける場合に、接地金属薄膜8と信号線金属薄膜9とのショートを防止するように取り付ける必要があり、よって、ヒートスラグを小型化せざるを得ず、十分な冷却効果を得ることが困難である。また、場合によっては、ヒートスラグを取り付けること自体が困難である。

【0005】別の従来例として、複数の隣接信号線路間のクロストークを低減させるために、信号線路をコプレーナ線路で形成し、かつ、誘電体基板を多層に形成してその内層にも接地電極を形成した高周波配線基板も提案されている。しかしながら、この従来例においても、準ミリ波帯～ミリ波帯の信号用に該配線基板を用いた場合には、信号線路間のクロストークの問題が生じてしまう恐れがあり、また、図7のICパッケージと同様に、基板の裏面全体を接地電位とすることができないため、ヒートスラグの取り付けも困難である。

【0006】本発明は、上記したような従来例の問題点に鑑みてなされたものであり、その目的は、高周波信号を処理するICチップを実装する基板において、信号が準ミリ波帯～ミリ波帯の信号であっても、隣接する信号線路間のクロストークを低減することができるようにすることである。本発明の他の目的は、高周波信号を処理するICチップを実装する基板において、放熱用のヒートスラグを容易に取り付けられるようにすることである。

#### 【0007】

【課題を解決するための手段】上記した目的を達成するために、本発明に係る、複数の信号線路系を備えた高周波信号用の配線基板においては、各信号線路系は、その入力端及び出力端の間が、導電性ビアによって電気的に接続された複数の信号線路に分割されており、複数の信号線路系は、それぞれの入力端から延在する入力側信号線路及び出力端から延在する出力側信号線路の少なくとも一方が、配線基板の表面に配置されており、隣接する2つの信号線路系において、入力側信号線路と導電性ビアによって接続された信号線路が、配線基板の表面から相互に異なる深さに配置され、かつ出力側信号線路と導電性ビアによって接続された信号線路が、配線基板の表面から相互に異なる深さに配置されていることを特徴としている。

【0008】本発明に係る配線基板の好適な実施形態においては、配線基板は、積層された上部誘電体層、中間

誘電体層、及び下部誘電体層からなり、複数の信号線路系の入力側信号線路及び出力側信号線路が、配線基板の表面となる上部誘電体層の上面に形成され、隣接する信号線路系の一方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、中間誘電体層の上面に形成され、隣接する信号線路系の他方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が下部誘電体層の上面に形成され、上部誘電体層の上面に、信号線路の周囲にギャップを介してグラウンド電極が形成され、配線基板の裏面となる下部誘電体層の下面全面にグラウンド電極が形成されていることを特徴としている。

【0009】本発明に係る配線基板の他の好適な実施形態においては、配線基板は、積層された上部誘電体層、中間誘電体層、及び下部誘電体層からなり、複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面となる上部誘電体層の上面に形成され、複数の信号線路系の入力側信号線路及び出力側信号線路の他方が、配線基板の裏面となる下部誘電体層の下面に形成され、隣接する信号線路系の一方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、中間誘電体層の上面に形成され、隣接する信号線路系の他方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、上部誘電体層の上面及び下部誘電体層の下面に、信号線路の周囲にギャップを介してグラウンド電極が形成されていることを特徴としている。

【0010】これら2つの実施形態においては、中間誘電体層の上面及び下部誘電体層の上面に、信号線路の周囲にギャップを介して形成されたグラウンド電極を備え、かつ、これらのグラウンド電極が、上部誘電体層から下部誘電体層まで貫通する複数の導電性ビアによって、下部誘電体層の下面のグラウンド電極に接続されていることが好ましい。

【0011】本発明に係る配線基板の別の好適な実施形態においては、配線基板は、積層された上部誘電体層及び下部誘電体層からなり、複数の信号線路系の入力側信号線路及び出力側信号線路の一方が、配線基板の表面となる上部誘電体層の上面に形成され、複数の信号線路系の入力側信号線路及び出力側信号線路の他方が、配線基板の裏面となる下部誘電体層の下面に形成され、隣接する信号線路系の一方の信号線路系において、入力側信号線路と出力側信号線路とを導電性ビアを介して接続する信号線路が、下部誘電体層の上面に形成され、隣接する信号線路系の他方の信号線路系において、入力側信号線路と出力側信号線路とが導電性ビアを介して直接接続され、上部誘電体層の上面及び下部誘電体層の下面に、信号線路の周囲にギャップを介してグラウンド電極が形成さ

れていることを特徴としている。この実施形態においては、下部誘電体層の上面に、信号線路の周囲にギャップを介して形成されたグラウンド電極を備え、かつ、該グラウンド電極が、上部誘電体層から下部誘電体層まで貫通する導電性ビアによって、下部誘電体層の下面のグラウンド電極に接続されていることが好ましい。

【0012】本発明に係る上記した配線基板はさらに、配線基板を貫通し、ICチップを実装するための貫通孔と、配線基板の裏面に積層されたベース基板であって、その上面にICチップを配置するベース基板と、配線基板の表面に設けられ、装着されたICチップを封止するための封止リングと、封止リングに装着される蓋とを備えていることを特徴とし、ICチップを外部回路に接続するために用いることができる。この場合、ベース基板は、ICチップを冷却するための放熱材料で構成されていることが好ましい。

【0013】

【発明の実施の態様】図1は、本発明に係る、ICチップと外部接続端子とを接続するための信号線路が形成された高周波信号用の配線基板の第1の実施形態を示している。図1の(A)の斜視図に示すように、第1の実施形態の高周波用配線基板は、上部誘電体層1、中間誘電体層2、及び下部誘電体層3の3層構造に形成されている。図1において、(B)及び(C)はそれぞれ、中間誘電体層2及び下部誘電体層3の上面に形成された信号線路を説明するための斜視図であり、(D)及び(E)は、(A)におけるd-d線及びe-e線の断面図である。

【0014】配線基板の上面すなわち上部誘電体層1の上面には、図1の(A)に示すように、信号線路La1、La2、Lb1、及びLb2が形成され、上部誘電体層1の中心線a-aに対して、信号線路La1及びLa2がほぼ線対称に、また信号線路Lb1及びLb2もほぼ線対称に配置されている。なお、これらを必ずしも線対称にする必要がない。すなわち、信号線路La1、La2、Lb1及びLb2が総て異なる長さであっても、任意の複数が同一長さであってもよい。上部誘電体層1の信号線路以外の部分には、信号線路と所定幅のギャップを介して、導電膜G1が形成され、該導電膜G1は、適宜の手段により、グラウンド電位に保持される。これにより、これら4つの信号線路は、コプレーナ線路の形態で構成され、クロストークが低減される。信号線路La1及びLb1をICチップのリード端子接続用とし、信号線路La2及びLb2を外部端子接続用とするか、または、その逆に用いる。

【0015】一方、中間誘電体層2の上面には、図1の(B)に示すように、信号線路La3が形成され、下部誘電体層3の上面には、図1の(C)に示すように、信号線路Lb3が形成されている。信号線路La3は、図1の(A)及び(D)に示すように、上部誘電体層1を

貫通して設けられた、導電体が充填されたパイアホールすなわち導電性ビアVHa 1及びVHa 2を介して、信号線路La 1とLa 2とを電気的に接続し、信号線路系aを構成する。信号線路Lb 3は、図1の(A)及び

(E)に示すように、上部誘電体層1及び中間誘電体層2を貫通して設けられた、導電性ビアVHb 1及びVHb 2を介して、信号線路Lb 1とLb 2とを電気的に接続し、信号線路系bを構成する。下部誘電体層3の下面には、その全面にグランド電極Gが形成されている。全面がグランド電極であるため、ICチップより発生する熱を放熱するためのヒートスラグを容易に装着することができる。

【0016】中間誘電体層2及び下部誘電体層3の上面に形成される信号線路La 3及びLb 3はそれぞれ、適宜の長さに設定される。信号線路系a又は信号線路系bそれぞれの単独の伝送特性において、それぞれのビア間の相互干渉を低減するために、ビアVHa 1とVHa 2との距離、及びビアVHb 1とVHb 2との距離はそれぞれ、基板厚さの2倍以上離間させることが好ましい。また、中間誘電体層2及び下部誘電体層3の上面の信号線路La 3及びLb 3以外の部分には、所定幅のギャップを介して導電膜G 2及びG 3が形成され、これら導電膜G 2及びG 3も、適宜の手段により、グランド電位に保持されてグランド電極を構成する。これにより、信号線路La 3及びLb 3もコプレーナ線路で形成される。なお、クロストークに関してはコプレーナ線路で形成することが好ましいが、インピーダンス整合に関してはストリップ線路で形成することが好ましい。したがって、信号線路La 3及びLb 3に関しては、必要な伝送特性等を考慮して、適宜の線路形態で構成すればよい。

【0017】上記したように、2つの信号線路系a及びbは、導電性ビアを介して、異なる層、すなわち異なる深さ方向の位置に設けられた信号線路La 3及びLb 3により電気的に接続されているので、これら信号線路La 3及びLb 3の電磁放射等による相互干渉を受けにくい。したがって、クロストークが低減され、各信号線路系の高アイソレーションを確保することができる。

【0018】図2の(A)～(C)は、本発明に係る配線基板の第2の実施形態を示している。第2の実施形態は、図1に示した第1の実施形態に、さらに、上部誘電体層1、中間誘電体層2、及び下部誘電体層3を共に貫通し、下部誘電体層3の下面のグランド電極Gに電気的に接続された導電体を充填した複数のグランドビアGVを追加している。これにより、上部誘電体層1、中間誘電体層2、及び下部誘電体層3それぞれの上部表面に形成された導電膜G 1、G 2、及びG 3は、グランドビアGVを介して基板下面のグランド電極Gと電気的に接続され、グランド電極と同電位すなわちグランド電位となる。グランドビアGVは、信号線路系a及びbの長手方向と平行な列上に、各信号線路系を挟んで配置されてい

る。各グランドビアGVは、信号線路の中心と少なくとも所定の間隔w、離間して配置されており、また、各列において、グランドビアGVは、一定の離間間隔dで配置されている。

【0019】基板を構成する誘電体層の比誘電率を $\epsilon_r$ 、信号線路系を伝搬する最も高い高周波信号の空気中における波長を $\lambda$ とすると、グランドビアGVの相互の間隔dは、

$$d < \lambda / (2 \times \epsilon_r^{1/2})$$

を満足するように設定することが好ましい。このように設定することにより、信号線路から垂直方向に放射された高周波信号がグランドビアGVの間隔から漏れ出すことを防止することができるので、伝送特性をより高周波まで向上させることができる。また、信号線路とグランドビアGVとの間隔wは、

$$w < \lambda / (4 \times \epsilon_r^{1/2})$$

を満足するように形成することが好ましい。このように設定することにより、信号線路から垂直方向に放射された高周波信号により、グランドビアGVまでの距離に起因して生じる共振の発生を防止することができる。したがって、 $\lambda$ 以上の波長による共振を防止することができる。0Hzから波長 $\lambda$ に相当する最も高い高周波まで、フラットに信号を伝送することができる。

【0020】図2に示した第2の実施形態に基づいて形成された配線基板を用いて、2つの信号線路系のクロストーク特性を、TLM (Transmission Line Modeling) 法を用いた3次元電磁界シミュレーションを行った。このシミュレーションに採用した配線基板の構成は、以下の通りである。

- ・基板（上部誘電体層1及び下部誘電体層2）の比誘電率 $\epsilon_r$ : 9.5
- ・基板の厚み: 0.3mm
- ・信号線路La 1、La 2、Lb 1、Lb 2の長さ: 0.9mm
- ・信号線路La 3、Lb 3の長さ: 2.8mm
- ・信号線路La 3の基板上面からの深さ: 0.1mm
- ・信号線路Lb 3の基板上面からの深さ: 0.2mm
- ・信号線路La 1、La 2、Lb 1、Lb 2の幅: 0.14mm
- ・信号線路La 3、Lb 3の幅: 0.1mm
- ・信号線路系aとbとの間隔: 0.8mm
- ・信号線路La 1、La 2、Lb 1、Lb 2と導電金属膜G 1との間のギャップ: 0.13mm
- ・信号線路La 3、Lb 3と導電金属膜G 2、G 3との間のギャップ: 0.21mm
- ・グランドビアGVの中心間隔(2w): 0.8mm
- ・ビアの形状: 0.13mm角の角柱

このシミュレーションの結果、図3の太線のグラフAで示したクロストーク特性が得られた。

【0021】また、本発明のクロストーク特性と比較す

るために、2つの信号線路系a及びbを同一構成とした配線基板(比較例)を用いて、TLM法による同様なシミュレーションを行った。このシミュレーションで用いた比較例の配線基板は、信号線路La3、Lb3とともに、基板上面からの深さが0.1mmの位置に形成した。その他の構成は、本発明の上記した例と同一である。この比較例を用いたシミュレーションの結果、図3の細線のグラフBで示したクロストーク特性が得られた。

【0022】図3のグラフA及びBを対比すると明らかに、本発明の実施例においては、80GHz近傍まで-30dB以上の高いアイソレーションが得られたが、比較例においては、60-75GHzの範囲において、2つの信号線路系a及びbのクロストークが生じており、十分なアイソレーションが得られていない。したがって、シミュレーションの結果、2以上の信号線路系を配線基板に平行に設けた場合、上部誘電体層1上の信号線路対を電気的に接続するための基板内面の信号線路の基板上面からの深さを、隣接する信号線路系で異ならせることにより、準ミリ波帯及びミリ波帯において、クロストークが改善されて十分なアイソレーションを確保可能であることが明らかである。

【0023】図1及び図2に示した第1及び第2の実施形態においては、2つの信号線路系a及びb(すなわち、信号線路La1、La3及びLa2の組と信号線路Lb1、Lb3及びLb2の組)を形成した例を示しているが、3以上の信号線路系a、b、c、…、設けてもよいことは言うまでもない。ただし、いずれの場合でも、配線基板の内面に形成された信号線路の基板表面からの深さを、隣接する信号線路系で異ならせる必要があることは言うまでもない。また、上記したように、上部誘電体層1の上面に形成された同一辺側の隣接する信号線路(2つの信号線路系a及びbの場合、信号線路La1とLb1、信号線路La2とLb2)を異なる長さとする事により、準ミリ波帯及びミリ波帯でのクロストーク発生を、より好適に低減することができる。

【0024】さらに、第1の実施形態で示した構成を、ICチップを実装する矩形状の配線基板の4辺中の少なくとも1辺に配置することにより、そのICチップと外部接続端子とを接続することができる。第2の実施形態についても同様である。さらに、第1の実施形態の構成及び第2の実施形態の構成を任意に選択して、矩形状の配線基板の4辺又は2辺に配置してもよい。図4は、このような例に相当する、本発明に係る配線基板の第3の実施形態を示している。図4において、(A)は配線基板の上部誘電体層1の上面図、(B)は中間誘電体層2の上面図、(C)は、下部誘電体層3の上面図、(D)及び(E)は、(A)の線d-d及び線e-eからみた場合の配線基板の断面図である。なお、(D)及び

(E)は、ICチップ4を基板の中央部に実装し、かつ

蓋体5を実装した状態で示している。6はヒートスラグであって、ベース基板として構成されている。

【0025】第3の実施形態においては、図4の(A)〜(E)に示すように、第2の実施形態の構成を、矩形状の配線基板の4辺に配置している。そして、左右の対向する2辺はそれぞれ2つ信号線路系を形成し、上下の対向する2辺はそれぞれ4つの信号線路系が形成されている。また、配線基板は、(D)及び(E)に示すように、上部誘電体層1、中間誘電体層2、下部誘電体層3、及びヒートスラグ6の積層構造で形成され、その中心部にはICチップ4を収納するためのキャビティ7が形成されている。さらに、上部誘電体層1上には封止リング8が形成され、該リング8上には蓋体5が装着されて、キャビティ7を封止する。封止リング8は、ICチップ4への接続用の内側の信号線路と外部接続用の外側の信号線路との間に形成されている。第3の実施形態も、第1及び第2の実施形態と同様に、準ミリ波帯及びミリ波帯において、隣接する信号線路系の間のクロストークを十分に低減することができるという作用効果を奏することができる。信号線路系の数が図示のものに限定されないことは、第1及び第2の実施形態の場合と同様である。なお、例えば、図4においては、信号線路のみを示したが、これら信号線路の一部をバイアス線路に置き換えてもよく、新たに信号線路以外の線路を追加してもよい。

【0026】図5は、本発明に係る配線基板の第4の実施形態を示しており、(A)は配線基板全体の斜視図、(B)は中間誘電体層2の上面からみた斜視図、(C)は下部誘電体層3の上面から見た斜視図、(D)は配線基板の裏面図である。第4の実施形態は、図3に示した第2の実施形態において、信号線路La2及びLb2を配線基板の裏面すなわち下部誘電体層3の下面に配置したものである。したがって、導電性ビアVHa2が中間誘電体層2及び下部誘電体層3のみを貫通して設けられて、信号線路La2とLa3とを接続し、導電性ビアVHb2が下部誘電体層3のみを貫通して設けられて、信号線路Lb2とLb3とを接続している。信号線路La2及びLb2を配線基板の表面に形成し、信号線路La1及びLb1を配線基板の裏面に形成してもよい。

【0027】図6は、本発明に係る配線基板の第5の実施形態を示している。第5の実施形態は、図5に示した第4の実施形態において、中間誘電体層2を削除して、上部誘電体層1と下部誘電体層3との2層構造とし、信号線路La3を下部誘電体層3の上面に形成し、信号線路Lb3を削除したものである。したがって、導電性ビアVHa2が下部誘電体層3のみを貫通して設けられて、信号線路La2とLa3とを接続し、導電性ビアVHb1が上部誘電体層1及び下部誘電体層3を貫通して設けられて、信号線路Lb1及びLb2を接続している。導電性ビアVHb2は不要となる。信号線路La1

及びLb1を配線基板の裏面に形成し、信号線路La2及びLb2を配線基板の表面に形成してもよい。また、信号線路La3の代わりに、信号線路Lb3を下部誘電体層3の上面に形成してもよい。

【0028】図5及び図6に示した第4及び第5の実施形態の信号線路の構成を、図4に示した第3の実施形態と同様に、ICパッケージを構成する矩形的配線基板の4辺に配置してもよい。また、第1、第2、第4、及び第5の実施形態の信号線路の形態から任意に選択して、矩形的配線基板の4辺に配置してもよい。第4及び第5の実施形態においては、配線基板の裏面に信号配線を形成しているため、図7に示した従来例に関して説明したように、ヒートスラグの装着が困難であるが、小型のヒートスラグを用いるか、又は他の任意の放熱方法を採用すればよい。

【0029】本発明は以上のように構成され、基板表面の信号線路に電気的に接続される基板内面又は基板裏面の信号線路を、その基板表面からの深さを隣接する信号線路系と異なるように形成しているため、準ミリ波帯及びミリ波帯の信号用であっても、電磁放射等による相互干渉を受けにくい。したがって、クロストークが低減され、各信号線路系の高アイソレーションを確保することができる。また、隣接する信号線路系の間、これら信号線路系に沿ってグラウンドビア列を設けた場合は、一層高いアイソレーションが得られ、また、高周波まで伝送可能である。さらに、基板表面及び基板内面の信号線路をコプレーナ線路で形成し、内面の導電金属膜をグラウンドビアによりグラウンド電極と同電位にした場合には、隣接する信号線路系のアイソレーションをより高度に確

保することができる。さらにまた、配線基板の裏面に信号線路を形成しない形態の場合は、裏面全体にグラウンド電極を形成することができるので、放熱用のヒートスラグを容易に装着することができる。

#### 【図面の簡単な説明】

【図1】本発明に係る配線基板の第1の実施形態を説明するための図である。

【図2】本発明に係る配線基板の第2の実施形態を説明するための図である。

【図3】第2の実施形態をシミュレーションした場合のアイソレーション特性を示すグラフである。

【図4】本発明に係る配線基板の第3の実施形態を説明するための図である。

【図5】本発明に係る配線基板の第4の実施形態を説明するための図である。

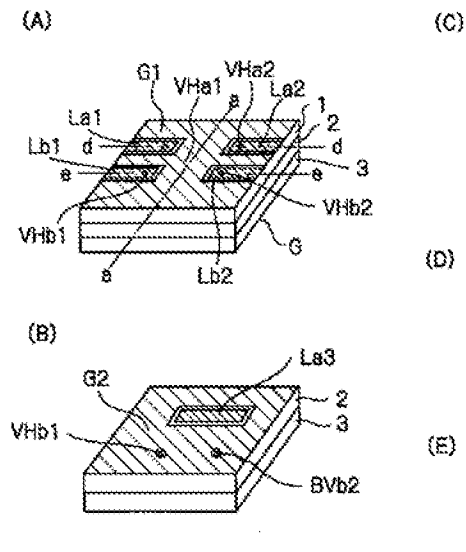
【図6】本発明に係る配線基板の第5の実施形態を説明するための図である。

【図7】従来例の配線基板を説明するための図である。

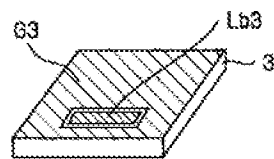
#### 【符号の簡単な説明】

1…上部誘電体層 2…中間誘電体層 3…下部誘電体層  
4…ICチップ 5…蓋 6…ヒートスラグ（ベース基板）  
7…キャビティ 8…封止リング  
La1～La3、Lb1～Lb3…信号線路  
G、G1、G2、G3…グラウンド電極 GV…グラウンドビア  
VHa1、VHa2、VHb1、VHb2…導電性ビア

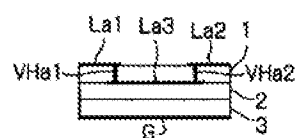
【図1】



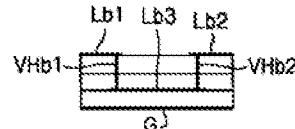
(C)



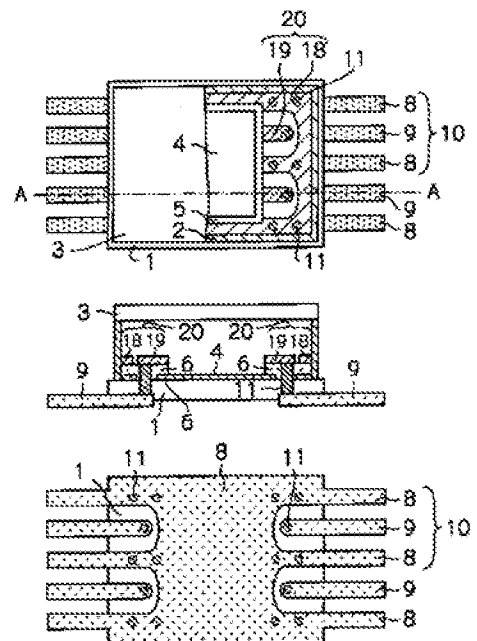
(D)



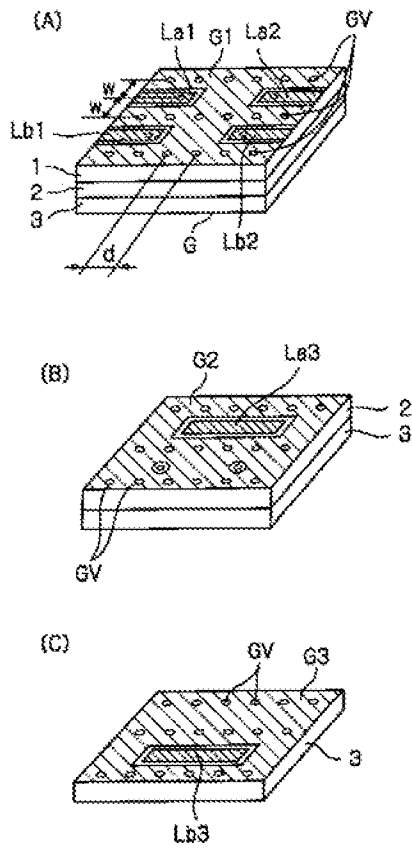
(E)



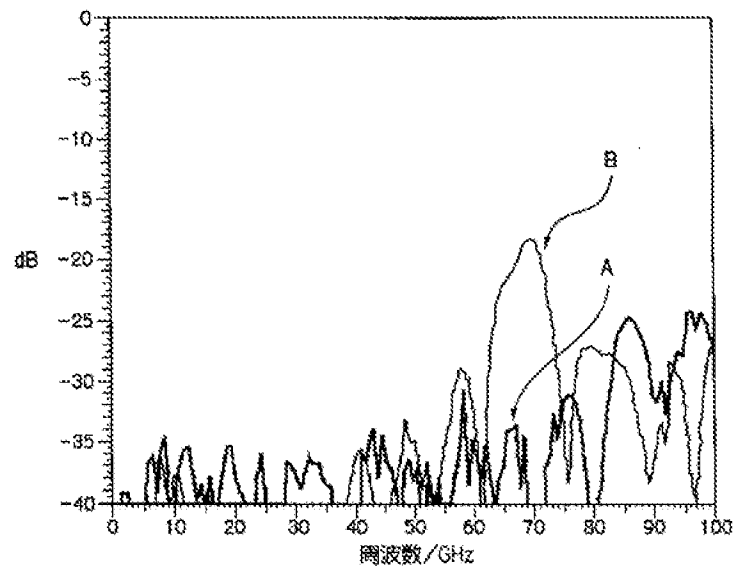
【図7】



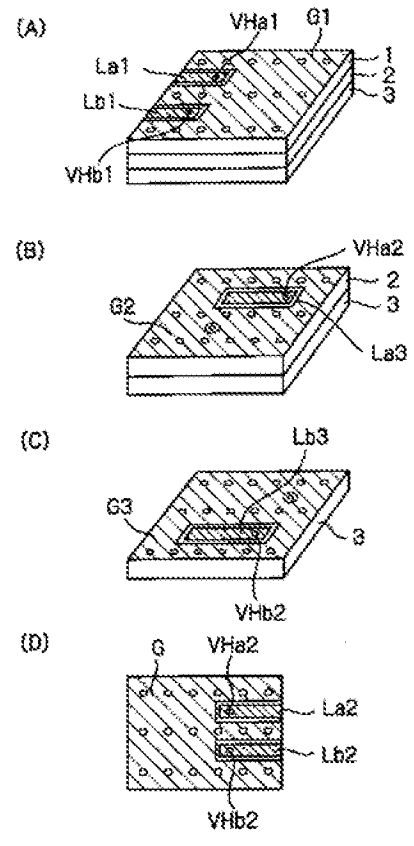
【図2】



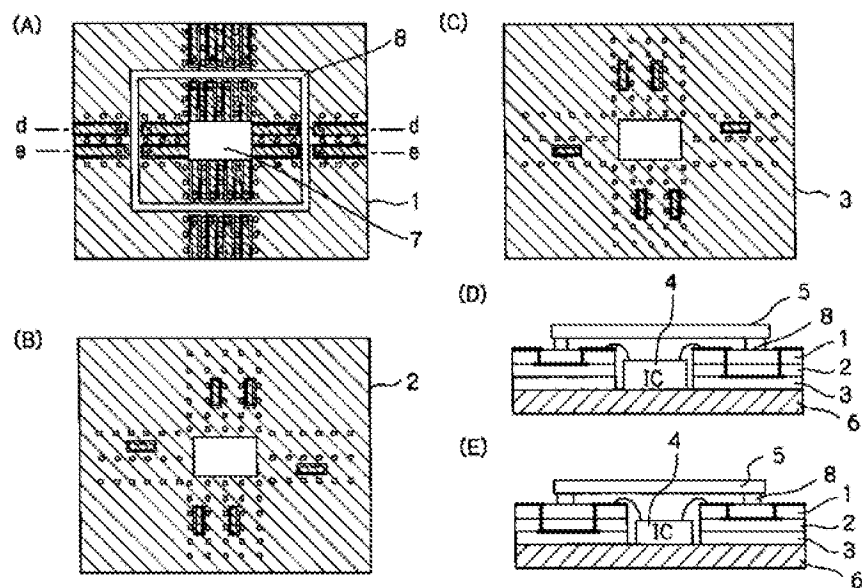
【図3】



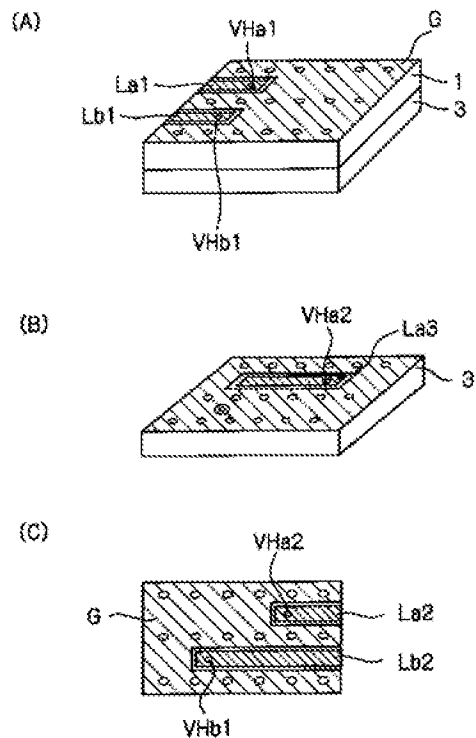
【図5】



【図4】



【図6】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 5 K	3/46	H 0 5 K	3/46
			Q
			U
			Z
		H 0 1 L	23/12
			N
			Q
			E

(72)発明者 塩原 正人

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社エレクトロニクス技術研究所内

(72)発明者 山元 寿文

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社エレクトロニクス技術研究所内

Pターム(参考) 5E346 AA13 AA15 AA43 BB02 BB04

BB06 BB11 FF01 HH04 HH06

5J011 DA11

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-247980

(43)Date of publication of application : 02.09.2004

(51)Int.Cl.

H01P 5/08

(21)Application number : 2003-035934

(71)Applicant : HITACHI LTD  
OPNEXT JAPAN INC

(22)Date of filing : 14.02.2003

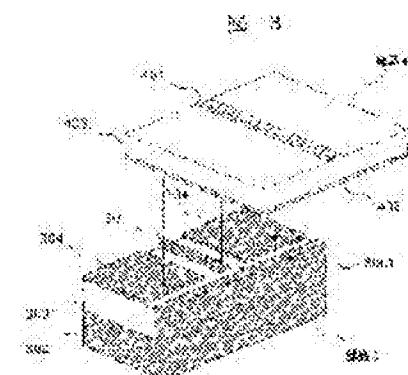
(72)Inventor : YAGYU MASAYOSHI  
SAITO TATSUYA  
OMAE SHIGEO  
AKASHI MITSUHIKA

## (54) CONNECTION STRUCTURE AND METHOD OF TRANSMISSION LINE

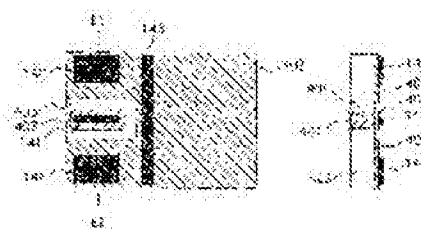
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a structure of a transmission line with an excellent signal transmission characteristic up to a high frequency band.

**SOLUTION:** In the connection structure of transmission lines configured such that an electric signal is transmitted from a signal wire of a first transmission line to a signal wire of a second transmission line, a conductor is provided at an end face of the first transmission line so as to be orthogonally crossing the signal wire of the first transmission line.



(1) 接続構造の概略図



(2) 接続構造の断面図

(3) 接続構造の断面図

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247980

(P2004-247980A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl.<sup>7</sup>

H01P 5/08

F1

H01P 5/08

テーマコード(参考)

C

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2003-35934 (P2003-35934)

(22) 出願日 平成15年2月14日(2003.2.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 301005371

日本オブネクト株式会社

神奈川県横浜市戸塚区戸塚町216番地

(74) 代理人 100091096

弁理士 平木 祐輔

(72) 発明者 柳生 正義

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 齊藤 達也

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 伝送線路の接続構造及び方法

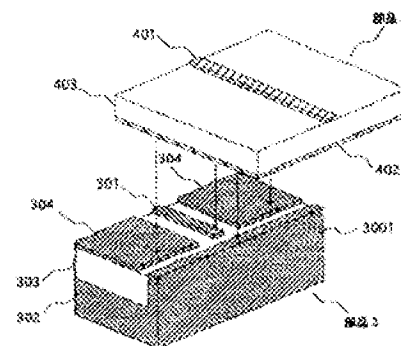
(57) 【要約】

【課題】 高周波帯域まで良好な信号伝達特性を持った伝送線路構造を提供することを目的とする。

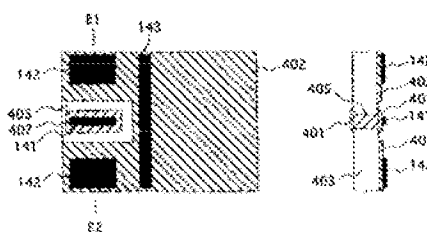
【解決手段】 第1の伝送線路の信号配線から第2の伝送線路の信号配線へ電気信号が伝送されるように構成された伝送線路の接続構造において、第1の伝送線路の信号配線に直交するように第1の伝送線路の端面に導体が設ける。

【選択図】 図3

図 3



(a) 図3と図4の接続方法を説明する図



(b) 図3の断面図

(c) E1-E2断面図

**【特許請求の範囲】****【請求項1】**

誘電体と該誘電体に配置された信号配線とを有する第1の伝送線路と誘電体と該誘電体に配置された信号配線とを有する第2の伝送線路とを有し、上記第1の伝送線路の信号配線と上記第2の伝送線路の信号配線が電氣的に接続され、上記第1の伝送線路の信号配線から上記第2の伝送線路の信号配線へ電気信号が伝送されるように構成された伝送線路の接続構造において、上記第1の伝送線路の信号配線に直交するように上記第1の伝送線路の端面に導体が設けられていることを特徴とする伝送線路の接続構造。

**【請求項2】**

上記第1の伝送線路の信号配線の端から上記第1の伝送線路の端面の導体までの距離は、上記第1の伝送線路の信号配線を通過する信号の波長の $1/4$ より短いことを特徴とする請求項1記載の伝送線路の接続構造。

**【請求項3】**

上記第1の伝送線路の誘電体には更にグラウンド導体が配置され、上記第1の伝送線路の端面の導体と上記第1の伝送線路のグラウンド導体は電氣的に接続されていることを特徴とする請求項1記載の伝送線路の接続構造。

**【請求項4】**

上記第1の伝送線路の信号配線と上記第2の伝送線路の信号配線は上記第2の伝送線路の誘電体に形成されたスルーホール内の導体を介して電氣的に接続されていることを特徴とする請求項1記載の伝送線路の接続構造。

**【請求項5】**

上記第1および第2の伝送線路の少なくとも一方はグラウンド付きコプレーナ線路、マイクロストリップ線路、またはストリップ線路であることを特徴とする、請求項1記載の伝送線路の接続構造。

**【請求項6】**

上記第1の伝送線路は上記信号配線が配置された誘電体の第1の面と反対側の第2の面に配置されたグラウンド導体を有し、上記第2の伝送線路は上記信号配線が配置された誘電体の第1の面と反対側の第2の面に配置されたグラウンド導体を有し、上記第1の伝送線路の第1の面と上記第2の伝送線路の第2の面が接するように接続され、上記第1の伝送線路のグラウンド導体と上記第2の伝送線路のグラウンド導体が電氣的に接続されていることを特徴とする請求項1記載の伝送線路の接続構造。

**【請求項7】**

誘電体と該誘電体の第1の面に配置された信号配線と該誘電体の第2の面に配置されたグラウンド導体とを有する伝送線路において、上記信号配線に直交するように該伝送線路の端面に導体が設けられていることを特徴とする伝送線路。

**【請求項8】**

誘電体と該誘電体の第1の面に配置された信号配線と該誘電体の第2の面に配置されたグラウンド導体とを有する第1の伝送線路の端面に上記信号配線と直交するように導体を設けることと、誘電体と該誘電体の第1の面に配置された信号配線と該誘電体の第2の面に配置されたグラウンド導体とを有する第2の伝送線路を用意することと、上記第1の伝送線路の第1の面と上記第2の伝送線路の第2の面が接するように上記第1の伝送線路の端部の上に第2の伝送線路の端部を配置することと、上記第1の伝送線路の信号配線と上記第2の伝送線路の信号配線を電氣的に接続し上記第1の伝送線路のグラウンド導体と上記第2の伝送線路のグラウンド導体を電氣的に接続することと、を含む伝送線路の接続方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は高速で信号を伝送する伝送線路の間の接続技術に関し、特に数十Gbps級のデータ転送を行うネットワーク装置に用いて好適な伝送線路の接続技術に関する。

**【0002】**

**【従来の技術】**

高速なデータ転送を行うネットワーク装置には装置内で信号処理を行うために多数の部品が搭載されており、これらの部品相互間を接続するために多くの伝送線路が用いられている。伝送線路の形状は部品ごとに異なり、同軸ケーブルやストリップライン、コプレーナ線路などの多種類にわたる。

**【0003】**

図1及び図2を参照して従来の技術による2つの伝送線路の接続構造及び接続方法の例を説明する。一方の伝送線路はグランド付きコプレーナ線路であり、ここでは部品1とする。他方の伝送線路はマイクロストリップ線路であり、ここでは部品2とする。2つの部品1、2の信号配線同士及びグランド導体同士を接続することによって、2つの伝送線路が接続される。

**【0004】**

図1(a)に示すように、下側の部品1は、誘電体103と、誘電体103の上面に配置された信号配線101及びグランド導体104と、誘電体103の下面に配置されたグランド導体102とを有する。上側の部品2は、誘電体203と、誘電体203の上面に配置された信号配線201と、誘電体203の下面に配置されたグランド導体202とを有する。

**【0005】**

図1(b)に示すように、上側の部品2の下面には導体パターン207が配置されている。図1(c)に示すように、導体パターン207は、誘電体203に形成されたスルーホール内の導体205を介して上面の信号配線201に接続されている。

**【0006】**

部品2の下面の導体パターン207とグランド導体202上にはそれぞれハンダ121、122が配置されている。これらのハンダは、部品1と部品2の導体間を電気的および機械的に接続する。

**【0007】**

図2を参照して、部品1と部品2の接続構造及び接続方法を更に詳細に説明する。図2(a)に示すように、部品1の端部に部品2の端部が重なるように配置される。図2(b)に示すように、部品1の上面の信号配線101と部品2の下面の導体パターン207は、ハンダ121を介して電気的に接続される。図2(c)に示すように、部品1の上面のグランド導体104と部品2の下面のグランド導体202は、ハンダ122を介して電気的に接続される。部品1のグランド導体104、102は誘電体103に形成されたスルーホール内の導体106を介して互いに接続されている。

**【0008】**

図2(d)に示すように、部品1の上面の信号配線101と部品2の上面の信号配線201は、ハンダ121、導体パターン207、及び、スルーホール内の導体205を介して電気的に接続される。電気信号は下側の部品1の上面の信号配線101から上側の部品2の上面の信号配線201へ伝達される。

**【0009】****【特許文献1】**

特開2001-77240号公報

**【特許文献2】**

特開2001-358246号公報

**【特許文献3】**

特開2001-53396号公報

**【特許文献4】**

特開2000-286614号公報

**【特許文献5】**

特開2000-77902号公報

**【特許文献6】**

特開平9-283574号公報

【0010】

【発明が解決しようとする課題】

図1及び図2に示す従来の伝送線路の接続構造を用いて電気信号を送信する場合、特に数十GHzの周波数帯域では信号伝達特性が劣化する問題があった。

【0011】

数十GHz級の高周波帯域で信号伝達特性が劣化する理由は、高周波信号の一部が伝送線路から空気中に電波となって放射するためである。電波は、部品1の誘電体103の、信号進行方向と直交している面3000から空中に向かって放出される。

【0012】

本発明は、伝送線路の接続部分における高周波信号の電波放射を防ぐことができる伝送線路の接続構造を提供することを目的とする。

本発明はまた、高周波帯域まで良好な信号伝達特性を持った伝送線路構造を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明によると、第1の伝送線路の信号配線から第2の伝送線路の信号配線へ電気信号が伝送されるように構成された伝送線路の接続構造において、第1の伝送線路の信号配線に直交するように第1の伝送線路の端面に導体が設けられている。

【0014】

【発明の実施の形態】

図3及び図4を参照して本発明による2つの伝送線路の接続構造及び接続方法の第1の例を説明する。一方の伝送線路はグランド付きコプレーナ線路であり、ここでは部品3とする。他方の伝送線路はマイクロストリップ線路であり、ここでは部品4とする。2つの部品3、4の信号配線同士及びグランド導体同士を接続することによって、2つの伝送線路が接続される。

【0015】

図3(a)に示すように、下側の部品3は、誘電体303と、誘電体303の上面に配置された信号配線301及びグランド導体304と、誘電体303の下面に配置されたグランド導体302とを有する。

【0016】

本例では、下側の部品3は更に端面に配置された導体3001を有する。導体3001は、信号配線301に直交するように設けられる。導体3001は、誘電体303の端面を覆うように設けられる。導体3001はグランド導体302に電氣的に接続される。

上側の部品4は、誘電体403と、誘電体403の上面に配置された信号配線401と、誘電体403の下面に配置されたグランド導体402とを有する。

【0017】

図3(b)に示すように、上側の部品4の下面には導体パターン407が配置されている。図3(c)に示すように、導体パターン407は、誘電体403に形成されたスルーホール内の導体405を介して信号配線401に接続されている。

【0018】

上側の部品4の下面の導体407とグランド導体402上にはそれぞれハンダ141、142、143が配置されている。これらのハンダは、部品3と部品4の導体間を電氣的および機械的に接続する。

【0019】

図4を参照して、部品3と部品4の接続構造及び接続方法を更に詳細に説明する。図4(a)に示すように、部品3の端部に部品4の端部が重なるように配置される。図4(b)に示すように、部品3の上面の信号配線301と部品4の下面の導体パターン407は、ハンダ141を介して電氣的に接続される。図4(c)に示すように、部品3の上面のグランド導体304と部品4の下面のグランド導体402は、ハンダ142を介して電氣的

に接続される。部品3のグラウンド導体304、302は誘電体303に形成されたスルーホール内の導体306を介して互いに電氣的に接続されている。

#### 【0020】

更に本例では、図4(b)、図4(c)及び図(d)に示すように、部品3の導体3001の上面と部品4の下面のグラウンド導体402は、ハンダ143を介して電氣的に接続される。

#### 【0021】

図4(e)に示すように、部品3の上面の信号配線301と部品4の上面の信号配線401は、ハンダ141、導体パターン407、及び、スルーホール内の導体405を介して電氣的に接続される。電気信号は部品3の信号配線301から、部品4の信号配線401へ伝達される。

#### 【0022】

図3及び図4に示した本発明の第1の例を図1及び図2に示した従来例と比較すると、本発明の第1の例では導体3001が付加されている点異なる。導体3001は、従来例の部品1の面3000に相当する部品3の端面に配置されており、グラウンド導体302と電氣的に接続されている。また、グラウンド導体304とも、スルーホール内の導体306を介して電氣的に接続されている。

従来例において、高周波帯域での信号伝達特性を劣化させる原因であった面3000からの電波放射は、本例のように導体3001を配置することによって防止できる。

#### 【0023】

なお、図4(b)に記号Sで示した寸法、すなわち信号配線301の端と導体3001との間の距離は、信号配線301を通過する電気信号の波長の $1/4$ よりも小さくなるように設定するのがよい。例えば誘電体303の比誘電率が10、信号配線301を通過する電気信号の周波数帯域が40GHzの場合、電気信号の波長の $1/4$ は約 $750\mu\text{m}$ となるため、寸法Sはこれよりも小さくなるように設定する。

#### 【0024】

図5を参照して、本発明の第1の例の信号伝達特性を従来例と比較して説明する。図5(a)は反射率の周波数特性を示し、曲線1001は従来例による伝送線路の接続構造を用いた場合の特性、曲線1002は本発明の第1の例の接続構造を用いた場合の特性である。図5(b)は透過率の周波数特性を示し、曲線2001は従来例による伝送線路の接続構造を用いた場合の特性、曲線2002は本発明の第1の例の接続構造を用いた場合の特性である。

本発明の接続構造を用いた場合、特に30GHzを超える周波数帯域で、反射率、透過率ともに特性が良い。

#### 【0025】

尚、図5に示した信号伝達特性は3次元電磁界シミュレーションにより求めた結果である。シミュレーションに用いた形状、材質のうち主なものの数値は以下のとおりである。

誘電体103、303の厚さ： $200\mu\text{m}$ 、

誘電体103、303の比誘電率：10、

信号配線101、301の幅： $150\mu\text{m}$ 、

信号配線101とグラウンド導体104との間隔： $225\mu\text{m}$ （信号配線301とグラウンド導体304との間隔も同じ）、

誘電体203、403の厚さ： $50\mu\text{m}$ 、

誘電体203、403の比誘電率：2、9、

信号配線201、401の幅： $100\mu\text{m}$ 、

信号配線301と導体3001との間隔： $93\mu\text{m}$ （図4(b)にSで示した部分）、

全ての導体の材質：銅。

#### 【0026】

図6及び図7を参照して本発明による2つの伝送線路の接続構造及び接続方法の第2の例を説明する。一方の伝送線路はグラウンド付きコプレーナ線路であり、ここでは部品5とす

る。他方の伝送線路はマイクロストリップ線路であり、ここでは部品6とする。2つの部品5、6の信号配線同士及びグランド導体同士を接続することによって、2つの伝送線路が接続される。

#### 【0027】

図6(a)に示すように、下側の部品5は、誘電体503と、誘電体503の上面に配置された信号配線501及びグランド導体504と、誘電体503の下面に配置されたグランド導体502とを有する。

#### 【0028】

本例では、下側の部品5は更に端面に配置された導体5001を有する。導体5001は、信号配線501に直交するように設けられる。導体5001は、誘電体503の端面を覆うように設けられる。導体5001はグランド導体502及び504に電氣的に接続される。

#### 【0029】

上側の部品6は、誘電体603と、誘電体603の上面に配置された信号配線601と、誘電体603の下面に配置されたグランド導体602とを有する。上側の部品6は、図1に示した部品2と同様な構造を有する。

#### 【0030】

図6(b)に示すように、上側の部品6の下面には導体パターン607が配置されている。図6(c)に示すように、導体パターン607は、誘電体603に形成されたスルーホール内の導体605を介して信号配線601に接続されている。

#### 【0031】

部品6の下面の導体607とグランド導体602上にはそれぞれハンダ161、162が配置されている。これらのハンダは、部品5と部品6の導体間を電氣的および機械的に接続する。

#### 【0032】

図7を参照して、部品5と部品6の接続構造及び接続方法を更に詳細に説明する。図7(a)に示すように、部品5の端部に部品6の端部が重なるように配置される。図7(b)に示すように、部品5の上面の信号配線501と部品6の下面の導体パターン607は、ハンダ161を介して電氣的に接続される。

#### 【0033】

図7(c)に示すように、部品5の上面のグランド導体504と部品6の下面のグランド導体602は、ハンダ162を介して電氣的に接続される。部品5のグランド導体504、502は誘電体503に形成されたスルーホール内の導体506を介して互いに電氣的に接続されている。

#### 【0034】

図7(e)に示すように、部品5の上面の信号配線501と部品6の上面の信号配線601は、ハンダ161、導体パターン607、及び、スルーホール内の導体605を介して電氣的に接続される。電氣信号は部品5の信号配線501から、部品6の信号配線601へ伝達される。

#### 【0035】

図6及び図7に示した本発明の第2の例を図3及び図4に示した本発明の第1の例と比較すると、本発明の第2の例では、部品5の導体5001はグランド導体502、504に直接電氣的に接続されている。また、図7(d)に示すように、導体5001は部品6のグランド導体602と直接電氣的に接続されていないが、図7(e)に示すように、グランド導体504及びハンダ162を介して電氣的に接続されている。

このような構造であっても、部品5の導体5001が部品5を通過する電氣信号の電波放射を防ぐ効果を有するため、高周波帯域での信号伝達特性の劣化を防ぐことができる。

#### 【0036】

図8及び図9を参照して本発明による2つの伝送線路の接続構造及び接続方法の第3の例を説明する。一方の伝送線路はマイクロストリップ線路であり、ここでは部品7とする。

他方の伝送線路はグラウンド付きコプレーナ線路であり、ここでは部品8とする。2つの部品7、8の信号配線同士及びグラウンド導体同士を接続することによって、2つの伝送線路が接続される。

【0037】

図8(a)に示すように、下側の部品7は、誘電体703と、誘電体703の上面に配置された信号配線701と、誘電体703の下面に配置されたグラウンド導体702とを有する。

【0038】

本例では、下側の部品7は更に端面に配置された導体7001を有する。導体7001は、信号配線701に直交するように設けられる。導体7001は、誘電体703の端面を覆うように設けられる。導体7001はグラウンド導体702に電氣的に接続されている。

【0039】

上側の部品8は、誘電体803と、誘電体803の上面に配置された信号配線801及びグラウンド導体804と、誘電体803の下面に配置されたグラウンド導体802とを有する。

【0040】

図8(b)に示すように、上側の部品8の下面には導体パターン807が配置されている。図8(c)に示すように、導体パターン807は、誘電体803に形成されたスルーホール内の導体805を介して信号配線801に接続されている。

【0041】

部品8の下面の導体パターン807とグラウンド導体802上にはそれぞれハンダ181、183が配置されている。これらのハンダは、部品7と部品8の導体間を電氣的および機械的に接続する。

【0042】

図9を参照して、部品7と部品8の接続構造及び接続方法を更に詳細に説明する。図9(a)に示すように、部品7の端部に部品8の端部が重なるように配置される。図9(b)に示すように、部品7の上面の信号配線701と部品8の下面の導体パターン807は、ハンダ181を介して電氣的に接続される。図9(c)に示すように、部品8のグラウンド導体804、802は誘電体803に形成されたスルーホール内の導体806を介して互いに電氣的に接続されている。

【0043】

更に本例では、図9(b)、図9(c)及び図9(d)に示すように、部品7の導体7001の上面と部品8の下面のグラウンド導体802は、ハンダ183を介して電氣的に接続される。

【0044】

図9(e)に示すように、部品7の上面の信号配線701と部品8の上面の信号配線801は、ハンダ181、導体パターン807、及び、スルーホール内の導体805を介して電氣的に接続される。電氣信号は部品7の信号配線701から、部品8の信号配線801へ伝達される。

【0045】

図8及び図9に示した本発明の第3の例を第1及び第2の例と比較すると、本発明の第3の例では、下側の部品7は誘電体703の上面にグラウンド導体がないマイクロストリップ線路であり、上側の部品8は誘電体803の上面にもグラウンド導体を有するグラウンド付きコプレーナ線路である点異なる。下側の部品7の端面に導体7001が付加されている。導体7001は、従来例の部品1の面3000に相当する端面に配置されており、グラウンド導体702と電氣的に接続されている。

このような構造であっても、導体7001は、部品7を通過する電氣信号の電波放射を防ぐ効果を有するため、高周波帯域での電氣特性の劣化を防ぐことができる。

【0046】

第1、第2、および第3の例において、伝送線路の種類はグラウンド付きコプレーナ線路、

またはマイクロストリップ線路の場合を示したが、伝送線路としてストリップ線路を用いる場合でも本発明による伝送線路の接続構造を使用することが可能であることは容易に理解されよう。

【0047】

以上、本発明の例を説明したが、本発明は上述の例に限定されるものではなく、特許請求の範囲に記載された発明の範囲にて様々な変形が可能であることは当業者であれば容易に理解されよう。

【0048】

【発明の効果】

本発明によると、伝送線路の接続部分における高周波信号の電波放射を防ぐことができる効果がある。

本発明によると、高周波帯域まで良好な信号伝達特性を持った伝送線路構造を実現することができる効果がある。

【図面の簡単な説明】

【図1】従来の伝送線路の接続構造及び方法を説明するための図であり、(a)は部品1と部品2とを接続する方法を説明するための斜視図、(b)は部品2の底面図、(c)は(b)の部品2を線A1-A2に沿って切断した断面図である。

【図2】従来の伝送線路の接続構造及び方法を説明するための図であり、(a)は部品1と部品2とが接続した状態の上面図、(b)は(a)の部品1及び部品2を線B1-B2に沿って切断した断面図、(c)は(a)の部品1及び部品2を線C1-C2に沿って切断した断面図、(d)は(a)の部品1及び部品2を線D1-D2に沿って切断した断面図である。

【図3】本発明の第1の例による伝送線路の接続構造及び方法を説明するための図であり、(a)は部品3と部品4の接続方法を示す斜視図、(b)は部品4の底面図、(c)は(b)の部品4を線E1-E2に沿って切断した断面図である。

【図4】本発明の第1の例による伝送線路の接続構造及び方法を説明するための図であり、(a)は部品3と部品4とが接続した状態の上面図、(b)は(a)の部品3及び部品4を線F1-F2に沿って切断した断面図、(c)は(a)の部品3及び部品4を線G1-G2に沿って切断した断面図、(d)は(a)の部品3及び部品4を線H1-H2に沿って切断した断面図、(e)は(a)の部品3及び部品4を線I1-I2に沿って切断した断面図である。

【図5】本発明の第1の例の伝送線路の信号伝達特性を従来の伝送線路の信号伝達特性を説明するための図であり、(a)は反射率の周波数特性を示す図、(b)は透過率の周波数特性を示す図である。

【図6】本発明の第2の例による伝送線路の接続構造及び方法を説明するための図であり、(a)は部品5と部品6の接続方法を示す斜視図、(b)は部品6の底面図、(c)は(b)の部品6を線J1-J2に沿って切断した断面図である。

【図7】本発明の第2の例による伝送線路の接続構造及び方法を説明するための図であり、(a)は部品5と部品6とが接続した状態の上面図、(b)は(a)の部品5及び部品6を線K1-K2に沿って切断した断面図、(c)は(a)の部品5及び部品6を線L1-L2に沿って切断した断面図、(d)は(a)の部品5及び部品6を線M1-M2に沿って切断した断面図、(e)は(a)の部品5及び部品6を線N1-N2に沿って切断した断面図である。

【図8】本発明の第3の例による伝送線路の接続構造及び方法を説明するための図であり、(a)は部品7と部品8の接続方法を示す斜視図、(b)は部品8の底面図、(c)は(b)の部品8を線O1-O2に沿って切断した断面図である。

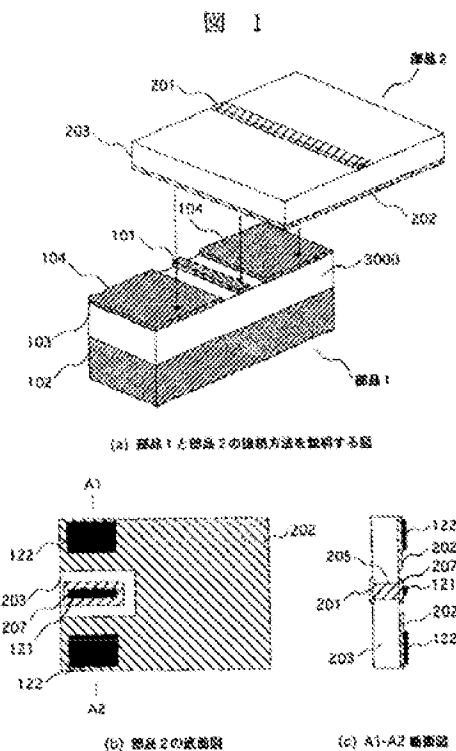
【図9】本発明の第3の例による伝送線路の接続構造及び方法を説明するための図であり、(a)は部品7と部品8とが接続した状態の上面図、(b)は(a)の部品7及び部品8を線P1-P2に沿って切断した断面図、(c)は(a)の部品7及び部品8を線Q1-Q2に沿って切断した断面図、(d)は(a)の部品7及び部品8を線R1-R2に沿って切断した断面図である。

って切断した断面図、(e)は(a)の部品7及び部品8を線S1-S2に沿って切断した断面図である。

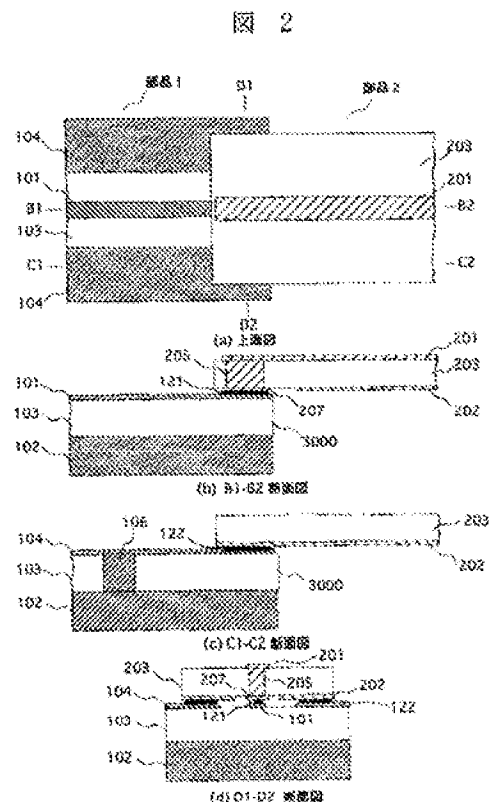
【符号の説明】

1, 2, 3, 4, 5, 6, 7, 8…伝送線路又は部品  
 101…信号配線、102…グランド導体、103…誘電体、104…グランド導体、106…スルーホール内の導体  
 121, 122…はんだ  
 201…信号配線、202…グランド導体、203…誘電体、205…スルーホール内の導体、207…導体パターン、  
 301…信号配線、302…グランド導体、303…誘電体、304…グランド導体、306…スルーホール内の導体、  
 141, 142, 143…はんだ  
 401…信号配線、402…グランド導体、403…誘電体、405…スルーホール内の導体、407…導体パターン  
 501…信号配線、502…グランド導体、503…誘電体、504…グランド導体、506…スルーホール内の導体、  
 161, 162…はんだ  
 601…信号配線、602…グランド導体、603…誘電体、605…スルーホール内の導体、607…導体パターン、  
 701…信号配線、702…グランド導体、703…誘電体、  
 181, 183…はんだ  
 801…信号配線、802…グランド導体、803…誘電体、804…グランド導体、805, 806…スルーホール内の導体、807…導体パターン

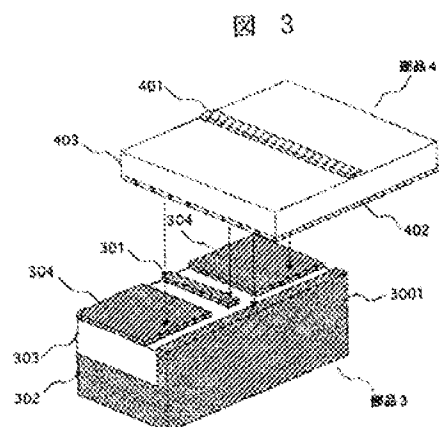
【図1】



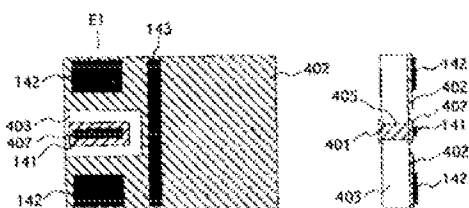
【図2】



[REDACTED]



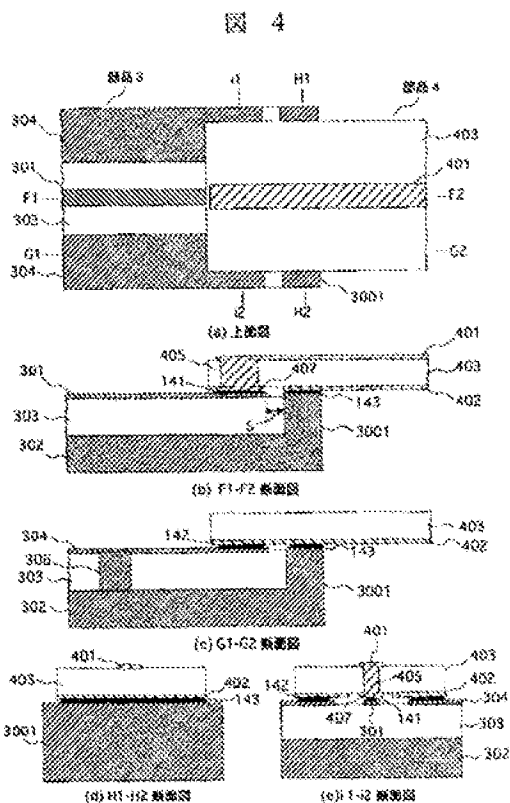
(c) 節 3 と 節 4 の模範方法を説明する例



(c) ~~225 4 03 28 22~~

(c) 53-43 8888

【例4】



(D) F3-F2 表222

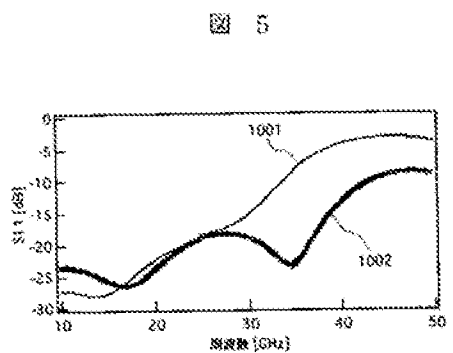
(D) F3-F2 表222

(c) 61-62 號電話

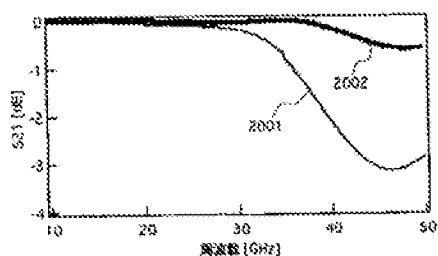
《2015-2016 年度》

(c) 1-12 缺9033

1851

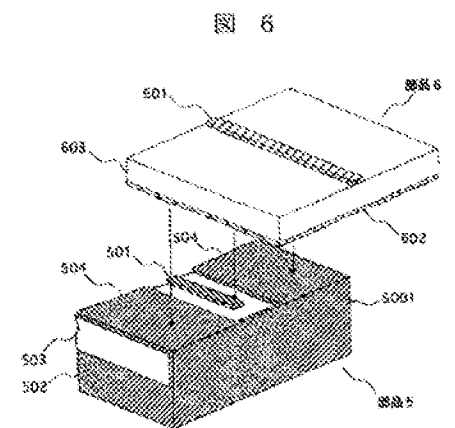


### (2) 反射率の周波数特性

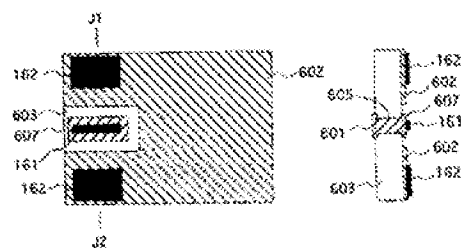


(5) 透過率の周波数特性

【图 6】



(a) 第26条と第28条の適用方法を説明する図

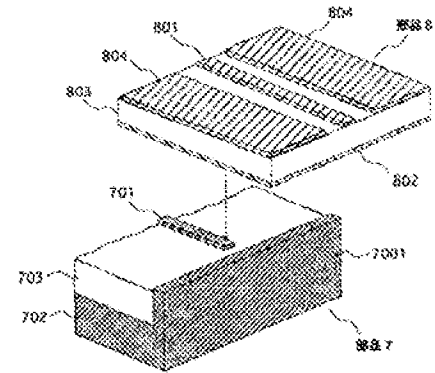


### (七) 總局の設置

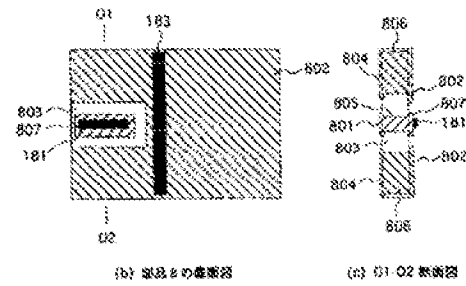
(c) 31-32 00000

【例 8】

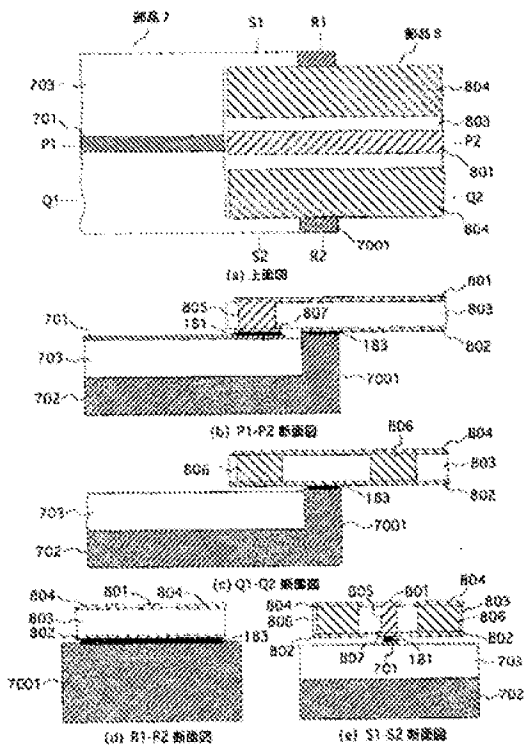
**8**



(d) 郵送?と送付?の差額方法を説明する図



29



---

フロントページの続き

(72)発明者 大前 重雄

神奈川県秦野市堀山下1番地 株式会社日立製作所エンタープライズサーバ事業部内

(72)発明者 明石 光央

神奈川県横浜市戸塚区戸塚町216番地 日本オブネクト株式会社内

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-320109

(43)Date of publication of application : 11.11.2004

(51)Int.Cl.

H01P 5/08

(21)Application number : 2003-107523

(71)Applicant : TDK CORP

(22)Date of filing : 11.04.2003

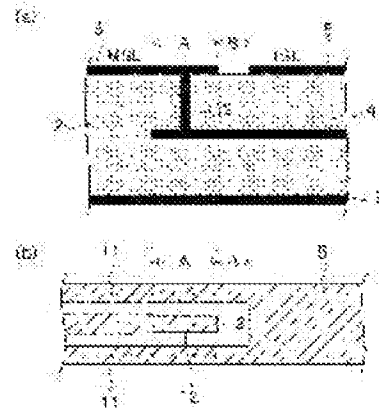
(72)Inventor : SHIMODA HIDEAKI

## (54) HIGH-FREQUENCY TRANSMISSION LINE AND HIGH-FREQUENCY SUBSTRATE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve a signal passing characteristic by reducing signal reflection on a connection portion between a microstrip line (first high-frequency transmission line) and a triplate line (second high-frequency transmission line).

**SOLUTION:** The width of an end portion of the signal line of the first high-frequency transmission line is made different from that of the other portion. Thus, the deviation of impedance in the connection portion of the first and the second high-frequency transmission lines can be prevented, the signal reflection on the connection portion can be reduced, and the signal passing characteristic can be improved.



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-320109

(P2004-320109A)

(43) 公開日 平成16年11月11日(2004.11.11)

(51) Int. Cl.<sup>7</sup>

H01P 5/08

F1

H01P 5/08

Z

テーマコード (参考)

審査請求 未請求 請求項の数 15 O L (全 18 頁)

(21) 出願番号	特願2003-107523 (P2003-107523)	(71) 出願人	000003067
(22) 出願日	平成15年4月11日 (2003. 4. 11)		TDK株式会社
			東京都中央区日本橋一丁目13番1号
		(74) 代理人	100101971
			弁理士 大畑 敬朗
		(74) 代理人	100098279
			弁理士 栗原 聖
		(72) 発明者	下田 秀昭
			東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

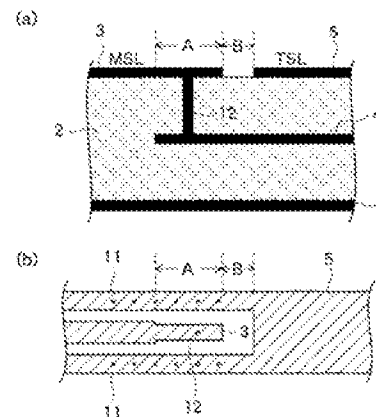
(54) 【発明の名称】 高周波伝送線路及び高周波基板

(57) 【要約】

【課題】 マイクロストリップ線路（第1の高周波伝送線路）とトリプレート線路（第2の高周波伝送線路）の接続部における信号反射を低減して信号通過特性を良好にすること。

【解決手段】 第1の高周波伝送線路の信号線路の端部の幅を他の部分と変えることにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれを抑えることができ、接続部における信号反射を低減して信号通過特性を良好にすることができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

異なる第 1 及び第 2 の高周波伝送線路を含む高周波伝送線路であって、  
端部の幅が他の部分と異なる前記第 1 の高周波伝送線路の信号線路と、  
前記第 1 の高周波伝送線路の前記信号線路の端部に接続された前記第 2 の高周波伝送線路の信号線路と  
を備えることを特徴とする高周波伝送線路。

**【請求項 2】**

誘電体の異なる層に信号線路を有する第 1 及び第 2 の高周波伝送線路を含む高周波伝送線路であって、  
端部の幅が他の部分と異なる前記第 1 の高周波伝送線路の信号線路と、  
端部が前記第 1 の高周波伝送線路の前記端部と重なるように配置された前記第 2 の高周波伝送線路の信号線路と、  
前記第 1 の高周波伝送線路の前記端部と前記第 2 の高周波伝送線路の前記端部とを接続する接続導体と  
を備えることを特徴とする高周波伝送線路。

10

**【請求項 3】**

前記第 2 の高周波伝送線路の前記端部は他の部分と異なる幅を有することを特徴とする請求項 2 に記載の高周波伝送線路。

**【請求項 4】**

前記第 1 の高周波伝送線路の前記信号線路とグランド導体との距離を短くするための導体を備えることを特徴とする請求項 2 に記載の高周波伝送線路。

20

**【請求項 5】**

誘電体の異なる層に信号線路を有する第 1 及び第 2 の高周波伝送線路を含む高周波伝送線路であって、  
前記第 1 の高周波伝送線路の第 1 の信号線路と、  
前記第 2 の高周波伝送線路の第 2 の信号線路と、  
前記第 1 の高周波伝送線路の前記第 1 の信号線路と前記第 2 の高周波伝送線路の前記第 2 の信号線路の間の層に設けられ、一端が前記第 1 の高周波伝送線路の前記第 1 の信号線路と重なり、他端が前記第 2 の高周波伝送線路の前記第 2 の信号線路に重なるように形成された第 3 の信号線路と、  
前記第 1 の信号線路と前記第 3 の信号線路の前記一端とを接続する第 1 の接続導体と、  
前記第 2 の信号線路と前記第 3 の信号線路の前記他端とを接続する第 2 の接続導体と  
を備えることを特徴とする高周波伝送線路。

30

**【請求項 6】**

前記第 1 の接続導体に接続される前記第 1 の信号線路の端部は他の部分と異なる線路幅を有することを特徴とする請求項 5 に記載の高周波伝送線路。

**【請求項 7】**

前記第 2 の接続導体に接続される前記第 2 の信号線路の端部は他の部分と異なる線路幅を有することを特徴とする請求項 5 又は 6 に記載の高周波伝送線路。

40

**【請求項 8】**

前記第 3 の信号線路の幅は、前記第 1 の信号線路と前記第 2 の信号線路の間に設定されることを特徴とする請求項 5 乃至 7 に記載の高周波伝送線路。

**【請求項 9】**

前記第 3 の信号線路は、一端が上層の線路と他端が下層の線路と重なるように階段状に配置され、かつ重なり合う部分同士が接続された少なくとも 1 つ以上の線路を有し、前記線路のうち一部の線路は、線路幅が前記第 1 の信号線路の幅と前記第 2 の信号線路の幅の間にあり、線路間で線路幅が段階的に変化している

50

ことを特徴とする請求項5乃至7に記載の高周波伝送線路。

【請求項10】

前記第1の信号線路とグランド導体との距離を短くするための導体をさらに備えることを特徴とする請求項5に記載の高周波伝送線路。

【請求項11】

誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路であって、

前記第1の高周波伝送線路の信号線路と、

端部が前記第1の高周波伝送線路の前記信号線路と重なるように配置された前記第2の高周波伝送線路の信号線路と、

前記第1の高周波伝送線路の前記信号線路と前記第2の高周波伝送線路の前記端部とを接続する接続導体と、

前記第1の高周波伝送線路の前記信号線路とグランド導体との距離を短くするための導体と

を備えることを特徴とする高周波伝送線路。

【請求項12】

異なる第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、

前記高周波伝送線路は、

端部の幅が他の部分と異なる前記第1の高周波伝送線路の信号線路と、

前記第1の高周波伝送線路の前記信号線路の端部に接続された前記第2の高周波伝送線路の信号線路と

を備えることを特徴とする高周波基板。

【請求項13】

誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、

前記高周波伝送線路は、

端部の幅が他の部分と異なる前記第1の高周波伝送線路の信号線路と、

端部が前記第1の高周波伝送線路の前記端部と重なるように配置された前記第2の高周波伝送線路の信号線路と、

前記第1の高周波伝送線路の前記端部と前記第2の高周波伝送線路の前記端部とを接続する接続導体と

を備えることを特徴とする高周波基板。

【請求項14】

誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、

前記高周波伝送線路は、

前記第1の高周波伝送線路の第1の信号線路と、

前記第2の高周波伝送線路の第2の信号線路と、

前記第1の高周波伝送線路の前記第1の信号線路と前記第2の高周波伝送線路の前記第2の信号線路の間の層に設けられ、一端が前記第1の高周波伝送線路の前記第1の信号線路と重なり、他端が前記第2の高周波伝送線路の前記第2の信号線路に重なるように形成された第3の信号線路と、

前記第1の信号線路と前記第3の信号線路の前記一端とを接続する第1の接続導体と、

前記第2の信号線路と前記第3の信号線路の前記他端とを接続する第2の接続導体と

を備えることを特徴とする高周波基板。

【請求項15】

誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、

前記高周波伝送線路は、

10

20

30

40

50

前記第1の高周波伝送線路の信号線路と、  
端部が前記第1の高周波伝送線路の前記信号線路と重なるように配置された前記第2の高周波伝送線路の信号線路と、  
前記第1の高周波伝送線路の前記信号線路と前記第2の高周波伝送線路の前記端部とを接続する接続導体と、  
前記第1の高周波伝送線路の前記信号線路とグランド導体との距離を短くするための導体と  
を備えることを特徴とする高周波基板。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、高周波伝送線路に係り、特に異なる高周波伝送線路を組み合わせることにより形成された高周波伝送線路及びこれら高周波伝送線路を配線した高周波基板に関する。

【0002】

【従来の技術】

従来より、信号を伝送する高周波伝送路としてマイクロストリップ線路或いは、トリプレート線路が知られている。図14に示すように、一般に、マイクロストリップ線路は、誘電体2と、その誘電体2の下面（即ち下層）に形成されたグランド導体（グランド層）1と、その誘電体2の上面（即ち上層）に形成された信号線路（信号導体線）3とによって構成される。なお、図14は、信号線路方向に垂直な断面から見た場合の断面図を示している。この例に示したマイクロストリップ線路では、各導体の寸法等は、例えば誘電体厚  $320\mu\text{m}$ 、信号線路幅  $500\mu\text{m}$ 、特性インピーダンス  $50\Omega$  に設定されている。

20

【0003】

また、図15に示すように、トリプレート線路は、誘電体2と、その誘電体2の上面及び下面（即ち上層及び下層）に形成されたグランド導体1と、その上下のグランド導体1によって挟まれるように誘電体2の内層に埋設された信号線路（信号導体線）4とによって構成される。なお、この図15も、信号線路方向に垂直な断面から見た場合の断面図を示している。この例に示したトリプレート線路では、各導体の寸法等は、例えば誘電体厚  $320\mu\text{m}$ 、信号線幅  $115\mu\text{m}$ 、特性インピーダンス  $50\Omega$  に設定されている。

【0004】

30

上記のようなマイクロストリップ線路或いは、トリプレート線路は、信号線路3とグランド導体1との電磁的な結合によって或いは、信号線路4とグランド導体1との電磁的な結合によって、周波数  $20\sim 30\text{GHz}$  の高周波信号を信号線路3又は4の方向に沿って伝送する。

【0005】

ところで、マイクロストリップ線路とトリプレート線路の両方を用いて高周波信号を伝送する場合、例えば高周波基板において基板表面に形成されたアンテナによって受信された高周波信号を基板内部又は裏面に形成された高周波回路に導くような場合、図16に示すように、マイクロストリップ線路の信号線路3とトリプレート線路の信号線路4は、ビアホール導体6により単純に接続され、これら両線路を接続して形成された高周波伝送線路を介して高周波信号を伝送する。（なお、図16は、両線路の接続部付近を信号線路方向に平行な断面から見た場合の断面図である。）しかし、このような接続構造では、上述のような高周波信号に対しては接続部での信号反射が大きくなり、信号が通過し難くなる。

40

【0006】

ところで、2本の同構造の高周波伝送線路の接続部において発生する信号反射を低減させる接続構造を示した公知例があるが（例えば特許文献1参照）、これをそのまま異なる構造の2本の高周波伝送線路の接続部に適用することはできない。

【0007】

また異なる構造の高周波伝送線路の接続部において発生する信号反射を低減させる公知例

50

もある（例えば特許文献2及び3参照）。しかしながらこれらの公知例に示される方法は、いずれもそれぞれの信号線路が同一面上に存在することを前提としており、上記のように信号線路が誘電体の異なる層に配置されている場合には、適用することができない。

【0008】

【特許文献1】

特開2000-114801号公報（第3頁、第1図）

【特許文献2】

特開2000-068715号公報（第3頁、第1図）

【特許文献3】

特開平9-321507号公報（第5頁、第1図）

10

【0009】

【発明が解決しようとする課題】

上記のようにマイクロストリップ線路とトリプレート線路を単にヴィアホール導体6により接続する構造では、伝送線路の信号線路幅の違いなどにより、接続部においてインピーダンスのずれが生じる。このインピーダンスのずれは、伝送信号の周波数が小さい場合は大きな問題とはならないが、伝送信号の周波数が大きくなると無視できなくなり、その結果、接続部においてインピーダンス整合が取れなくなり、伝送信号の反射が起きて信号通過特性の悪化を引き起こす。

【0010】

本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、異なる高周波伝送線路を接続して高周波伝送線路を構築する場合、その接続部での信号反射を低減して良好な信号通過特性を持った高周波伝送線路及びそれを用いた高周波基板を提供することである。

20

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明の好ましい形態においては、異なる第1及び第2の高周波伝送線路を含む高周波伝送線路は、端部の幅が他の部分と異なる前記第1の高周波伝送線路の信号線路と、前記第1の高周波伝送線路の前記信号線路の端部に接続された前記第2の高周波伝送線路の信号線路とを備える。

【0012】

この発明によれば、第1の高周波伝送線路の信号線路の端部の幅を他の部分と変えることにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれを抑えることができる。

30

【0013】

また本発明の好ましい形態においては、誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路は、端部の幅が他の部分と異なる前記第1の高周波伝送線路の信号線路と、端部が前記第1の高周波伝送線路の前記端部と重なるように配置された前記第2の高周波伝送線路の信号線路と、前記第1の高周波伝送線路の前記端部と前記第2の高周波伝送線路の前記端部とを接続する接続導体とを備える。

【0014】

この発明によれば、第1の高周波伝送線路の信号線路の端部の幅を変え、これを接続導体を介して第2の高周波伝送線路の信号線路に接続することにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれを抑えることができる。

40

【0015】

さらに本発明の好ましい形態においては、さらに前記第2の高周波伝送線路の前記端部は他の部分と異なる幅を有することが望ましい。

【0016】

この発明によれば、さらに第2の高周波伝送線路の信号線路の端部の幅を変えることにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれをさらに抑えることができる。

50

**【0017】**

また本発明の好ましい形態においては、さらに前記第1の高周波伝送線路の前記信号線路とグラウンド導体との距離を短くするための導体を備えることが望ましい。

**【0018】**

この発明によれば、グラウンド導体との距離を短くする導体を設けることにより、第1の高周波伝送線路の信号線路の幅を調整して接続部におけるインピーダンスのずれをさらに低減できる。

**【0019】**

また本発明の好ましい形態においては、誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路は、前記第1の高周波伝送線路の第1の信号線路と、前記第2の高周波伝送線路の第2の信号線路と、前記第1の高周波伝送線路の前記第1の信号線路と前記第2の高周波伝送線路の前記第2の信号線路の間の層に設けられ、一端が前記第1の高周波伝送線路の前記第1の信号線路と重なり、他端が前記第2の高周波伝送線路の前記第2の信号線路に重なるように形成された第3の信号線路と、前記第1の信号線路と前記第3の信号線路の前記一端とを接続する第1の接続導体と、前記第2の信号線路と前記第3の信号線路の前記他端とを接続する第2の接続導体とを備える。

10

**【0020】**

この発明によれば、第1の高周波伝送線路の第1の信号線路と前記第2の高周波伝送線路の前記第2の信号線路の間に第3の信号線路を設けるようしたことにより、信号線路の距離を短くすることができるので、接続部におけるインピーダンスのずれを低減することができる。

20

**【0021】**

さらに本発明の好ましい形態においては、前記第1の接続導体に接続される前記第1の信号線路の端部は他の部分と異なる線路幅を有することが望ましい。

**【0022】**

この発明によれば、第1の高周波伝送線路の第1の信号線路の端部の幅をさらに変えることにより、2段階でインピーダンス調整ができるので、接続部におけるインピーダンスのずれをさらに低減できる。

**【0023】**

また本発明の好ましい形態においては、前記第2の接続導体に接続される前記第2の信号線路の端部は他の部分と異なる線路幅を有することが望ましい。

30

**【0024】**

この発明によれば、第2の高周波伝送線路の信号線路の端部の幅をさらに変えることにより、インピーダンス調整箇所を増やすことができ、接続部におけるインピーダンスのずれをさらに低減できる。

**【0025】**

さらに本発明の好ましい形態においては、前記第3の信号線路の幅は、前記第1の信号線路と前記第2の信号線路の間に設定されることが望ましい。

**【0026】**

この発明によれば、第3の信号線路を挿入することに加えて、第3の信号線路の幅を調整することにより、信号線路幅を段階的に変化させることができ、接続部におけるインピーダンスのずれを一段と低減できる。

40

**【0027】**

さらに本発明の好ましい形態においては、前記第3の信号線路は、一端が上層の線路と他端が下層の線路と重なるように階段状に配置され、かつ重なり合う部分同士が接続された少なくとも1つ以上の線路を有し、前記線路のうち一部の線路は、線路幅が前記第1の信号線路の幅と前記第2の信号線路の幅の間にあり、線路間で線路幅が段階的に変化していることが望ましい。

**【0028】**

この発明によれば、第3の信号線路を階層的に形成された少なくとも1つ以上の線路で形

50

成し、線路幅を段階的に変化させることにより、接続部において信号線路幅が一挙に変化することを防止して、接続部におけるインピーダンスのずれを一段と低減できる。

【0029】

さらに本発明の好ましい形態においては、前記第1の信号線路とグラウンド導体との距離を短くするための導体をさらに備えることが望ましい。

【0030】

この発明によれば、グラウンド導体との距離を短くする導体を設けることにより、第1の高周波伝送線路の信号線路の幅を調整して接続部におけるインピーダンスのずれをさらに低減できる。

【0031】

また本発明の好ましい形態においては、誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路は、前記第1の高周波伝送線路の信号線路と、端部が前記第1の高周波伝送線路の前記信号線路と重なるように配置された前記第2の高周波伝送線路の信号線路と、前記第1の高周波伝送線路の前記信号線路と前記第2の高周波伝送線路の前記端部とを接続する接続導体と、前記第1の高周波伝送線路の前記信号線路とグラウンド導体との距離を短くするための導体とを備える。

10

【0032】

この発明によれば、グラウンド導体との距離を短くする導体を設けることにより、第1の高周波伝送線路の信号線路の幅を調整して接続部におけるインピーダンスのずれをさらに低減できる。

20

【0033】

さらに本発明の好ましい形態においては、異なる第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、前記高周波伝送線路は、端部の幅が他の部分と異なる前記第1の高周波伝送線路の信号線路と、前記第1の高周波伝送線路の前記信号線路の端部に接続された前記第2の高周波伝送線路の信号線路とを備える。

【0034】

この発明によれば、第1の高周波伝送線路の信号線路の端部の幅を他の部分と変えることにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれを抑えることができる。

30

【0035】

また本発明の好ましい形態においては、誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、前記高周波伝送線路は、端部の幅が他の部分と異なる前記第1の高周波伝送線路の信号線路と、端部が前記第1の高周波伝送線路の前記端部と重なるように配置された前記第2の高周波伝送線路の信号線路と、前記第1の高周波伝送線路の前記端部と前記第2の高周波伝送線路の前記端部とを接続する接続導体とを備える。

【0036】

この発明によれば、第1の高周波伝送線路の信号線路の端部の幅を変え、これを接続導体を介して第2の高周波伝送線路の信号線路に接続することにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれを抑えることができる。

40

【0037】

さらに本発明の好ましい形態においては、誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、前記高周波伝送線路は、前記第1の高周波伝送線路の第1の信号線路と、前記第2の高周波伝送線路の第2の信号線路と、前記第1の高周波伝送線路の前記第1の信号線路と前記第2の高周波伝送線路の前記第2の信号線路の間の層に設けられ、一端が前記第1の高周波伝送線路の前記第1の信号線路と重なり、他端が前記第2の高周波伝送線路の前記第2の信号線路に重なるように形成された第3の信号線路と、前記第1の信号線路と前記第3の信号線路の前記一端とを接続する第1の接続導体と、前記第2の信号

50

線路と前記第3の信号線路の前記他端とを接続する第2の接続導体とを備える。

#### 【0038】

この発明によれば、第1の高周波伝送線路の第1の信号線路と前記第2の高周波伝送線路の前記第2の信号線路の間に第3の信号線路を設けるようしたことにより、信号線路の距離を短くすることができるので、接続部におけるインピーダンスのずれを低減することができる。

#### 【0039】

また本発明の好ましい形態においては、誘電体の異なる層に信号線路を有する第1及び第2の高周波伝送線路を含む高周波伝送線路を介して高周波信号を高周波回路に導く高周波基板であって、前記高周波伝送線路は、前記第1の高周波伝送線路の信号線路と、端部が前記第1の高周波伝送線路の前記信号線路と重なるように配置された前記第2の高周波伝送線路の信号線路と、前記第1の高周波伝送線路の前記信号線路と前記第2の高周波伝送線路の前記端部とを接続する接続導体と、前記第1の高周波伝送線路の前記信号線路とグランド導体との距離を短くするための導体とを備える。

10

#### 【0040】

この発明によれば、グランド導体との距離を短くする導体を設けることにより、第1の高周波伝送線路の信号線路の幅を調整して接続部におけるインピーダンスのずれをさらに低減できる。

#### 【0041】

#### 【発明の実施の形態】

20

#### （実施の形態1）

以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明の第1の実施の形態に係る高周波伝送線路の接続構造を示した断面図と平面図である。但し、従来例と同様の部分には同一符号を用いて説明する。

#### 【0042】

図1（a）に示すように、本実施の形態による高周波伝送線路は、誘電体2をマイクロストリップ線路（MSL）とトリプレート線路（TSL）で共用し、その誘電体2の下面（即ち下層）には、マイクロストリップ線路とトリプレート線路で共用されるグランド導体1が形成されている。一方、誘電体2の上面（即ち上層）には、マイクロストリップ線路の信号線路3が形成され、さらにその信号線路3と所定の間隔をあけてトリプレート線路を構成するグランド導体5が形成されている。

30

#### 【0043】

また誘電体2の内部（すなわち内層）には、トリプレート線路の信号線路4が、グランド導体1及び5に挟まれるように、埋設されている。このトリプレート線路の信号線路4は、マイクロストリップ線路の信号線路3と垂直方向に重なるように、領域A及びBにおいて、その端部がマイクロストリップ線路の方向に延長されている。これら両伝送線路の信号線路3及び4は、領域Aの略中心において、ビアホール導体12によって接続されており、これによりマイクロストリップ線路とトリプレート線路が接続される。

#### 【0044】

図1（b）は、上述のようなマイクロストリップ線路とトリプレート線路の接続部付近を示す平面図である。マイクロストリップ線路の信号線路3の端部の幅は、領域Aにおいて、他の信号線路3の幅に比べて狭くなるように形成されている。上述したように、領域Bにおいては、マイクロストリップ線路の信号線路3とグランド導体5がショートしないように、当該信号線路3とグランド導体5とは所定の間隔をあけて配置されている。なお、図示していないが、この例では、信号線路4の幅はどの部分も一定である。但し、信号線路3の領域Aの幅>信号線路4の幅の関係は保持されている。また、図1（b）においては、グランド導体5は、マイクロストリップ線路の信号線路3を囲むように延長され、この延長されたグランド導体11は所定のビアホールを介して下面のグランド導体1に導通されている。

40

#### 【0045】

50

一般に、マイクロストリップ線路及びトリプレート線路の特性インピーダンスはそれぞれ信号線路3及び信号線路4の幅により変化する。従って、領域A以外の場所では、このマイクロストリップ線路の特性インピーダンスは、例えば50オームになるような所定値に信号線路3の幅が設定されている。また、同様に、トリプレート線路の特性インピーダンスも、例えば50オームになるような所定値に信号線路4の幅が設定されている。

#### 【0046】

なお、マイクロストリップ線路及びトリプレート線路を特性インピーダンス50オームで設計すると、構造上の違いから、通常、マイクロストリップ線路の信号線路の幅は、トリプレート線路の信号線路の幅に比べて大きくなる。従って、図1に示した例でも、信号線路3の幅は信号線路4の幅よりも大きくなっている。但し、上述したように、信号線路3の幅を領域Aにおいて狭くしても、この関係は維持されており、信号線路3の領域Aの幅>信号線路4の幅の関係が成立している。

10

#### 【0047】

従来方法のように、信号線路3と信号線路4をビアホール導体6で単純に接続した場合には、信号線路3と信号線路4及びビアホール導体6の電磁気的な結合が新たに生じるため、そのままだと、この接続部付近において特性インピーダンスが50オームにならず、この部分での信号の反射率が大きくなる。

#### 【0048】

そこで、本実施の形態では、図1(b)に示すように、信号線路3の端部の幅(領域A)を他の部分よりも狭くしている。これにより接続部において信号線路幅が段階的に変わるので、当該接続部におけるインピーダンスのずれを抑えることができる(すなわち接続部における特性インピーダンスを50オームに近づけることができる)。従って、信号線路3と信号線路4の接続部における信号反射を低減し、異なる高周波伝送線路を接続した場合にも、信号の通過特性を向上させることができる。

20

#### 【0049】

本実施の形態によれば、マイクロストリップ線路の信号線路3の端部の幅を調整することにより、マイクロストリップ線路とトリプレート線路の接続部の特性インピーダンスのずれを低減してインピーダンス整合をとることができ、信号反射率を低減して高周波信号の通過特性を向上させることができる。

#### 【0050】

(実施の形態2)

図2は、本発明の第2の実施の形態に係る高周波伝送線路の接続構造を示した断面図である。但し、第1の実施の形態と同様の部分には同一符号を付して説明する。

30

#### 【0051】

本実施の形態の高周波伝送線路は、第1の実施の形態と同様にマイクロストリップ線路(MSL)の信号線路3の幅が領域Aで狭くなっているが、3本のビアホール導体12によってマイクロストリップ線路の信号線路3とトリプレート線路(TSL)の信号線路4が接続されているところが第1の実施の形態と異なる点である。

#### 【0052】

本実施の形態によれば、信号線路3の幅を調整することに加えて、その信号線路3及び4を複数のビアホール導体12で接続することにより、インピーダンスのずれを引き起こす原因の1つである接続部付近の信号線路3及び4間の電位のばらつきを抑えることができ、接続部における信号反射率を一段と小さくして信号通過特性を向上することができる。

40

#### 【0053】

尚、本実施の形態では3本のビアホール導体12でマイクロストリップ線路の信号線路3とトリプレート線路の信号線路4を接続する構成であったが、2本或いは4本以上で接続しても良い。電位のばらつきを抑えるという観点では、できるだけ多くのビアホール導体を介して接続することが好ましいが、ビアホール導体の本数を増やすと構造上複雑になるので、ビアホール導体の本数はこの点も含めて決めることが好ましい。

50

**【0054】**

また上記第1、第2の実施の形態では、マイクロストリップ線路の信号線路3の幅を変化させたが、これに代わって、領域A及びBにおいてトリプレート線路の信号線路4の端部の幅を広げるようにしても同様の効果を得ることができる。

**【0055】**

さらに上記第1、第2の実施の形態では、マイクロストリップ線路の信号線路3の幅を変化させたが、これに加えて、領域A及びBにおいてトリプレート線路の信号線路4の端部の幅を他の部分よりも広くしても良い。このように両線路の幅を変化させることにより、接続部における特性インピーダンスをより細かく調整することができ、接続部の特性インピーダンスのずれを一段と低減することができる。さらに本実施の形態の場合には、線路幅を2箇所で調整できるので、設計の自由度も広げることができる。

10

**【0056】**

(実施の形態3)

図3は、本発明の第3の実施の形態に係る高周波伝送線路の接続構造を示した断面図である。但し、第1の実施の形態と同様の部分には同一符号を付して説明する。

**【0057】**

第1の実施の形態と同様に、誘電体2の下面（即ち下層）には、グランド導体1が形成され、誘電体2の上面（即ち上層）にはマイクロストリップ線路（MSL）の信号線路3が形成されると共に、トリプレート線路（TSL）のグランド導体5が形成される。また誘電体2の内部（即ち内層）には、トリプレート線路の信号線路4がグランド導体1及び5に挟まれるように埋設されている。なお、トリプレート線路4の端部は、領域Bにおいてマイクロストリップ線路の方向に延長されている。

20

**【0058】**

誘電体2の内部においては、マイクロストリップ線路の信号線路3とトリプレート線路の信号線路4の間の層に信号線路7が埋設されている。この信号線路7は、その一端が信号線路3と垂直方向に重なるように形成され（領域A）、その他端が信号線路4と垂直方向に重なるように形成されている（領域B）。そしてこの信号線路7は、領域Aにおいて、3本のビアホール導体12を介して信号線路3と接続され、領域Bにおいて、同じように3本のビアホール導体12を介して信号線路4と接続されている。このようにして、本実施の形態では、マイクロストリップ線路の信号線路3とトリプレート線路の信号線路4は信号線路7を介して接続されている。

30

**【0059】**

図4は図3に示したマイクロストリップ線路とトリプレート線路の接続部付近の信号線路4、信号線路7及び信号線路3の上面を示した平面図である。図4（a）はマイクロストリップ線路の領域A付近の信号線路3を示し、領域Aでは信号線路3の端部の幅が他の部分に比べて狭くなっている。図4（b）は信号線路3、信号線路4の間に配置され、前記接続部の領域A、領域Bにかかる信号線路7を示しており、信号線路7は領域Aの信号線路3の幅よりは狭くなっている。図4（c）は前記接続部の領域B付近のトリプレート線路の信号線路4を示しており、その幅は一定である。なお、信号線路7と信号線路4の関係は、この例では、信号線路7の幅>信号線路4の幅の関係になっている。

40

**【0060】**

前述したようにマイクロストリップ線路及びトリプレート線路の特性インピーダンスはそれぞれ信号線路3及び信号線路4の幅により変化させることができる。それ故、領域A以外の場所では、このマイクロストリップ線路の特性インピーダンスは、例えば50オームになるような所定値に信号線路3の幅が設定されている。また、同様に、トリプレート線路の特性インピーダンスも、例えば50オームになるように信号線路4の幅が所定値に設定されている。

**【0061】**

しかし、従来のように、信号線路3と信号線路4を単にビアホール導体6で接続する構造では、前述したように信号線路3と信号線路4及びビアホール導体6の電磁気的な結

50

合が新たに生じて、この接続部分の特性インピーダンスが50オームにならず、信号反射が起きていた。そのため本実施の形態では、信号線路3の端部の幅を変更することに加えて、さらに信号線路3と信号線路4の間に信号線路7を配置し、信号線路7を介してマイクロストリップ線路の信号線路3とトリプレート線路の信号線路4とを接続し、これによって接続部におけるインピーダンスのずれを抑えて、信号反射を抑えている。

#### 【0062】

具体的には、本実施の形態の場合、各信号線路幅は、構造の異なる各断面の特性インピーダンスのずれが極力小さくなるように、例えば以下のような関係になるように設定されている。信号線路3の幅>信号線路3の領域Aの幅>信号線路7の幅>信号線路4の幅。すなわち信号線路の幅が、マイクロストリップ線路の信号線路3の幅から徐々にトリプレート線路の信号線路4の幅に近づくようになされており、従来のようにマイクロストリップ線路からトリプレート線路へ一挙に信号線路幅が変わることを防止している。また信号線路7が信号線路3及び4の間に挿入されているので、従来に比して、信号線路間の距離が短くなり、これによって信号線路間の電位のばらつきが抑えられている。また信号線路7を挿入することにより、接続点が増え、インピーダンスのずれを生じるポイントを分散させることができる。このような構成により、本実施の形態の場合には、接続部におけるインピーダンスのずれを抑えて、当該接続部の特性インピーダンスをマイクロストリップ線路及びトリプレート線路の特性インピーダンスに一段と近づけることができる。

10

#### 【0063】

このような構成により、信号線路3と信号線路4の接続部を含めた線路のVSWRは図5の(1)に示すように20GHz~35GHzの周波数範囲では、1.1以下となって非常に反射が少ないことが分る。しかし、従来例では図5の(2)に示すように全周波数範囲でVSWRが大きく、反射が大きいことが分る。

20

#### 【0064】

本実施の形態によれば、信号線路3と信号線路4の間に信号線路7を設けると共に、信号線路3の端部(領域A)と信号線路7のそれぞれの幅を適切に設定して信号線路3と信号線路4を信号線路7を介して接続することにより、接続部におけるインピーダンスのずれを低減して信号反射を低減し得、通過特性を向上することができる。すなわち信号線路7を挿入すること、信号線路3及び7の幅を変えることの2段階で調整を行っているので、接続部におけるインピーダンスのずれを分散させると共に、そのずれを小さくでき、接続部における信号反射を低減できる。

30

#### 【0065】

なお、上記第3の実施の形態では、信号線路3の幅>信号線路3の領域Aの幅>信号線路7>信号線路4となるように各線路の幅を設定したが、信号線路7と信号線路4の幅を等しくしても、線路幅が信号線路3から信号線路4へ一挙に変わること防止し得ると共に、各線路間の距離を短くできるので、少なくとも従来より信号反射を低減できる効果は得られる。また信号線路3の幅を変えず、単に信号線路3>信号線路7>信号線路4の関係となる信号線路7を挿入するようにしても良い。さらに信号線路3の幅を変えずに、信号線路3=信号線路7>信号線路4の関係にしたり、或いは信号線路3>信号線路7=信号線路4の関係にしても、信号線路7を挿入しているので、従来に比して信号線路間の距離が短くなり、少なくとも従来より信号反射を低減できる効果は得られる。

40

#### 【0066】

また上記第3の実施の形態では、マイクロストリップ線路の領域Aでの信号線路3の幅を他の部分に対して変化させたが、さらに、領域Bでのトリプレート線路の信号線路4の幅を他の部分に対して変化させるようにしても良い。この場合、線幅を調整出来る部分が3か所になるため、接続部の特性インピーダンスをより精度良く調整し得ると共に、設計の自由度を向上させることができる。また、信号線路7の線幅を信号線路3に対向する部分と信号線路4に対向する部分とで変化させるようにすれば、さらに、線幅を調整出来る部分が増加し、調整の精度及び設計の自由度を向上させることができる。

50

**【0067】**

また、上記実施の形態では、信号線路3と信号線路7及び、信号線路7と信号線路4の接続をそれぞれ3本ずつのビアホール導体12により接続したが、いずれか一方又は両方の接続部を1本のビアホール導体で接続しても、第3の実施の形態よりも劣るが、マイクロストリップ線路及びトリプレート線路の接続分での信号反射率を小さくでき、信号の通過特性を向上させることができる。

**【0068】**

さらに、信号線路3と信号線路7及び、信号線路7と信号線路4をそれぞれ接続するビアホール導体の数は2本でも、また、4本以上でも良い。

**【0069】**

また、上記実施の形態では信号線路3と信号線路4の間に1本の信号線路7を介在させて接続したが、図6に示すように、2本の信号線路7A及び7Bを信号線路3及び4の間に inser 入れるようにしても良い。この場合、各線路の幅は、構造の異なる接続部の特性インピーダンスのずれが極力小さくなるように、例えば信号線路3>信号線路7A>信号線路7B>信号線路4となるように設定される。このような線路関係に加えて、上記実施の形態のように、さらに信号線路3の端部の幅を領域Aで変えたり、信号線路4の端部の幅を領域Cで変えるようにしても良い。また各線路の幅は、例えば信号線路3=信号線路7A>信号線路7B>信号線路4の関係であっても良いし、或いは信号線路3>信号線路7A>信号線路7B=信号線路4の関係であっても良い。さらに信号線路3と信号線路4の間に挿入される信号線路7を2本以上にしても良い。要は、信号線路3と信号線路4の間に、一端が上層の線路と他端が下層の線路と重なるように階段状に配置され、かつ重なり合う部分同士が接続された少なくとも1つ以上の線路を挿入し、少なくともそのうちの一部の線路の幅を信号線路3の幅と信号線路4の幅の間に設定し、線路間で線路幅が段階的に変化するよう調整すれば良い。このようにすれば、接続部におけるインピーダンスのずれを分散させてそのずれを小さくできるので、接続部における信号反射を低減することができる。

**【0070】**

(実施の形態4)

図7は、本発明の第4の実施の形態に係る高周波伝送線路の接続構造を示した断面図である。但し、第1の実施の形態と同様の部分には同一符号を付して説明する。

**【0071】**

本例の高周波伝送線路は、マイクロストリップ線路(MSL)の信号線路3とトリプレート線路(TSL)の信号線路4を1本のビアホール導体12により接続した構造である。一方、マイクロストリップ線路の信号線路3の真下には信号線路4と略同層の位置に導体9が設けられており、さらにその下には導体10が設けられている。これらの導体9、10は、ビアホール導体13を介して、誘電体2の下面に形成されたグランド導体1に接続されている。

**【0072】**

上記したマイクロストリップ線路の信号線路3の真下に配置された導体9、10は、信号線路3に対してグランド導体として機能しており、信号線路3とグランド導体との距離を短くする作用がある。ここで、マイクロストリップ線路の特性インピーダンスは、信号線路3とグランド導体との距離により変化し、また、前述したように信号線路3の幅によっても変化する。

**【0073】**

マイクロストリップ線路の特性インピーダンスを例えば50オームとした場合、上記のように信号線路3とグランド導体との距離が短くなると、特性インピーダンスを50オームに保持するには、信号線路3の幅を狭くすれば良いことがシミュレーション等によって分かる。

**【0074】**

従って、グランド導体1にビアホール導体13で接続された導体9、10によって、マ

10

20

30

40

50

マイクロストリップ線路の信号線路3とグランド導体との距離を短くすると、信号線路3の幅が狭くなる。ここで、マイクロストリップ線路の信号線路3の幅がトリプレート線路の信号線路4の幅よりも大きくなる場合、上記のように導体9、10の作用によって信号線路3の幅が狭くなると、信号線路4との幅の差が縮まり、従来のように一挙に導体幅が変わることを防止し得るので、マイクロストリップ線路とトリプレート線路の接続部において発生する信号反射を小さくすることができる。

#### 【0075】

本実施の形態によれば、グランド導体1にヴィアホール導体13で接続された導体9、10によって、マイクロストリップ線路の信号線路3とグランド導体との距離を短くすることにより、マイクロストリップ線路の信号線路3の幅をトリプレート線路の信号線路4の幅に近づけることができるため、信号線路3と信号線路4の接続部での信号反射を低減でき、接続部における信号の通過特性を向上させることができる。

10

#### 【0076】

尚、本実施の形態も第1の実施の形態のように、マイクロストリップ線路の信号線路3の幅だけ或いは、信号線路3の幅とトリプレート線路の信号線路4の幅の両方を調整しても良い。この場合、複数のパラメータを使用できるため、第1の実施の形態よりも精度良く、或いはより広範な寸法選択の中で接続部の特性インピーダンスを調整することができ、当該接続部のインピーダンスのずれを一段と抑えて信号反射を低減することができる。

#### 【0077】

(実施の形態5)

図8は、本発明の第5の実施の形態に係る高周波伝送線路の接続構造を示した断面図である。但し、第3の実施の形態と同様の部分には同一符号を付して説明する。

20

#### 【0078】

本例の高周波伝送線路は、マイクロストリップ線路(MSL)の信号線路3とトリプレート線路(TSL)の信号線路4間の誘電体2内に信号線路7が埋設されており、この信号線路7に信号線路3を3本のヴィアホール導体6を通して接続し、更に、信号線路7を3本のヴィアホール導体6を通して信号線路4に接続して構成されている。また、信号線路3はマイクロストリップ線路とトリプレート線路の接続部の領域Aでその線幅が他の部分に比べて狭くなっており、信号線路3の領域Aでの幅>信号線路7の幅>信号線路4の幅の関係があり、第3の実施の形態と同様の接続構造を有している。

30

#### 【0079】

一方、マイクロストリップ線路の信号線路3の真下には、第4の実施の形態と同様に、導体9、10が設けられており、これら導体9、10はヴィアホール導体13を介してグランド導体1に接続されている。なお、この例では、導体10は信号線路7の真下まで伸びており、領域Aにまで及んでいる。

#### 【0080】

マイクロストリップ線路の信号線路3と信号線路7の真下に配置された導体9、10は、信号線路3とグランド導体との距離及び、信号線路7とグランド導体との距離を短くしている。

#### 【0081】

このように信号線路3及び7のグランド導体までの距離を短くすると、第4の実施の形態と同様に、信号線路3及び7の幅を狭くすることができ、信号線路4の線路幅との差を縮めることができる。

40

#### 【0082】

それ故、本例の場合には、信号線路7によって線路幅を段階的に変化できることに加えて、その線路幅の差を縮めることができる。従って、本例の場合には、第3の実施の形態よりも、さらに接続部におけるインピーダンスのずれを抑えて当該接続部における信号反射を低減することができる。

#### 【0083】

本実施の形態によれば、グランド導体1にヴィアホール導体13で接続された導体9、1

50

0によって、マイクロストリップ線路の信号線路3及び中間の信号線路7のグラウンド導体までの距離を短くすることにより、各線路間で線路幅の差を縮めることができ、接続部におけるインピーダンスのずれを一段と抑えて当該接続部での信号反射を低減することができる。

#### 【0084】

また、この実施の形態の場合には、接続部におけるインピーダンス調整のパラメータを信号線路の幅と信号線路とグラウンド導体までの距離の2種類とすることができるため、その分、設計の自由度を向上させることができる。

#### 【0085】

尚、上記第5の実施の形態では、マイクロストリップ線路の領域Aでの信号線路3の幅を他の部分に対して変化させたが、さらに、領域Bでのトリプレート線路の信号線路4の幅を他の部分に対して変化させるようにした上で、マイクロストリップ線路の信号線路3及び中間の信号線路7のグラウンド導体までの距離を短くして接続部におけるインピーダンス調整をするようにしても良く、同様の効果を得ることができる。

#### 【0086】

(他の実施の形態)

上述の実施の形態では、誘電体2の上面に信号線路3を有するマイクロストリップ線路と誘電体2の内部に信号線路4を有するトリプレート線路とを接続する場合について説明したが、図9に示すように、信号線路4A、4Bが異なる層に配置されたトリプレート線路同士を接続する場合に、本発明を適用するようにしても、上述の場合と同様の効果を得ることができる。この場合、領域Aにおいて信号線路4A又は4Bのうちいずれか一方又は両方の線路幅を調整して線路幅の差が小さくなるようにすれば、接続部におけるインピーダンスのずれを抑えて、信号反射を低減することができる。

#### 【0087】

またこれに限らず、図9に示した構造に加えて、図3に示したように、信号線路4A及び4Bの間に信号線路7を挿入して、当該信号線路7を介して信号線路4A及び4Bを接続するようにしても良い。このような構造にして信号線路7の線路幅を調整すれば、信号線路幅を段階的に変化させることができるので接続部における信号反射を一段と低減し得る。

#### 【0088】

またこれに限らず、信号線路4Aと信号線路4Bが異なる線路幅を有する場合であって、信号線路4A及び4Bが同一層に存在する場合には、一方又は両方の信号線路の端部の幅を他の部分と変えるように調整し、ビアホール導体を介さずに直接接続するようにしても良い。この場合、少なくとも、一挙に信号線路幅が変わることを防止し得るので、接続部における信号反射を単に端部同士を接続する場合に比して低減し得る。

#### 【0089】

さらに図10に示すように、図9に示した構造に加えて、信号線路4Aの下に導体9を設け、当該導体9をビアホール導体13を介してグラウンド導体1に接続することにより、上記実施の形態4のように、信号線路4Aとグラウンド導体との距離を短くして信号線路4Aの幅を調整するようにしても、上述の場合と同様の効果を得ることができる。

#### 【0090】

またこれに限らず、図11に示すように、誘電体2の上面（上層）に信号線路3Aを有し、誘電体2の内部（内層）にグラウンド導体1を有するマイクロストリップ線路と、誘電体2の下面（下層）に信号線路3Bを有し、誘電体2の内部にグラウンド導体1を有するマイクロストリップ線路とを接続する場合に、本発明を適用するようにしても、上述の場合と同様の効果を得ることができる。この場合、上記第1の実施の形態のように、領域Aにおいて、信号線路3Aの線路幅を他の部分と変えて段階的に信号線路3Bに近づくようにすれば良い。また信号線路3Aに代えて領域Aにおいて信号線路3Bの線路幅を変えるようにしても良いし、領域Aにおいて信号線路3A及び3Bの両方の線路幅を変えるようにしても良い。

10

20

30

40

50

**【0091】**

さらにこれに限らず、図12に示すように、図11に示した構造に加えて、上記第3の実施の形態と同様に、信号線路3Aと信号線路3Bの間の層に信号線路7を挿入し、当該信号線路7を介して信号線路3A及び3Bを接続するようにしても良い。この場合、信号線路7の線路幅は、信号線路3A>信号線路7>信号線路3Bの関係であっても良いし、或いは信号線路3A=信号線路7>信号線路3B又は信号線路3A>信号線路7=信号線路3Bの関係であっても良い。また信号線路3A及び又は信号線路3Bの端部の線路幅を調整するようにしても良い。このようにして、信号線路7を挿入し、信号線路3A、3B、7の線路幅を調整するようにすれば、上述の場合と同様の効果を得ることができる。

**【0092】**

またこれに限らず、図13に示すように、図12に示した構造に加えて、信号線路7を複数の信号線路7A、7B、7Cの3段階で構成し、その信号線路7A、7B、7Cの線路幅を調整すれば、さらに接続部のインピーダンスのずれを低減して信号反射の少ない高周波伝送線路を実現し得る。さらにこの構成に加えて、導体9A、10A、9B、10Bを追加し、これらの導体9A、10A、9B、10Bをビアホール導体13を介してグラウンド導体1に接続することにより、上記第5の実施の形態と同様に、信号線路7A、7B、7Cに対するグラウンド導体の距離を短くするようにしても、上述の場合と同様の効果を得ることができる。

**【0093】**

また上記実施の形態においては、伝送線路としてマイクロストリップ線路やトリプレート線路を用いた場合について述べたが、本発明はこれに限らず、例えば誘電体の上面に信号線路とグラウンド導体を有するコプレーナ線路を用いた場合にも同様の効果を得ることができる。

**【0094】**

尚、本発明は上記実施の形態に限定されることなく、その要旨を逸脱しない範囲において、具体的な構成、機能、作用、効果において、他の種々の形態によっても実施することができる。例えば、上記実施の形態ではマイクロストリップ線路とトリプレート線路の接続に、ビアホール導体を用いたが、スルーホール導体を用いても良い。

**【0095】****【発明の効果】**

以上詳細に説明したように、本発明によれば、第1の高周波伝送線路の信号線路の端部の幅を他の部分と変えることにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれを抑えることができ、接続部における信号反射を低減して信号通過特性を良好にすることができる。

また、第2の高周波伝送線路の信号線路の端部の幅も変えることにより、第1及び第2の高周波伝送線路の接続部においてインピーダンスのずれをさらに抑えることができ、接続部における信号反射を低減して信号通過特性をさらに良好にすることができる。

また、第1の高周波伝送線路の第1の信号線路と第2の高周波伝送線路の第2の信号線路の間に第3の信号線路を設けるようにしたことにより、信号線路間の距離を短くできるので、接続部におけるインピーダンスのずれを低減することができ、かくして接続部における信号反射を低減して信号通過特性をさらに良好にすることができる。

また、第3の信号線路を階層的に形成された少なくとも1つ以上の線路で形成し、線路幅を段階的に変化させることにより、接続部におけるインピーダンスのずれを一段と低減できる。

また、グラウンド導体との距離を短くする導体を設けることにより、接続部におけるインピーダンスのずれをさらに低減でき、接続部における信号反射を低減して信号通過特性をさらに良好にすることができる。

**【図面の簡単な説明】**

**【図1】** 本発明の第1の実施の形態に係る高周波伝送線路の構成を示した断面図と平面図である。

10

20

30

40

50

- 【図2】 本発明の第2の実施の形態に係る高周波伝送線路の構成を示した断面図である。
- 【図3】 本発明の第3の実施の形態に係る高周波伝送線路の構成を示した断面図である。
- 【図4】 図3に示したマイクロストリップ線路とトリプレート線路の接続部付近の信号線路の上面を示した平面図である。
- 【図5】 図3に示した高周波伝送線路接続構造のVSWR特性を示した特性図である。
- 【図6】 本発明の第3の実施形態に係る高周波伝送線路の変形例を示した断面図である。
- 【図7】 本発明の第4の実施の形態に係る高周波伝送線路の構成を示した断面図である。
- 【図8】 本発明の第5の実施の形態に係る高周波伝送線路の構成を示した断面図である。
- 【図9】 他の実施の形態に係る高周波伝送線路を示した断面図である。
- 【図10】 他の実施の形態に係る高周波伝送線路を示した断面図である。
- 【図11】 他の実施の形態に係る高周波伝送線路を示した断面図である。
- 【図12】 他の実施の形態に係る高周波伝送線路を示した断面図である。
- 【図13】 他の実施の形態に係る高周波伝送線路を示した断面図である。
- 【図14】 従来のマイクロストリップ線路の構成を示した断面図である。
- 【図15】 従来のトリプレート線路の構成を示した断面図である。
- 【図16】 従来のマイクロストリップ線路とトリプレート線路の接続構造を示した断面図である。

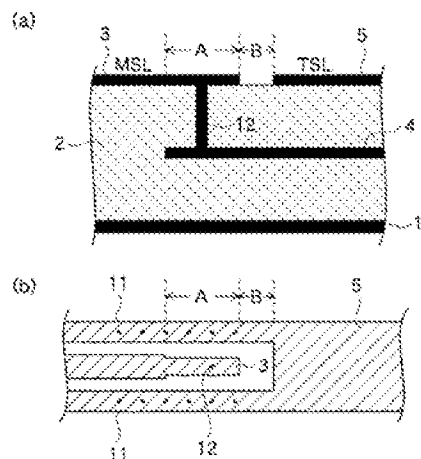
10

【符号の説明】

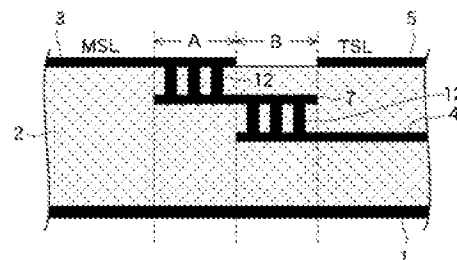
- 1、5、11 グランド導体  
 2 誘電体  
 3、3A、3B、4、7、7A、7B、7C 信号線路  
 6、12、13 ヴィアホール導体  
 9、9A、9B、10、10A、10B 導体

20

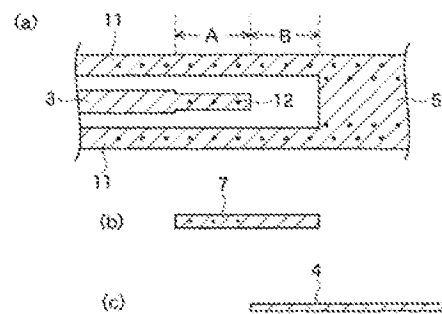
【図1】



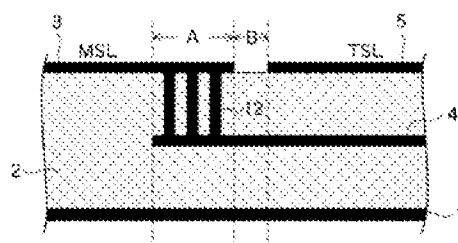
【図3】



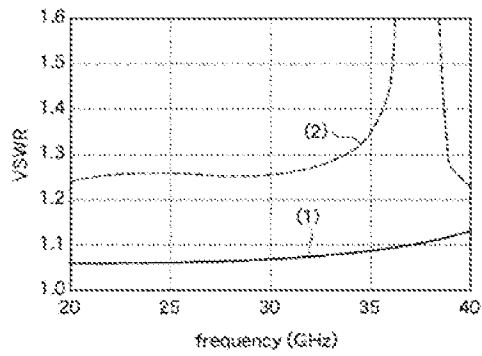
【図4】



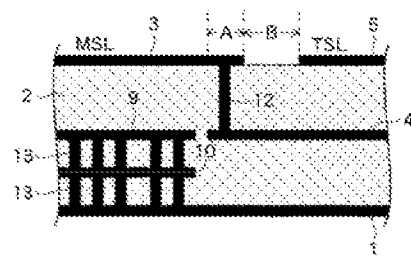
【図2】



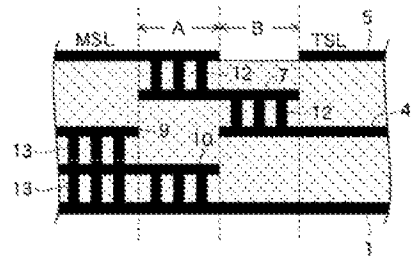
【図 5】



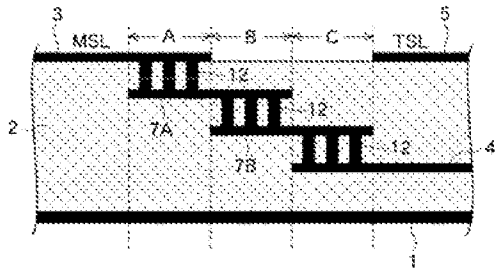
【図 7】



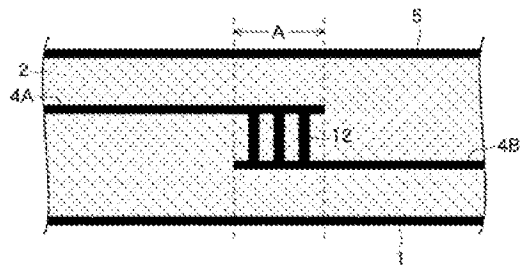
【図 8】



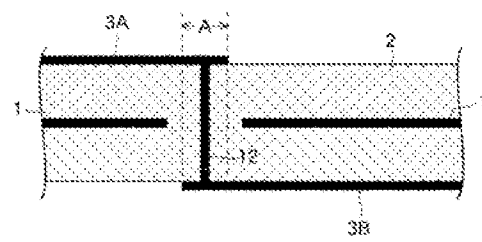
【図 6】



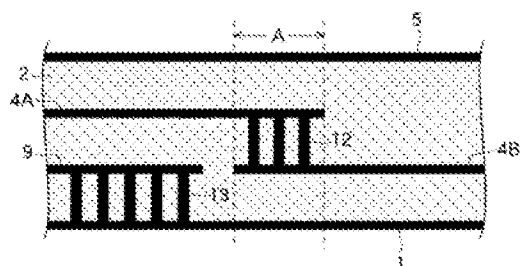
【図 9】



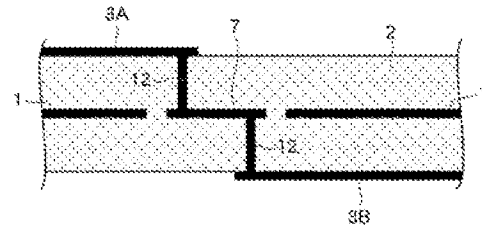
【図 11】



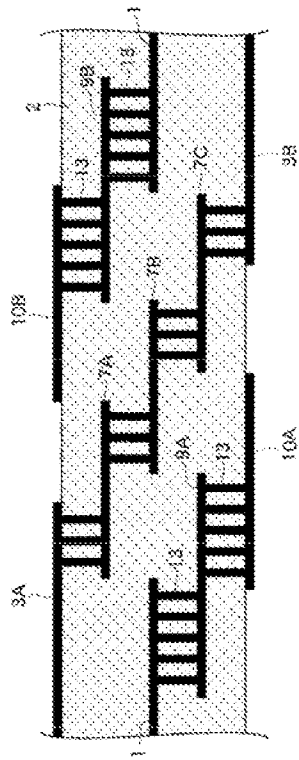
【図 10】



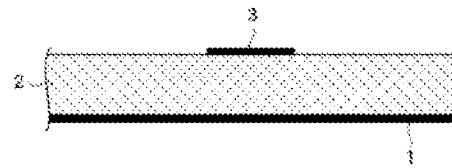
【図 12】



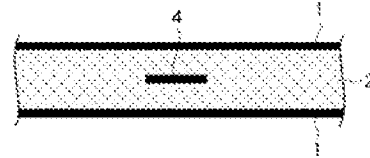
【図13】



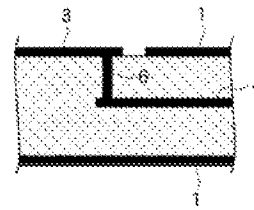
【図14】



【図15】



【図16】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-094445

(43)Date of publication of application : 07.04.2005

---

(51)Int.Cl. H01P 5/08  
H01P 1/04  
H01P 5/02  
H05K 1/02  
H05K 3/46

---

(21)Application number : 2003-325998

(71)Applicant : TDK CORP

(22)Date of filing : 18.09.2003

(72)Inventor : SHIMODA HIDEAKI

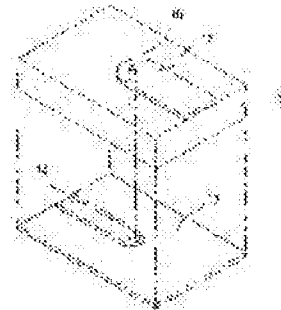
---

## (54) TRANSMISSION LINE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To remarkably improve return loss in interlayer-connecting a plurality of transmission lines.

**SOLUTION:** A transmission line is provided with a first signal line conductor 12 constituting a microstrip line, and a second signal line conductor 14 being connected to this conductor 12 via a through hole 16 and constituting a coplanar line. In this case, the through hole 16 is perforated from the opening end of the conductor 12 to the opening end of the conductor 14. In at least either of the conductors 12 and 14, the opening end having the perforated through hole 16 has a shape of having a region where the conductor width is tapered. With this configuration, in this transmission line, since a current is allowed to efficiently flow intensively to the through hole 16, discontinuity of current generated near the opening end of the conductor 12 and/or 14 can be reduced.



(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-94445

(P2005-94445A)

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int. Cl.<sup>7</sup>

F1

テーマコード (参考)

H01P 5/08  
H01P 1/04  
H01P 5/02  
H05K 1/02  
H05K 3/46

H01P 5/08 C 5E338  
H01P 1/04 5E346  
H01P 5/02 6O3L 5J011  
H05K 1/02 J  
H05K 3/46 N

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願2003-325998 (P2003-325998)

(22) 出願日

平成15年9月18日(2003.9.18)

(71) 出願人 000003067

TDK株式会社

東京都中央区日本橋1丁目13番1号

(74) 代理人 100105809

弁理士 木森 有平

(72) 発明者 下田 秀昭

東京都中央区日本橋一丁目13番1号 TDK株式会社内

Fターム(参考) 5E338 AA02 AA03 BB02 BB13 BB25  
CC02 CC06 CD02 CD12 CD14  
EE13  
5E346 AA12 AA15 AA35 AA43 BB02  
BB04 BB06 BB11 BB15 CC01  
CC31 FF01 HH03  
5J011 DA12

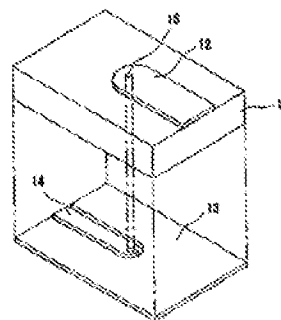
(54) 【発明の名称】 伝送線路

(57) 【要約】

【課題】 複数の伝送線路を層間接続する際の反射損失を著しく改善する。

【解決手段】 伝送線路は、マイクロストリップ線路を構成する第1の信号線路導体12と、この第1の信号線路導体12とスルーホール16を介して接続され、コプレーナ線路を構成する第2の信号線路導体14とを備える。ここで、スルーホール16は、第1の信号線路導体12の開放端から第2の信号線路導体14の開放端まで穿設されており、第1の信号線路導体11及び第2の信号線路導体14のうち少なくとも一方の信号線路導体は、スルーホール16が穿設された開放端の形状が、導体幅が漸減する領域を有する形状に形成されている。これにより、この伝送線路においては、電流をスルーホール16に集中させて効率よく流すことができることから、第1の信号線路導体12及び／又は第2の信号線路導体14の開放端付近に生じる電流の不連続を小さくすることができる。

【選択図】 図1



**【特許請求の範囲】****【請求項1】**

第1の伝送線路と第2の伝送線路とをスルーホールを介して層間接続した多層構造を有する伝送線路であって、

前記第1の伝送線路を構成する第1の信号線路導体と、

前記第1の信号線路導体と前記スルーホールを介して接続され、前記第2の伝送線路を構成する第2の信号線路導体とを備え、

前記第1の信号線路導体及び前記第2の信号線路導体のうち少なくとも一方の信号線路導体の開放端の形状が、導体幅が漸減する領域を有する形状に形成されていることを特徴とする伝送線路。

**【請求項2】**

前記第1の信号線路導体及び前記第2の信号線路導体のうち、少なくとも導体幅が広い信号線路導体における開放端の形状が、導体幅が漸減する領域を有する形状に形成されていることを特徴とする請求項1記載の伝送線路。

**【請求項3】**

前記導体幅が漸減する領域を有する形状が、所定の曲率半径からなる円弧状であることを特徴とする請求項1記載の伝送線路。

**【請求項4】**

前記円弧状とされた開放端は、当該開放端を形成する円弧の中心位置が、スルーホールが穿設されている位置よりも非先端側になるように形成されていることを特徴とする請求項3記載の伝送線路。

**【請求項5】**

前記開放端は、スルーホールよりも先端側にある導体部分の長さが、当該スルーホールの半径と略々同じ長さとなるように形成されていることを特徴とする請求項4記載の伝送線路。

**【請求項6】**

前記導体幅が漸減する領域を有する形状が、所定の角度で面取りした形状であることを特徴とする請求項1記載の伝送線路。

**【請求項7】**

前記第1の伝送線路は、マイクロストリップ線路であり、前記第2の伝送線路は、コブレナ線路又はマイクロストリップ線路であることを特徴とする請求項1記載の伝送線路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、第1の伝送線路と第2の伝送線路とをスルーホールを介して層間接続した多層構造を有する伝送線路に関する。

**【背景技術】****【0002】**

近年、アンテナ素子をはじめとする高周波信号の授受をともしなう部材を搭載した各種機器が広く普及している。かかる高周波信号を伝送する平面構造の高周波伝送線路としては、いわゆるマイクロストリップ線路が知られている。マイクロストリップ線路は、一般に、誘電体と、この誘電体の下面に形成されたグラウンド導体と、誘電体の上面に形成された信号線路導体とから構成されるものであり、信号線路導体を介して高周波信号を伝送する。また、高周波伝送線路としては、いわゆるコブレナ線路も知られている。コブレナ線路は、同一平面内に信号線路導体とグラウンド導体とが配設され、当該信号線路導体を介して高周波信号を伝送するものである。

**【0003】**

ところで、例えばマイクロストリップ線路のグラウンド導体側に高周波回路を設け、当該高周波回路から給電する場合のように、当該マイクロストリップ線路のグラウンド導体と同一平面内にコブレナ線路の信号線路導体を形成し、これらマイクロストリップ線路の信号

線路導体とコブレナ線路の信号線路導体とを層間接続する場合がある。このような伝送線路において、マイクロストリップ線路の信号線路導体及びコブレナ線路の信号線路導体は、それぞれの開放端同士がスルーホールを介して接続されることが多い。

#### 【0004】

具体的には、この種の伝送線路は、図9に分解斜視図を示すように、上面にマイクロストリップ線路の信号線路導体101が形成された誘電体102の下面全面をグランド導体104とし、当該グランド導体104の一部領域を、コブレナ線路の信号線路導体105として形成することにより、マイクロストリップ線路のグランド導体とコブレナ線路のグランド導体とを共用する構成とされる。そして、図10に示すように、誘電体102を介して、マイクロストリップ線路の信号線路導体101の開放端からコブレナ線路の信号線路導体105の開放端まで、所定の導体が内部に施されたスルーホール106を穿設し、当該スルーホール106を介して信号線路導体101、105を導通可能に接続することにより、図11に斜視図、並びに図12に平面図及び側面図を示すように、多層構造からなる一連の伝送線路とすることができる。このような伝送線路においては、信号線路導体101からスルーホール106を介して信号線路導体105へと（又はその逆ルートで）信号が伝送される。

#### 【0005】

なお、導体幅が異なるマイクロストリップ線路とコブレナ線路とを接続しているのは、それぞれの信号線路導体101、105に接続されるモジュールの端子ピッチ等の要請によるものである。例えば、マイクロストリップ線路の信号線路導体の導体幅は、コブレナ線路の信号線路導体の導体幅の5倍程度とされる。

#### 【0006】

しかしながら、このような伝送線路においては、径が小さいスルーホール106が穿設された信号線路導体101、105の開放端において、電流がスルーホール106に効率よく流れ込まず、電流の反射が生じることから、反射損失が増大するという問題がある。このような問題は、マイクロストリップ線路同士を層間接続する際にも生ずる。

#### 【0007】

この種の伝送線路において、外部回路とのインピーダンスマッチングをとりやすくするとともに、反射損失や挿入損失の影響の緩和を図った技術として、例えば特許文献1に記載されるようなストリップ線路が提案されている。

#### 【0008】

【特許文献1】特開平7-122901号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0009】

しかしながら、前記特許文献1記載の技術は、第1の伝送線路と第2の伝送線路とをスルーホールを介して層間接続した多層構造を有する伝送線路に適用するようなものではなく、また反射損失に対する考え方も大きく異なっている。

#### 【0010】

本発明は、このような実情に鑑みてなされたものであり、複数の伝送線路を層間接続する際の反射損失を著しく改善することができる伝送線路を提供することを目的とする。

【課題を解決するための手段】

#### 【0011】

上述した目的を達成する本発明にかかる伝送線路は、第1の伝送線路と第2の伝送線路とをスルーホールを介して層間接続した多層構造を有する伝送線路であって、前記第1の伝送線路を構成する第1の信号線路導体と、前記第1の信号線路導体と前記スルーホールを介して接続され、前記第2の伝送線路を構成する第2の信号線路導体とを備え、前記第1の信号線路導体及び前記第2の信号線路導体のうち少なくとも一方の信号線路導体の開放端の形状が、導体幅が漸減する領域を有する形状に形成されていることを特徴とする。

#### 【0012】

本発明にかかる伝送線路においては、第1の信号線路導体及び第2の信号線路導体のうち少なくとも一方の信号線路導体の開放端の形状を、導体幅が漸減する領域を有する形状としているので、電流をスルーホールに集中させて効率よく流すことができ、当該開放端付近に生じる電流の不連続が小さく抑えられる。

#### 【0013】

特に、前記第1の信号線路導体及び前記第2の信号線路導体のうち、少なくとも導体幅が広い信号線路導体における開放端の形状を、導体幅が漸減する領域を有する形状に形成することで、径が小さいスルーホールに効率よく電流を流れ込ませることができ、前記不連続の抑制効果が大きい。

#### 【0014】

具体的には、前記第1の信号線路導体及び前記第2の信号線路導体のうち少なくとも一方の信号線路導体は、前記スルーホールが穿設された開放端の形状として、所定の曲率半径からなる円弧状に形成する。

#### 【0015】

このとき、前記スルーホールが穿設された開放端は、当該開放端を形成する円弧の中心点が、当該スルーホールが穿設されている位置よりも非先端側になるように形成されているのが望ましい。より具体的には、前記スルーホールが穿設された開放端は、当該スルーホールよりも先端側にある導体部分が、当該スルーホールの半径程度の長さとなるように形成されているのが望ましい。このように、本発明にかかる伝送線路においては、スルーホールよりも先端側にある導体部分が占める領域を小さくすることにより、電流の反射が確実に軽減される。

#### 【0016】

あるいは、第1の信号線路導体及び第2の信号線路導体のうち少なくとも一方の信号線路導体は、前記スルーホールが穿設された開放端の形状として、所定の角度で面取りした形状に形成する。この場合にも、円弧状とした場合と同様、開放端における反射が軽減される。

#### 【0017】

なお、前記第1の伝送線路としては、マイクロストリップ線路を適用することができ、前記第2の伝送線路としては、コブレナ線路又はマイクロストリップ線路を適用することができる。

#### 【発明の効果】

#### 【0018】

本発明にかかる伝送線路によれば、第1の信号線路導体及び／又は第2の信号線路導体の開放端付近に生じる電流の不連続を小さくすることができることから、複数の伝送線路を層間接続する際の反射損失を著しく改善することができる。

#### 【発明を実施するための最良の形態】

#### 【0019】

以下、本発明を適用した具体的な実施の形態について図面を参照しながら詳細に説明する。

#### 【0020】

この実施の形態は、いわゆるマイクロストリップ線路とコブレナ線路といった2つの平面構造の伝送線路を、スルーホールを介して層間接続した多層構造からなる一連の伝送線路である。特に、この伝送線路は、電流をスルーホールに集中させて効率よく流すことができるように、信号線路導体を形成したものである。

#### 【0021】

なお、以下では、主として、マイクロストリップ線路とコブレナ線路とを、スルーホールを介して層間接続した伝送線路について説明するものとする。

#### 【0022】

伝送線路は、図1に分解斜視図を示すように、誘電体11と、この誘電体11の上面に形成された第1の信号線路導体12と、誘電体11の下面に形成されたグランド導体13

と、このグランド導体13と同一平面内の一部領域に形成された第2の信号線路導体14とから構成される。この伝送線路においては、誘電体11、第1の信号線路導体12、及びグランド導体13によってマイクロストリップ線路が構成され、グランド導体13、及び第2の信号線路導体14によってコプレナ線路が構成される。

#### 【0023】

そして、この伝送線路においては、誘電体11を介して、図2に示すように、第1の信号線路導体12の開放端から第2の信号線路導体14の開放端まで、所定の導体が内部に施されたスルーホール16が穿設され、図3に斜視図、並びに図4に平面図及び側面図を示すように、誘電体11、第1の信号線路導体12、グランド導体13及び第2の信号線路導体14が積層された多層構造として提供される。

#### 【0024】

このような伝送線路においては、スルーホール16を介して第1の信号線路導体12と第2の信号線路導体14とが導通可能に接続され、第1の信号線路導体12からスルーホール16を介して第2の信号線路導体14へと（又はその逆ルートで）信号が伝送される。

#### 【0025】

ここで、第1の信号線路導体12は、スルーホール16が穿設された開放端の形状が、従来のように導体幅が一様な形状ではなく、導体幅が漸減する領域を有する形状とされる。より具体的には、第1の信号線路導体12は、スルーホール16が穿設された開放端の形状が、所定の曲率半径からなる円弧状に形成される。このとき、第1の信号線路導体12における開放端の形状は、図5に示すように、スルーホール16よりも先端側にある導体部分の領域が、当該スルーホール16の半径程度の長さとなるような曲率半径の円弧状とするのが望ましい。換言すれば、第1の信号線路導体12における開放端の形状は、当該開放端を形成する円弧の中心点が、スルーホール16が穿設されている位置よりも非先端側になるように形成するのが望ましい。これは、スルーホール16よりも先端側にある導体部分が占める領域が大きい場合には、電流の反射が生じやすくなることによるものである。

#### 【0026】

一方、第2の信号線路導体14についても、第1の信号線路導体12と同様に、スルーホール16が穿設された開放端の形状が、導体幅が漸減する領域を有する形状、具体的には、円弧状に形成される。このときも、第2の信号線路導体14における開放端の形状は、電流の反射を防止する観点から、スルーホール16よりも先端部分の領域が、当該スルーホール16の半径程度の長さとなるような曲率半径の円弧状とするのが望ましい。

#### 【0027】

なお、伝送線路においては、誘電体11、第1の信号線路導体12、及びグランド導体13によって構成されるマイクロストリップ線路の特性インピーダンスと、グランド導体13、及び第2の信号線路導体14によって構成されるコプレナ線路の特性インピーダンスとが、同じ値となるように、第1の信号線路導体12及び第2の信号線路導体14の導体幅や導体厚が選択されることはいうまでもない。

#### 【0028】

伝送線路においては、このように第1の信号線路導体12及び第2の信号線路導体14を形成することにより、電流をスルーホール16に集中させて効率よく流すことができ、開放端付近に生じる電流の不連続を解消して反射損失を軽減することができる。

#### 【0029】

実際に、本件出願人は、新たに提案する伝送線路の有意性を検証することを目的として、所定の周波数の信号を伝送した際における反射損失を求めるシミュレーションを行った。

#### 【0030】

この結果を図6に示す。なお、同図には、縦軸に反射損失[dB]を示し、横軸に信号線路導体を介して伝送した高周波信号の周波数[GHz]を示している。また、同図にお

いて、曲線C<sub>0</sub>は、比較のために行った信号線路導体の導体幅が一様な形状とされる従来の伝送線路における結果であり、曲線C<sub>1</sub>は、新たに提案する伝送線路における結果である。

#### 【0031】

同図から、測定した全ての周波数にわたって、従来の伝送線路に比べ、新たに提案する伝送線路の方が、反射損失が著しく改善されることが明らかであり、本発明の有意性が確認された。

#### 【0032】

以上説明したように、本発明の実施の形態として新たに提案した伝送線路においては、マイクロストリップ線路とコプレーナ線路とを、スルーホール16を介して層間接続する際に、第1の信号線路導体12及び第2の信号線路導体14における開放端の形状を、導体幅が漸減する領域を有する形状とすることにより、電流をスルーホール16に集中させて効率よく流すことができ、電流の不連続を解消して反射損失を著しく改善することができる。

#### 【0033】

特に、この伝送線路は、1GHz程度のマイクロ波よりも高い周波数の信号を伝送する場合には有効であり、例えば携帯電話機その他、10GHz以上の信号を伝送するBS (Broadcasting Satellite) アンテナや平面アレイアンテナを搭載する車載レーダといった各種機器に適用することができる。

#### 【0034】

なお、本発明は、上述した実施の形態に限定されるものではない。例えば、上述した実施の形態では、第1の信号線路導体12及び第2の信号線路導体14の両方における開放端の形状を、導体幅が漸減する領域を有する形状とするものとして説明したが、本発明は、少なくとも一方の信号線路導体について、導体幅が漸減する領域を有する形状とした場合であっても、反射損失を軽減することができる。これは、本件出願人が行ったシミュレーションによって確認されている。このとき、伝送線路においては、径が小さいスルーホール16に効率よく電流を流れ込ませる観点から、第1の信号線路導体12及び第2の信号線路導体14のうち、導体幅が広い第1の信号線路導体12について、導体幅が漸減する領域を有する形状とするのが望ましい。

#### 【0035】

また、上述した実施の形態では、第1の信号線路導体12及び／又は第2の信号線路導体14における開放端の形状を、所定の曲率半径からなる円弧状に形成するものとして説明したが、本発明は、例えば図7に示すように、第1の信号線路導体12及び／又は第2の信号線路導体14における開放端の形状を、所定の角度で面取りした形状に形成するようにしてもよく、特に図示しないが、先端に向けて楕円状等の任意の曲線状に形成するようにしてもよい。いずれにせよ、本発明は、第1の信号線路導体12及び第2の信号線路導体14における開放端の形状を、導体幅が漸減する領域を有する形状とするものであれば、いかなるものであっても適用することができ、より望ましくは、所定の曲率半径からなる円弧状に形成するものがよい。

#### 【0036】

さらに、上述した実施の形態では、マイクロストリップ線路とコプレーナ線路とを層間接続するものとして説明したが、本発明は、これら伝送線路の組み合わせの種別に拘泥するものではない。

#### 【0037】

例えば、2つのマイクロストリップ線路を層間接続する例について、図8に示す。すなわち、この伝送線路は、同図に分解斜視図を示すように、第1の誘電体11と、この第1の誘電体11の上面に形成された第1の信号線路導体12と、誘電体11の下面に形成されたグラウンド導体13と、グラウンド導体13を上面に形成した第2の誘電体15と、この第2の誘電体15の下面に形成された第2の信号線路導体17とから構成される。この伝送線路においては、第1の誘電体11、第1の信号線路導体12、及びグラウンド導体13

によって第1のマイクロストリップ線路が構成され、グラウンド導体13、第2の誘電体15、及び第2の信号線路導体17によって第2のマイクロストリップ線路が構成される。

【0038】

さらに、この伝送線路においては、第1の誘電体11、グラウンド導体13、及び第2の誘電体15を介して、第1の信号線路導体12の開放端から第2の信号線路導体17の開放端まで、所定の導体が内部に施されたスルーホール16が穿設される。このとき、グラウンド導体13には、スルーホール16と当該グラウンド導体13とが接触するのを防止するための開口部13aが穿設される。

【0039】

そして、第1の信号線路導体12及び／又は第2の信号線路導体17は、スルーホール16が穿設された開放端の形状が、導体幅が漸減する領域を有する形状に形成される。

【0040】

このような伝送線路においては、スルーホール16を介して第1の信号線路導体12と第2の信号線路導体17とが導通可能に接続され、第1の信号線路導体12からスルーホール16を介して第2の信号線路導体17へと信号が伝送される際に、電流をスルーホール16に集中させて効率よく流すことができ、電流の不連続を解消して反射損失を軽減することができる。

【0041】

このように、本発明は、その趣旨を逸脱しない範囲で適宜変更が可能であることはいうまでもない。

【図面の簡単な説明】

【0042】

【図1】本発明の実施の形態として示す伝送線路の構造を示す分解斜視図であって、マイクロストリップ線路とコプレーナ線路とを層間接続した伝送線路の構造を示す図である。

【図2】本発明の実施の形態として示す伝送線路における信号線路導体とスルーホールとの構造を示す斜視図である。

【図3】本発明の実施の形態として示す伝送線路の構造を示す斜視図である。

【図4】本発明の実施の形態として示す伝送線路の構造を示す平面図及び側面図である。

【図5】信号線路導体における開放端の形状を説明するための要部拡大平面図である。

【図6】シミュレーション結果として求めた信号線路導体を介して伝送した高周波信号の周波数に対する反射係数の関係を示す図である。

【図7】本発明の実施の形態として示す伝送線路における第1の信号線路導体と第2の信号線路導体とがスルーホールを介して接続されている様子を説明するための斜視図であって、信号線路導体における開放端の形状が、面取りされた形状とされる様子を説明するための図である。

【図8】本発明の他の実施の形態として示す伝送線路の構造を示す分解斜視図であって、2つのマイクロストリップ線路を層間接続した伝送線路の構造を示す図である。

【図9】従来の伝送線路の構造を示す分解斜視図である。

【図10】従来の伝送線路における信号線路導体とスルーホールとの構造を示す斜視図である。

【図11】従来の伝送線路の構造を示す斜視図である。

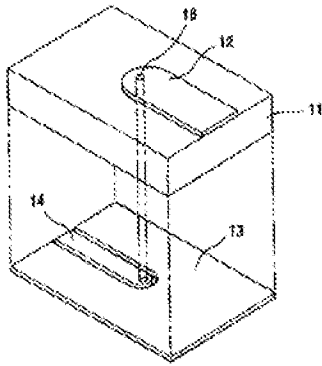
【図12】従来の伝送線路の構造を示す平面図及び側面図である。

【符号の説明】

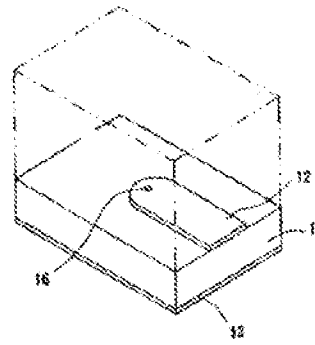
【0043】

- 11 誘電体
- 12 第1の信号線路導体
- 13 グラウンド導体
- 13a 開口部
- 14, 17 第2の信号線路導体
- 16 スルーホール

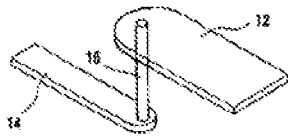
【図1】



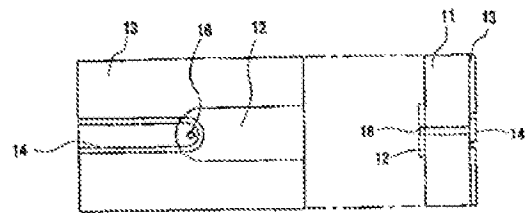
【図3】



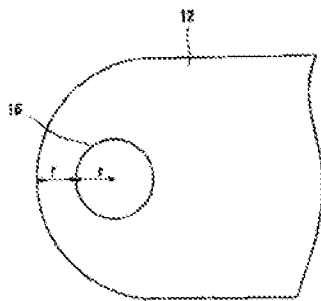
【図2】



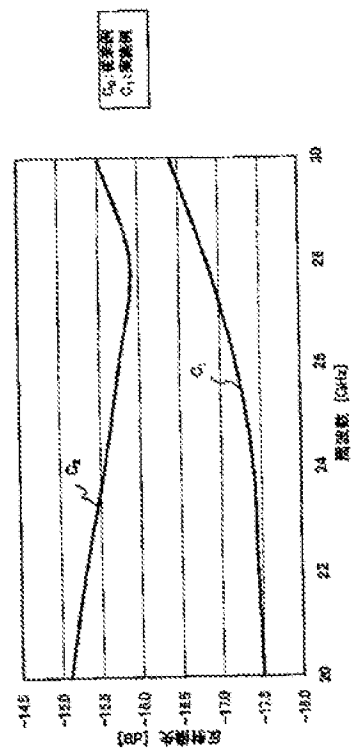
【図4】



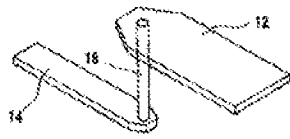
【図5】



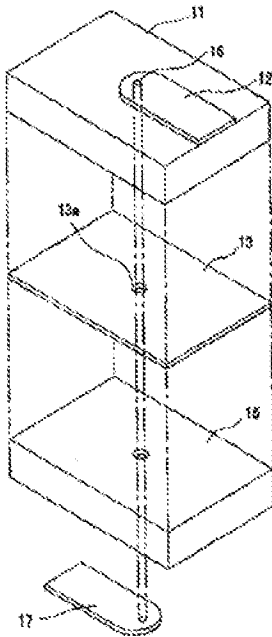
【図6】



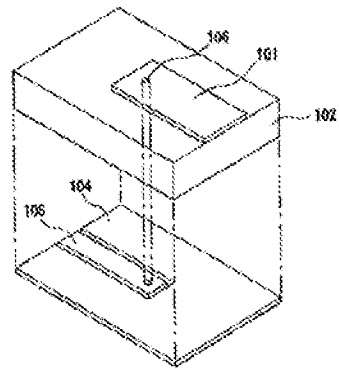
【図7】



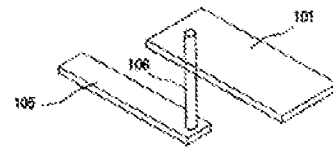
【図8】



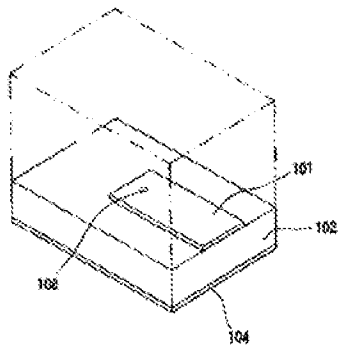
【図9】



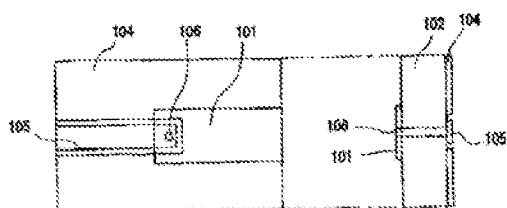
【図10】



【図11】



【図12】



---

フロントページの続き

(51) Int. Cl.<sup>7</sup>

F I

テーマコード (参考)

H 0 5 K 3/46

Z

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	7047150
<b>Application Number:</b>	12674221
<b>International Application Number:</b>	
<b>Confirmation Number:</b>	5037
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD
<b>First Named Inventor/Applicant Name:</b>	RISATO OHHIRA
<b>Customer Number:</b>	71799
<b>Filer:</b>	Jackson Chen/KEN SATO
<b>Filer Authorized By:</b>	Jackson Chen
<b>Attorney Docket Number:</b>	J-10-0077
<b>Receipt Date:</b>	22-FEB-2010
<b>Filing Date:</b>	
<b>Time Stamp:</b>	12:47:18
<b>Application Type:</b>	U.S. National Stage under 35 USC 371

### Payment information:

Submitted with Payment	no
------------------------	----

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		J-10-0077_IDS.pdf	538951 403bcafee747c05000960b1759dece7b5bc b49b8	yes	3

	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Information Disclosure Statement (IDS) Filed (SB/08)		1	2	
	Transmittal Letter		3	3	
Warnings:					
Information:					
2	Foreign Reference	JP2003-133472A.pdf	3187867	no	10
			a2e2a9625efe54f40b0f9197df384ed54735d769		
Warnings:					
Information:					
3	Foreign Reference	JP2004-247980A.pdf	3536130	no	13
			46087014f8437be88ba6568de0d7f1c5b57ea72d		
Warnings:					
Information:					
4	Foreign Reference	JP2004-320109A.pdf	6181635	no	19
			9da06bf6f548449f3ea9266f78ba43412d52f41f		
Warnings:					
Information:					
5	Foreign Reference	JP2005-094445A.pdf	2702132	no	11
			b32e3940124c2fdee335c51833ca0e3f05d3b88b		
Warnings:					
Information:					
Total Files Size (in bytes):			16146715		

**This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.**

**New Applications Under 35 U.S.C. 111**

**If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.**

**National Stage of an International Application under 35 U.S.C. 371**

**If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.**

**New International Application Filed with the USPTO as a Receiving Office**

**If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Risato OHHIRA

Application No.: Not Yet Assigned

Art Unit: Not Yet Assigned

Filed: Not Yet Assigned

Examiner: Not Yet Assigned

For: HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE  
THAT USES THE WIRING BOARD

**PRELIMINARY AMENDMENT**

MAIL STOP AMENDMENT  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Prior to examination on the merits, please amend the above-identified U.S. patent application as follows:

**Amendments to the Specification** are reflected on page 2 of this paper.

**Amendments to the Claims** are reflected in the listing of claims which begins on page 3 of this paper.

**Remarks/Arguments** are on page 9 of this paper.

**REMARKS**

Entry of the above amendment is earnestly solicited. An early and favorable first action on the merits is earnestly requested.

Respectfully submitted,  
/Jackson Chen/

Jackson Chen  
Registration No. 36,104  
NEC Corporation of America  
Intellectual Asset Center, America  
6535 N. State Highway 161 Irving, Texas 75039  
Telephone: (214) 262-3763  
Facsimile: (214) 262-3731

Fig. 1A

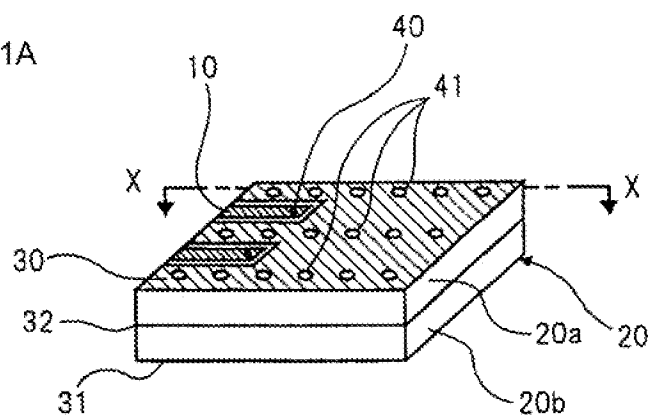


Fig. 1B

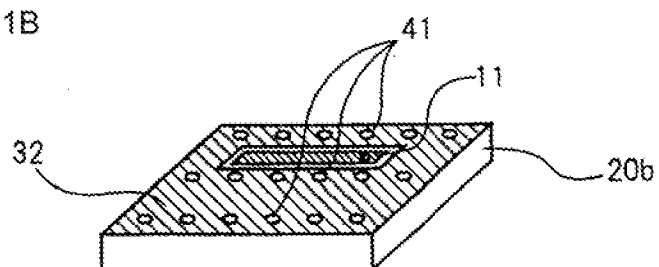


Fig. 1C

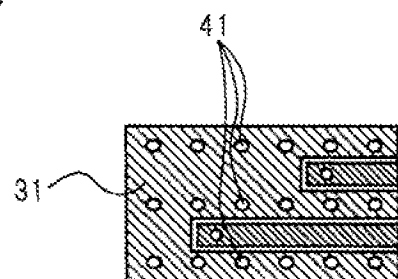


Fig. 1D

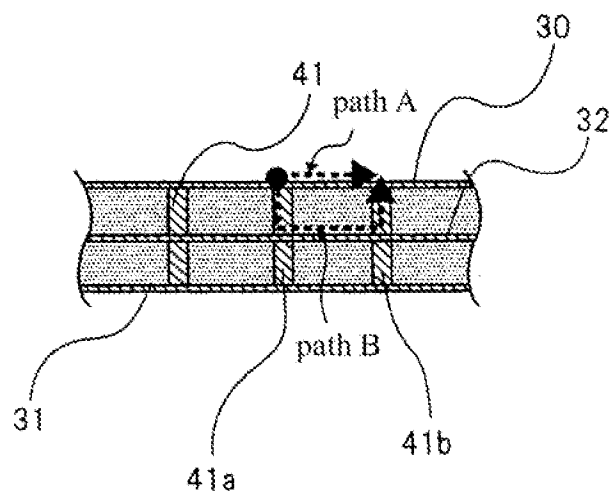


Fig. 2A

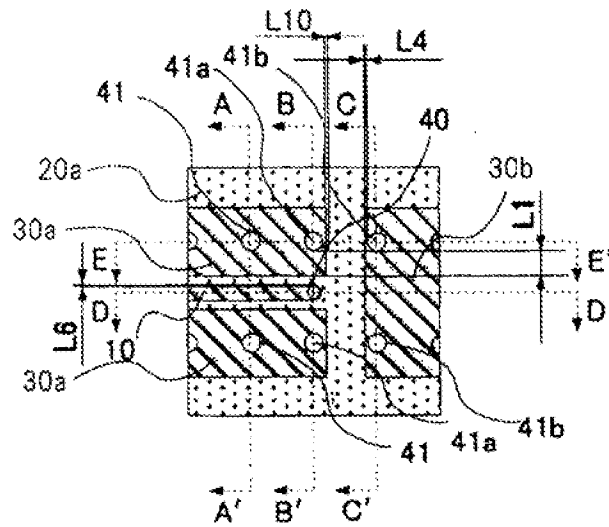


Fig. 2B

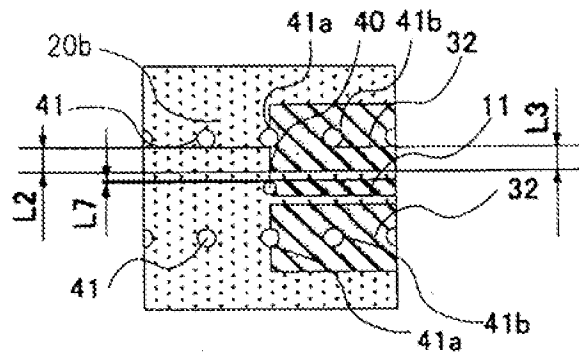


Fig. 2C

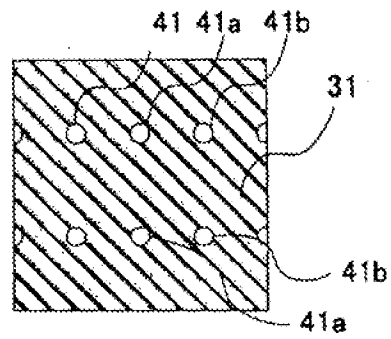


Fig. 2D

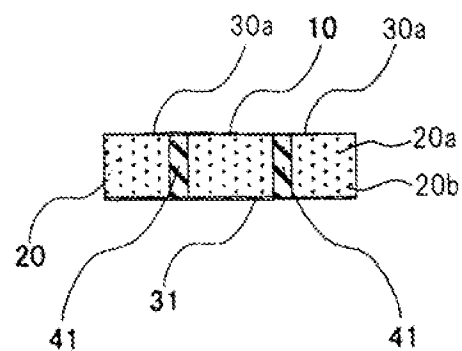


Fig. 2E

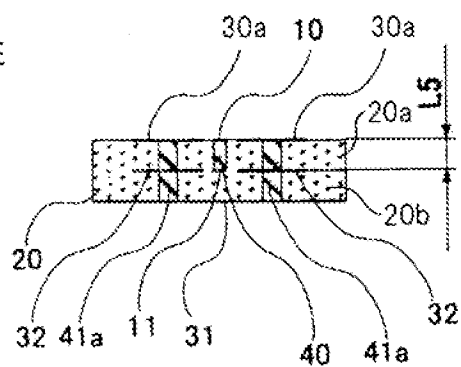


Fig. 2F

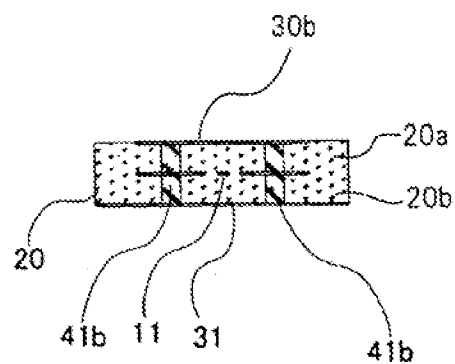


Fig. 2G

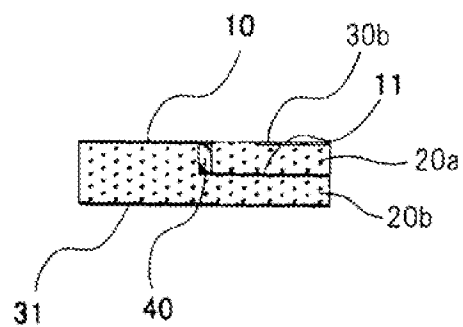


Fig. 2H

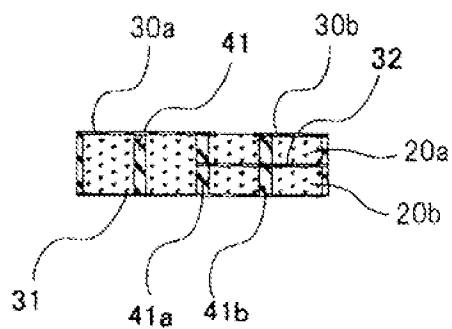
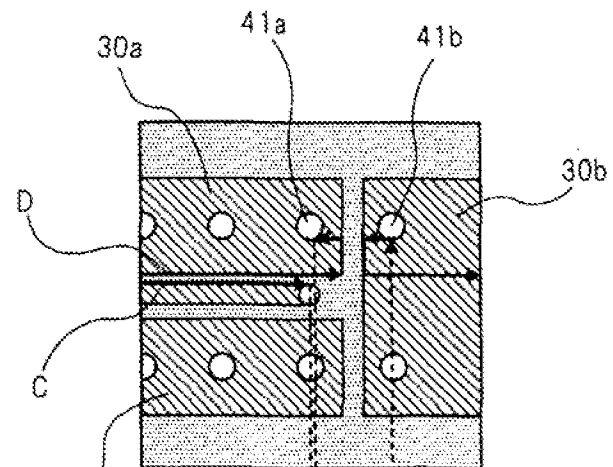
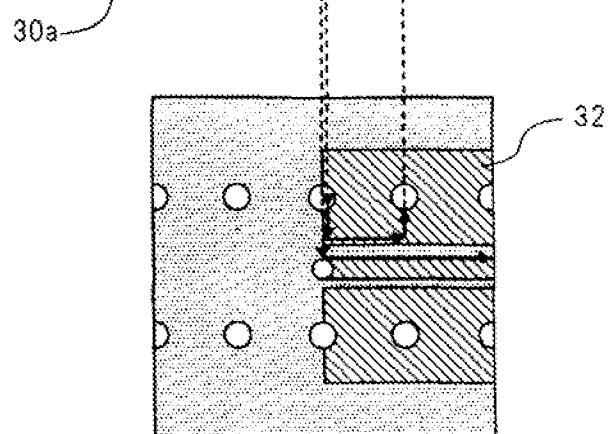


Fig. 3

(a)



(b)



(c)

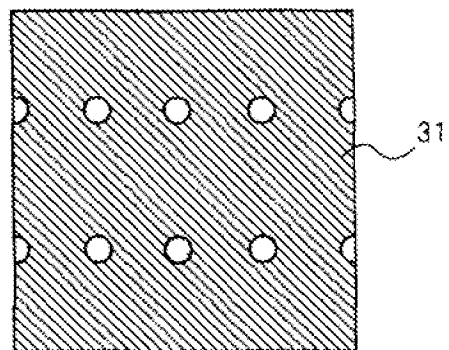


Fig. 4  
(a)

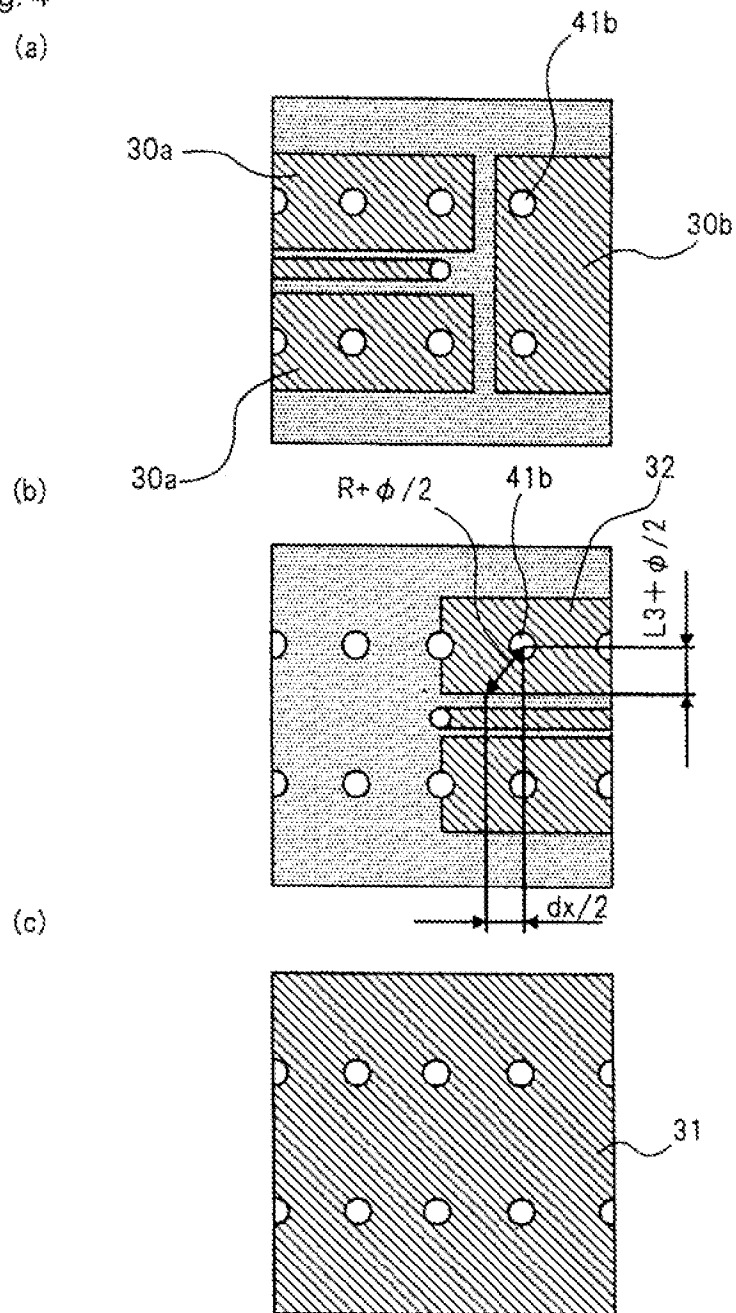


Fig. 5

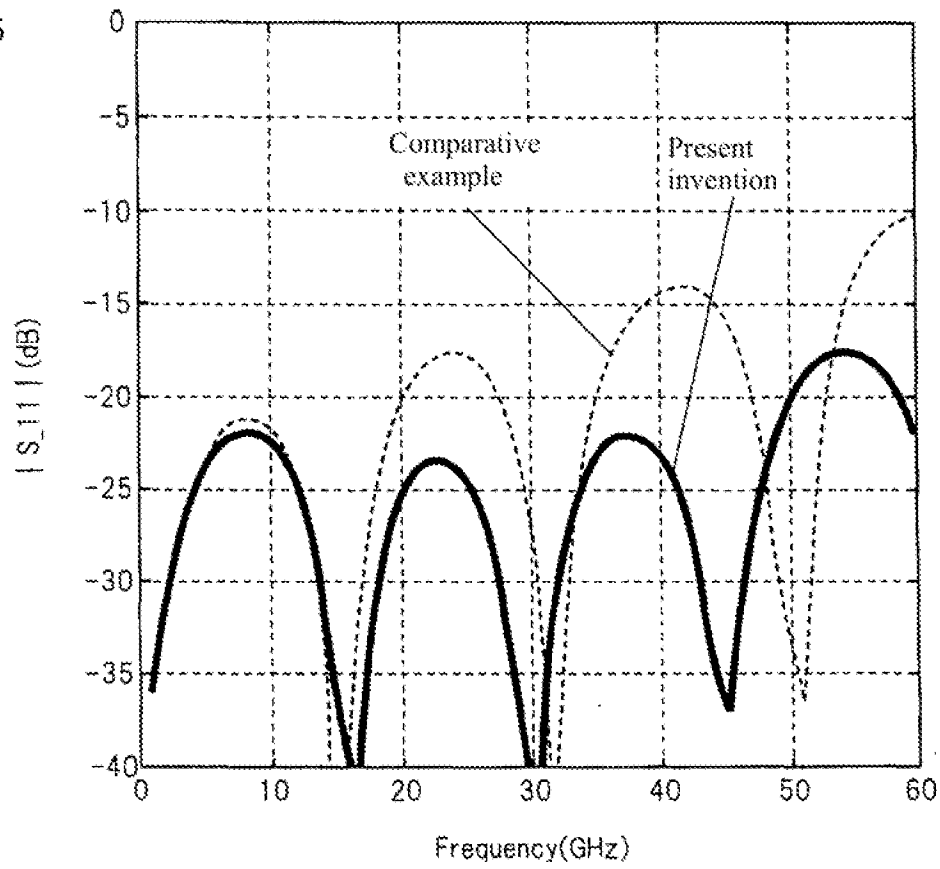


Fig. 6

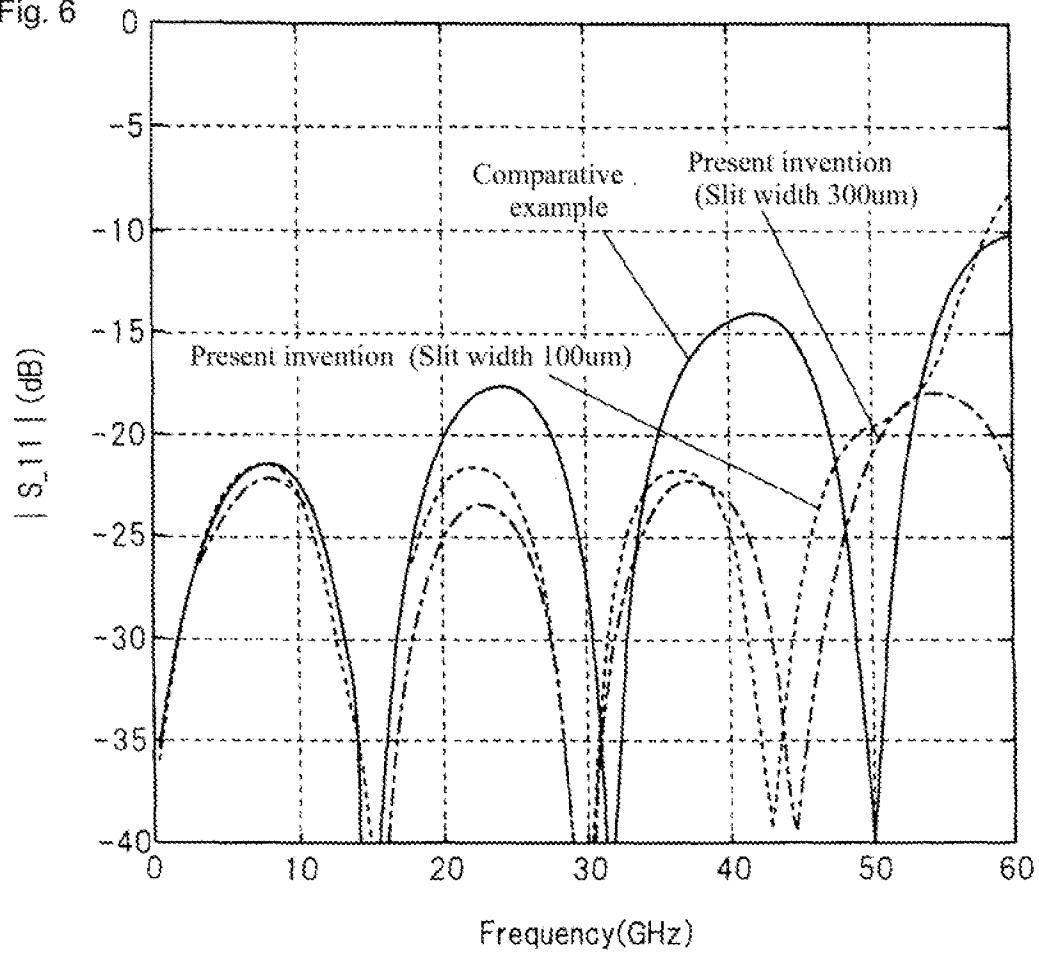




Fig. 7C

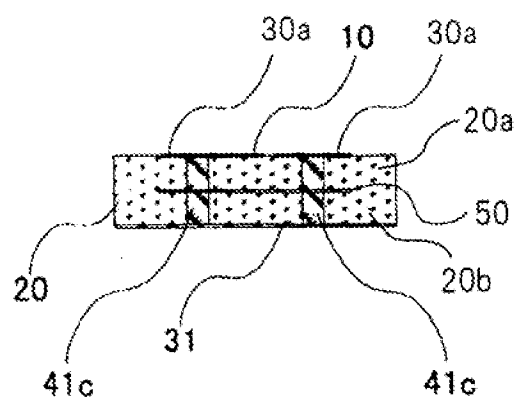


Fig. 7E

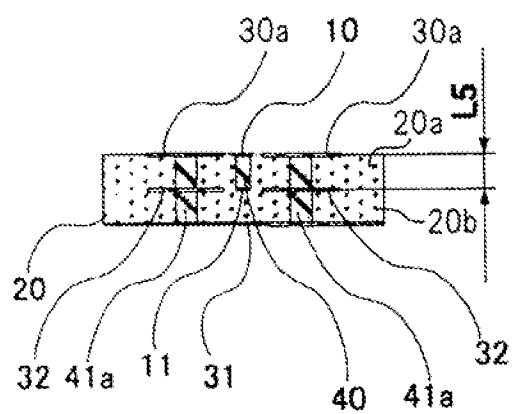


Fig. 7F

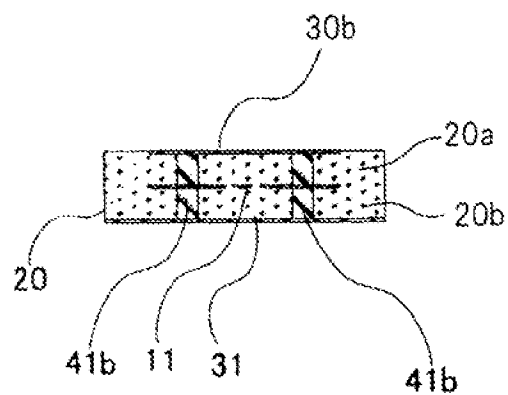


Fig. 7G

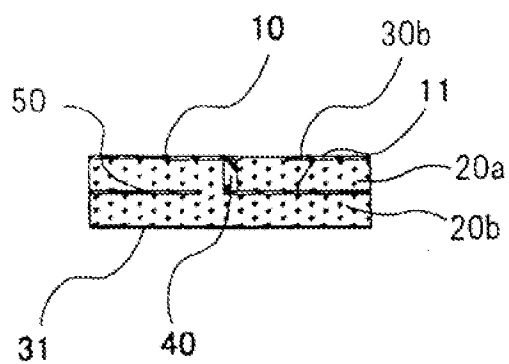


Fig. 7H

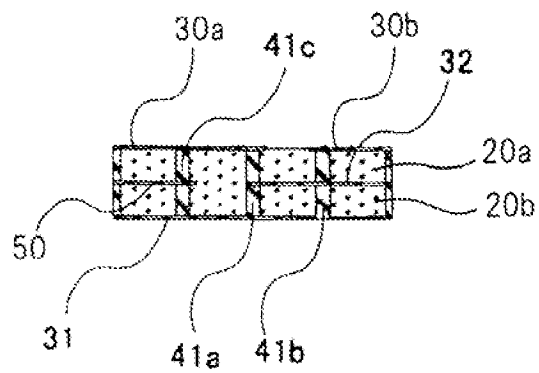


Fig. 8

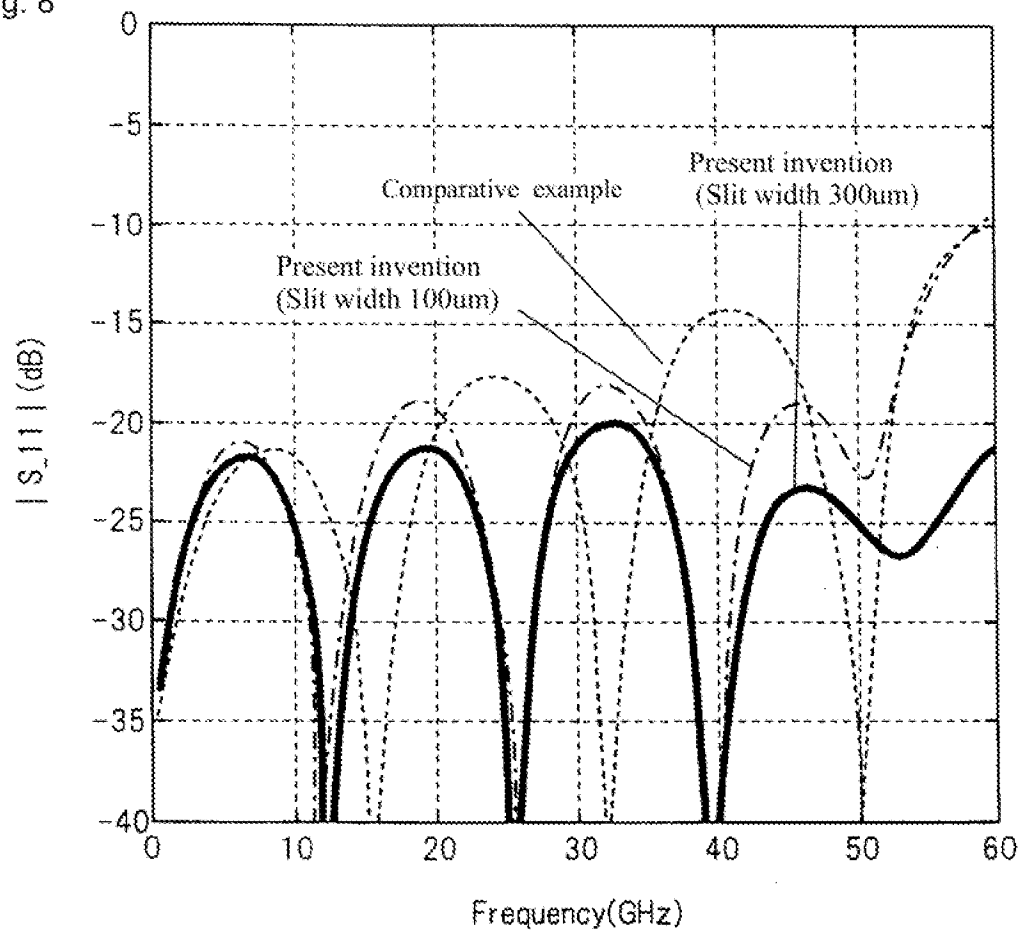


Fig. 9A

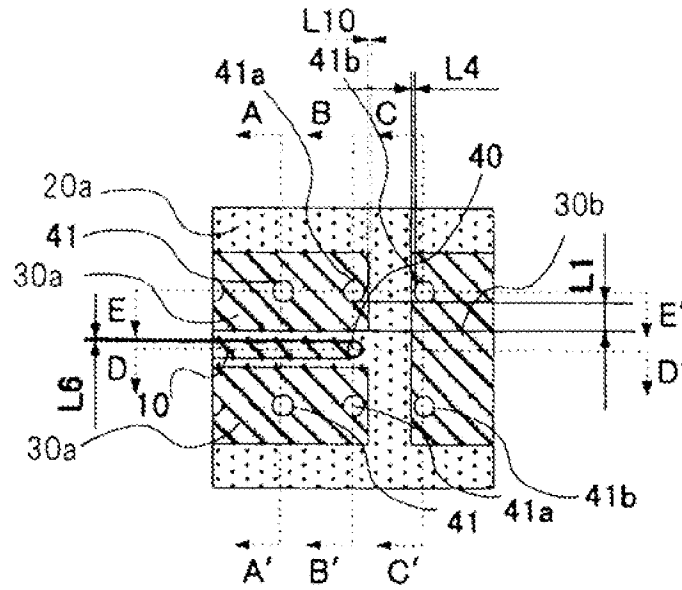


Fig. 9B

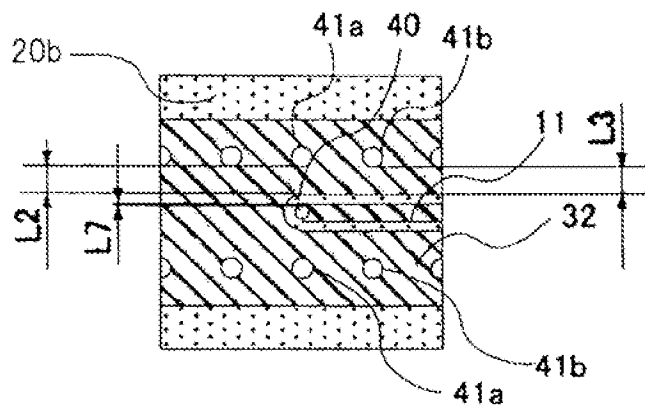


Fig. 9C

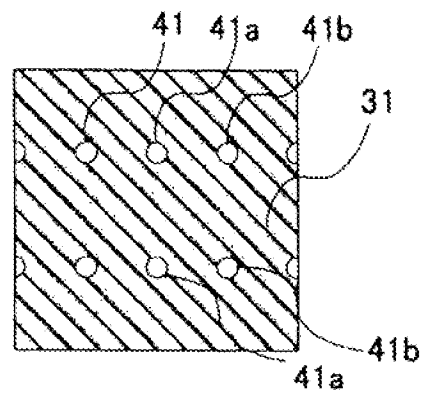


Fig. 9D

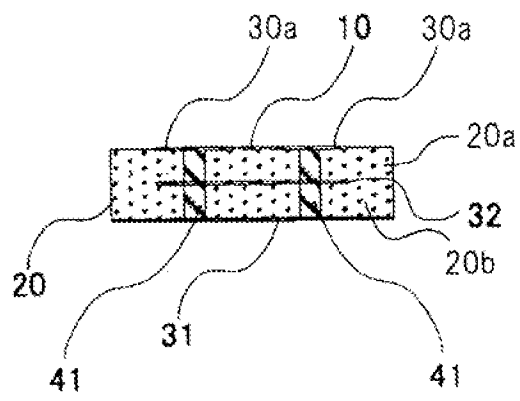


Fig. 9E

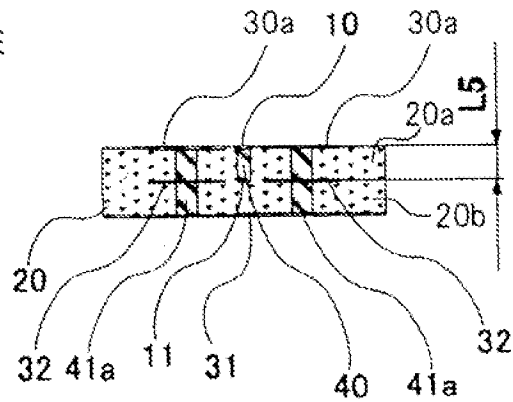


Fig. 9F

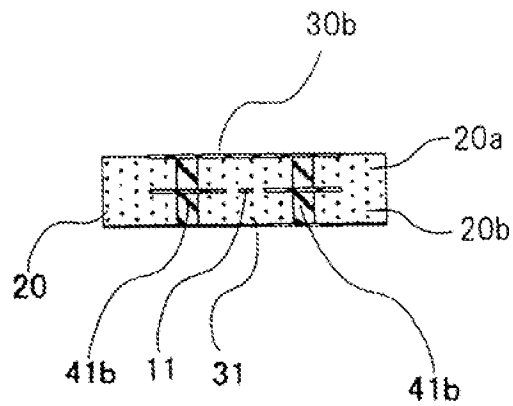


Fig. 9G

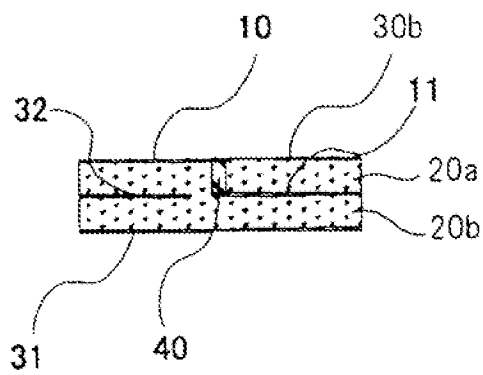


Fig. 9H

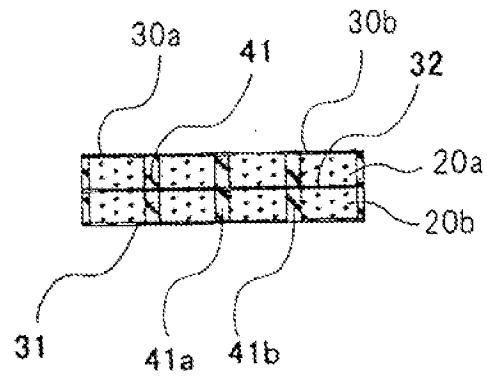
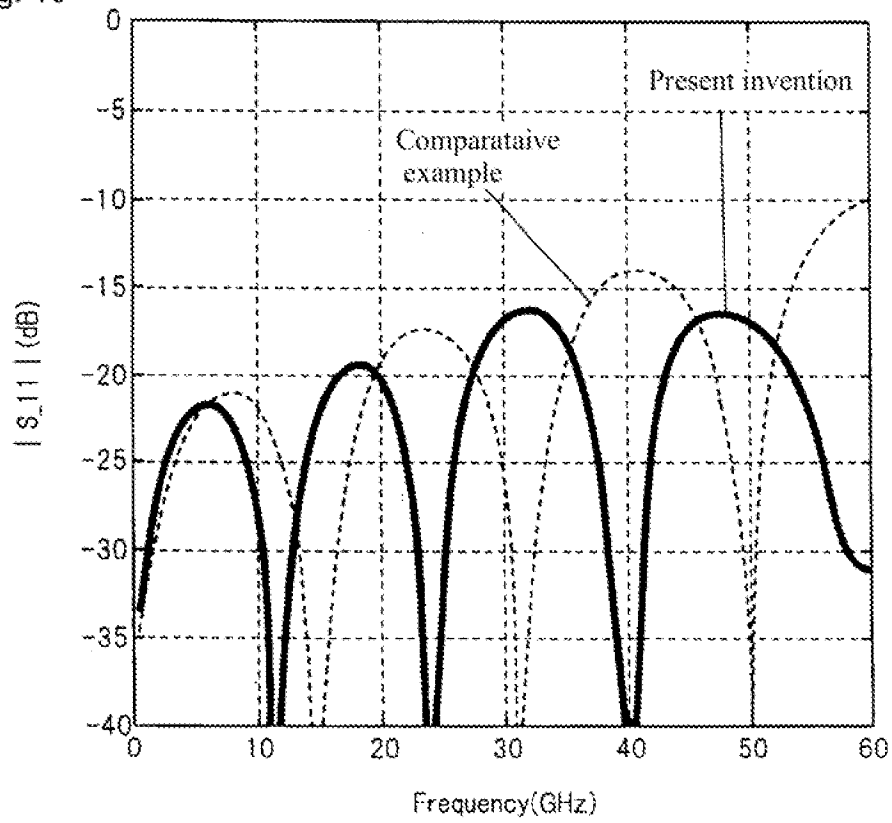


Fig. 10





## Electronic Patent Application Fee Transmittal

**Application Number:**

**Filing Date:**

**Title of Invention:**

HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD

**First Named Inventor/Applicant Name:**

RISATO OHHIRA

**Filer:**

Jackson Chen/KEN SATO

**Attorney Docket Number:**

J-10-0077

Filed as Large Entity

### U.S. National Stage under 35 USC 371 Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
<b>Basic Filing:</b>				
National Stage Fee	1631	1	330	330
Natl Stage Search Fee - Report provided	1642	1	430	430
National Stage Exam - all other cases	1633	1	220	220

**Pages:**

**Claims:**

**Miscellaneous-Filing:**

**Petition:**

**Patent-Appeals-and-Interference:**

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				980

## Electronic Acknowledgement Receipt

<b>EFS ID:</b>	7035511
<b>Application Number:</b>	12674221
<b>International Application Number:</b>	PCT/JP2008/063283
<b>Confirmation Number:</b>	5037
<b>Title of Invention:</b>	HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT USES THE WIRING BOARD
<b>First Named Inventor/Applicant Name:</b>	RISATO OHHIRA
<b>Customer Number:</b>	71799
<b>Filer:</b>	Jackson Chen/KEN SATO
<b>Filer Authorized By:</b>	Jackson Chen
<b>Attorney Docket Number:</b>	J-10-0077
<b>Receipt Date:</b>	19-FEB-2010
<b>Filing Date:</b>	
<b>Time Stamp:</b>	13:10:02
<b>Application Type:</b>	U.S. National Stage under 35 USC 371

### Payment information:

Submitted with Payment	yes
Payment Type	Electronic Funds Transfer
Payment was successfully received in RAM	\$980
RAM confirmation Number	11279
Deposit Account	
Authorized User	

### File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
-----------------	----------------------	-----------	-------------------------------------	------------------	------------------

1	Oath or Declaration filed	J-10-0077_DEC-POA.pdf	488648	no	3
			d5b2350730f89a7aec57e3f558da3ce3fd5e28ce		
Warnings:					
Information:					
2	Preliminary Amendment	J-10-0077_Preliminary_Amendment.pdf	1300648	no	9
			e620e6ee6d0285540f1cd38d215a4e4047e77182		
Warnings:					
Information:					
3		J-10-0077_Specification_Drawings.pdf	10415870	yes	55
			582e0fa2b46f5e85481e50fa623734443f27627f		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Specification		1	36	
	Claims		37	41	
	Abstract		42	42	
	Drawings-only black and white line drawings		43	55	
Warnings:					
Information:					
4	Fee Worksheet (PTO-875)	fee-info.pdf	33286	no	2
			7be0538885dceea648a2856ef67c9af488c21a62		
Warnings:					
Information:					
Total Files Size (in bytes):			12238452		

**This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.**

**New Applications Under 35 U.S.C. 111**

**If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.**

**National Stage of an International Application under 35 U.S.C. 371**

**If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.**

**New International Application Filed with the USPTO as a Receiving Office**

**If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.**

DOCKET NO.

**DECLARATION AND POWER OF ATTORNEY FOR PATENT APPLICATION**

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name,

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled

High-Frequency Wiring Board and High-Frequency Module That Uses  
the Wiring Board

the specification of which

(check one)

☐ is attached hereto.

☒ was filed on July 24, 2008 as a United States Application No. or PCT International  
Application Serial No. PCT/JP2008/063283  
and was amended on \_\_\_\_\_  
(if applicable)

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose to the United States Patent and Trademark Office all information known to me to be material to patentability as defined in Title 37 Code of Federal Regulations, Section 1.56.

I hereby claim foreign priority benefits under Title 35, United States Code, Section 119 (a)-(d) or Section 365(b) of any foreign application(s) for patent or inventor's certificate, or Section 365(a) of any PCT international application which designated at least one country other than the United States, listed below.

Prior Foreign Application Number(s)	Country	Foreign Filing Date
2007-241104	Japan	September 18, 2007

I hereby claim the benefit under Title 35, United States Code, Section 119(e) of any United States provisional application(s) listed below:

\_\_\_\_\_  
(Application Number)

\_\_\_\_\_  
(Filing Date)

\_\_\_\_\_  
(Application Number)

\_\_\_\_\_  
(Filing Date)

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or Section 365(c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of 35, United States Code, Section 112, I acknowledge the duty to disclose to the United States Patent and Trademark Office all information known to me to be material to patentability as defined in Title 37, C.F.R., Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of this application.

PCT/JP2008/063283  
Application Serial No.

July 24, 2008  
Filing Date

Pending  
Status

\_\_\_\_\_  
Application Serial No.

\_\_\_\_\_  
Filing Date

\_\_\_\_\_  
Status

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and to transact all business in the Patent and Trademark Office connected therewith.

Jackson Chen, Reg. No. 36,104

Address all telephone calls to Jackson Chen at telephone no. 214-262-3763

Address all correspondence to Customer Number: 71799

Full name of sole or first inventor Risato OHHIRA	
Sole or first inventor's signature <i>Risato Ohhira</i>	Date Feb. 10, 2010
Residence Tokyo, Japan	
Citizenship Japanese	
Post Office Address c/o NEC CORPORATION, 7-1, Shiba 5-chome, Minato-ku, Tokyo 108-8001 Japan	

**Amendments to the Specification:**

Amend paragraph [0143] on page 36 as follows and move after the title of the invention and before Technical Field:

~~[0143]~~

This application is the National Phase of PCT/JP2008/063283, filed July 24, 2008,  
which claims priority based on Japanese Patent Application 2007-241104 for which  
application was submitted on September 18, 2007 and incorporates all of the  
disclosures of that application.

AMENDMENT TO CLAIMS

CLAIMS

1. (Original) A high-frequency wiring board comprising:

5 first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;  
second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and a second planar ground pattern formed on the same wiring layer as said second signal line; and  
10 a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

said first coplanar lines and said second coplanar lines are connected; and  
said first ground pattern and said first planar ground pattern are separated in  
15 at least a region that follows said second signal line from the connection of the ends of said first signal line and said second signal line.

2. (Original) A high-frequency wiring board comprising:

20 first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as said first signal line;  
second coplanar lines provided with a second signal line formed on a wiring layer that differs from said first signal line, and a second planar ground pattern formed on the same wiring layer as said second signal line; and  
a first ground pattern formed on the same wiring layer as said first coplanar  
25 lines;

wherein:

said first coplanar lines and said second coplanar lines are connected such that a signal is transmitted from said first coplanar lines to said second coplanar lines; and  
30 when a signal is being transmitted from said first coplanar lines to said second

coplanar lines, the path of a high-frequency current that is propagated from said first planar ground pattern to said first ground pattern contains points that pass only by way of said second planar ground pattern.

5 3. (Currently Amended) The high-frequency wiring board as set forth in claim 1 ~~or claim 2~~, wherein:

said first signal line in said first coplanar lines is formed in the interior or on the obverse surface of a dielectric wiring board, and said first planar ground pattern is formed on the same wiring layer as said first signal line and on at least one of two side positions that enclose said first signal line; and  
10 said second planar ground pattern in said second coplanar lines is formed on the same wiring layer as said second signal line and on at least one of two side positions that enclose said second signal line.

15 4. (Currently Amended) The high-frequency wiring board as set forth in claim 1 ~~any one of claims 1 to 3~~, further comprising:

a first conductive via for connecting said first signal line and said second signal line at the line end of each signal line;  
a second ground pattern formed on the wiring layer on the opposite side of the layer of said first ground pattern with respect to the wiring layer on which said  
20 second coplanar lines are formed; and  
second conductive vias that are a plurality of second conductive vias arranged at a predetermined spacing along the direction of signal transmission through said first and second coplanar lines, said second conductive vias including:  
25 conductive vias *a* for connecting said first planar ground pattern and said second planar ground pattern, conductive vias *b* for connecting said first ground pattern and said second planar ground pattern, and conductive vias *c* for connecting said first planar ground pattern and said second ground pattern;

wherein

30 said first ground pattern is separated from said first planar ground pattern in the direction of signal transmission of said second coplanar lines from the vicinity of the

connection of said first signal line and said first conductive via

5 5. (Original) The high-frequency wiring board as set forth in claim 4, wherein the width between said first ground pattern and said first planar ground pattern that are separated is a width no greater than the spacing of said second conductive vias that is set in said second coplanar lines.

6. (Currently Amended) The high-frequency wiring board as set forth in claim 4 ~~claim 3 or claim 4~~, wherein:

10 when: L1 is the minimum distance from the circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines, said conductive via **a** interconnecting said first planar ground pattern and said second planar ground pattern, to the outer circumference of said first planar ground pattern on said first signal line side;

15 L2 is the minimum distance from the circumference of said conductive via **a** to the outer circumference of said second planar ground pattern on said second signal line side;

20 L3 is the minimum distance from the circumference of, from among said plurality of second conductive vias provided in said second coplanar lines and excluding said conductive vias **a**, said conductive via **b** being closest to said first conductive via, to the outer circumference of said second planar ground pattern on said second signal line side;

25 L4 is the minimum distance from the circumference of said conductive via **b** to the outer circumference of said first ground pattern on said first coplanar line side;

L5 is the dielectric layer thickness between said first ground pattern and said second planar ground pattern;

L6 is the minimum distance from the circumference of said first conductive via to the outer circumference of said first signal line;

30 L7 is the minimum distance from the circumference of said first conductive via to the outer circumference of said second signal line;

L10 is the minimum distance from the circumference of said conductive via *a* to the outer circumference of said first planar ground pattern on said first ground pattern side;

$\epsilon_1$  is the effective relative dielectric constant of said first coplanar lines;

5  $\epsilon_2$  is the effective relative dielectric constant of said second coplanar lines;

$\phi$  is the diameter of said second conductive vias; and

$\lambda_0$  is the minimum wavelength in a vacuum in the transmitted signal band;

said first planar ground pattern and said first ground pattern that are provided on the same layer as said first planar ground pattern are separated such that the following relational expression is satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \lambda_0/2$$

7. (Currently Amended) The high-frequency wiring board as set forth in claim 4 ~~any one of claims 1 to 6~~, further comprising:

a third ground pattern formed in a region of the same wiring layer as said second coplanar lines that confronts the region in which said first coplanar lines are formed;

wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of the connection of said first signal line and said second signal line.

8. (Currently Amended) The high-frequency wiring board as set forth in claim 4 ~~any one of claims 4 to 6~~, further comprising:

a third ground pattern formed in a region of the same wiring layer of said second coplanar lines that confronts the region in which said first coplanar lines are formed, and moreover, that is electrically connected by said second conductive vias to both said first planar ground pattern and said second ground pattern;

wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of

connection of said second signal line and said first conductive via.

9. (Original) The high-frequency wiring board as set forth in claim 8, wherein the width between said third ground pattern and said second planar ground pattern that are separated is a width no greater than spacing of said second conductive vias that is set in said first coplanar lines.

10. (Currently Amended) The high-frequency wiring board as set forth in claim 8 ~~or claim 9~~, wherein:

when: L8 is the minimum distance from the circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines and excluding said conductive vias a, said conductive via c being closest to said first conductive via, to the outer circumference of said first planar ground pattern on said first signal line side;

L9 is the minimum distance from the circumference of said conductive via c to the outer circumference of said third ground pattern on said second coplanar lines side;

L11 is the minimum distance from the circumference of said conductive via a to the outer circumference of said second planar ground pattern on said third ground pattern side; and

$\lambda_0$  is the minimum wavelength in a vacuum of the transmitted signal band; said second planar ground pattern and said third ground pattern provided on the same layer as said second planar ground pattern are separated such that the following relational expression is satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\} < \lambda_0 / 2$$

11. (Currently Amended) The high-frequency wiring board as set forth in claim 1 ~~any one of claims 1 to 10~~, wherein said second planar ground pattern is not only formed on at least one of two side positions that enclose said second signal line but also extends into a region, of the same wiring layer as said second coplanar lines, that

confronts a region in which said first coplanar lines are formed.

12. (Currently Amended) A high-frequency module in which a semiconductor integrated circuit chip is mounted on the high-frequency wiring board as set forth in claim 1 ~~any one of claims 1 to 11~~.

5

Specification

HIGH-FREQUENCY WIRING BOARD AND HIGH-FREQUENCY MODULE THAT  
USES THE WIRING BOARD

5 Technical Field

[0001]

The present invention relates to a high-frequency wiring board on which high-frequency  
transmission lines are formed, and more particularly, relates the to interconnection of high-  
10 frequency transmission lines that are formed on different layers of a wiring board.

Background Art

[0002]

In high-frequency transmission lines used in, for example, packages for high-frequency  
semiconductor elements or wiring boards for circuit element mounting, the mounting  
15 positions of electronic components, surface lines that are formed on the surface of a dielectric  
wiring board, and internal lines that are formed in the interior of a dielectric wiring board are  
frequently interconnected.

[0003]

Representative examples of surface lines that are formed on the surface of a dielectric wiring  
20 board include microstrip lines and coplanar lines. In addition, representative examples of  
inner-layer lines that are formed inside a dielectric wiring board include strip lines and  
coplanar lines. Further, regarding interconnections between surface lines and inner-layer  
lines, connections are realized by vias or through-holes having conductivity.

[0004]

25 As an example, the high-frequency wiring board described in JP-A-2003-133472  
(hereinbelow referred to as Patent Document 1) has high-frequency transmission lines as  
shown in FIGs. 1A-1D. FIG. 1A is an overall perspective view of the high-frequency wiring  
board, FIG. 1B is a perspective view of the second dielectric layer portion of the high-  
frequency wiring board, FIG. 1C is an upper plan view of the reverse-surface conductive  
30 pattern of the high-frequency wiring board, and FIG. 1D is a sectional view taken along line

X-X in the direction of signal transmission of the high-frequency wiring board shown in FIG. 1A.

[0005]

The high-frequency wiring board shown in these figures is composed of dielectric wiring board 20 realized by stacking two dielectric layers 20a and 20b. High-frequency transmission lines are then formed on different layers.

[0006]

The first high-frequency transmission lines are made up from: first signal lines 10 formed on the upper surface of first dielectric layer 20a that is the obverse surface of dielectric wiring board 20, first ground pattern 30 that is arranged around these signal lines 10 and on the same surface, and second ground pattern 32 formed on the surface of second dielectric layer 20b. In addition, second high-frequency transmission lines are made up from the above-described first ground pattern 30, third ground pattern 31 formed on the lower surface of second dielectric layer 20b that is the reverse surface of dielectric wiring board 20, second signal line 11 formed on the upper surface of second dielectric layer 20b and arranged between these ground patterns, and second ground pattern 32 that is arranged around this signal line 11 and on the same surface.

[0007]

The end of first signal line 10 of the first high-frequency transmission lines and the end of second signal line 11 of the second high-frequency transmission lines are connected by via 40 having conductivity. In addition, first ground pattern 30, second ground pattern 32, and third ground pattern 31 are electrically connected by a plurality of conductive vias 41 arranged along the signal transmission direction of first signal lines 10 and second signal line 11.

[0008]

However, when different line constructions are connected together, as with first high-frequency transmission lines and second high-frequency transmission lines, mismatching tends to occur in the vicinity of the connections, and as a result, signal reflection tends to occur increasingly as the frequency of signals increases.

[0009]

As a result, methods have been proposed as in, for example, JP-A-2004-320109 (hereinbelow referred to as Patent Document 2) for limiting impedance mismatching and thus decreasing signal reflection by changing the end width of signal lines that correspond to first signal lines 10 that make up the above-described first high-frequency transmission lines, i.e., changing the width in the vicinity of connections with conductive vias 40.

[0010]

Patent Document 1: JP-A-2003-133472 (FIG. 5)

Patent Document 2: JP-A-2004-320109 (FIG. 1, paragraph 0095)

As described hereinabove, when connecting signal lines of different types in which signal lines are formed on different layers in the configuration shown in FIGs. 1A-1D, changing the signal line width in the vicinities of conductive vias that interconnect signal lines results in an improvement of the signal pass characteristic (also called reflection characteristics). However, it was found that the problem in which the signal pass characteristic (also called the reflection characteristics) deteriorated as the transmission signal went from a low frequency to higher frequencies could not be solved in this related art.

[0011]

The reasons for this problem are next explained with reference to FIG. 1D.

[0012]

In the configuration shown by FIGs. 1A-1D, when a signal is transmitted from the first high-frequency transmission lines to the second high-frequency transmission lines, the signal-line component of the current among the high-frequency current that is propagated over first ground pattern 30 and first signal line 10 of the first high-frequency transmission lines flows along second signal line 11 of the second high-frequency transmission lines. However, the ground-pattern component of the current not only flows through second ground pattern 32 of the second high-frequency transmission lines but also through first ground pattern 30, i.e., in two paths. In other words, as shown in FIG. 1D, the current is propagated on path A that passes by only first ground pattern 30 and on path B that passes successively from first ground pattern 30 to conductive via 41a, second ground pattern 32, and the next conductive via 41b along the signal transmission direction before again returning to first ground pattern 30.

[0013]

If a case is here considered in which the two physical path lengths are  $L_1$  and  $L_2$ , the path length difference  $L_1 - L_2$  is  $\Delta L$ , the wavelength of signal transmission in a vacuum is  $\lambda_0$ , the wave number of each path is the same at  $k$ , and the effective relative dielectric constants on each path are the same at  $\epsilon$ , the phase difference between the two paths A and B is represented by:

[0014]

[Formula 1]

$$k \times L_1 - k \times L_2 = k \times \Delta L = \left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon}} \right) \times \Delta L = (2\pi \times \sqrt{\epsilon}) \times \left( \frac{\Delta L}{\lambda_0} \right) \quad \cdot \cdot \cdot (1)$$

and is proportional to  $\Delta L / \lambda_0$ .

[0015]

As a result, even if the physical path length difference  $\Delta L$  is fixed, interpath phase difference tends to increase and phase difference more readily occurs as the transmission signal progresses from a low frequency to a higher frequency, i.e., with shorter wavelength of wavelength  $\lambda_0$ .

[0016]

Essentially, it was found that even when adopting the method taught in Patent Document 2, the potential for improving the reflection characteristics of signal transmission from the first high-frequency transmission lines to the second high-frequency transmission lines in the configuration shown in FIGs. 1A-1D diminishes with higher frequencies.

Disclosure of the Invention

[0017]

It is an object of the present invention to solve the problems inherent in the above-described background art. One example of this object is to provide a construction that enables an improvement of reflection characteristics from a low-frequency region to a high-frequency

region in a high-frequency wiring board equipped with different types of high-frequency lines that are formed on different layers and that are interconnected.

[0018]

5 The high-frequency wiring board of the present invention relates to a high-frequency wiring board in which first coplanar lines and second coplanar lines are connected, one mode of the invention being as next described. The first coplanar lines are lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as the first signal line. The second coplanar lines are lines provided with a second signal line formed on a wiring layer that differs from the first signal line and a second planar ground pattern formed  
10 on the same wiring layer as the second signal line. A first ground pattern is formed on the same wiring layer as the first coplanar lines. The present invention is characterized in that, in this high-frequency wiring board, the first ground pattern and the first planar ground pattern are separated in at least a region that follows the second signal line from the connection between the ends of the first signal line and the second signal line.

15 [0019]

In yet another mode of the present invention, the first signal line and the second signal line are connected by a first conductive via at the line end of each signal line.

A plurality of second conductive vias are then arranged at a predetermined spacing along the signal transmission direction that passes through the first and second coplanar lines and  
20 among these conductive vias are included: conductive vias a for connecting the planar ground pattern of the first coplanar lines and the planar ground pattern of the second coplanar lines; conductive vias b for connecting the first ground pattern and the planar ground pattern of the second coplanar lines; and conductive vias c for connecting the planar ground pattern of the first coplanar lines and the second ground pattern.

25 Brief Description of the Drawings

[0020]

FIG. 1A is an overall perspective view of the high-frequency wiring board disclosed in Patent Document 1;

FIG. 1B is a perspective view of a portion of the second dielectric layer of the high-  
30 frequency wiring board of FIG. 1A;

FIG. 1C is an upper view of the reverse-surface conductive pattern of the high-frequency wiring board of FIG. 1A;

FIG. 1D is a sectional view taken along line X-X along the direction of signal transmission of the high-frequency wiring board shown in FIG. 1A;

5 FIG. 2A is a plan view showing the first wiring layer of the high-frequency wiring board of the first embodiment;

FIG. 2B is a plan view showing the second wiring layer of the high-frequency wiring board of the first embodiment;

10 FIG. 2C is a plan view showing the third wiring layer of the high-frequency wiring board of the first embodiment;

FIG. 2D is a sectional view of the high-frequency wiring board taken along line A-A' of FIG. 2A;

FIG. 2E is a sectional view of the high-frequency wiring board taken along line B-B' of FIG. 2A;

15 FIG. 2F is a sectional view of the high-frequency wiring board taken along line C-C' of FIG. 2A;

FIG. 2G is a sectional view of the high-frequency wiring board taken along line D-D' of FIG. 2A;

20 FIG. 2H is a sectional view of the high-frequency wiring board taken along line E-E' of FIG. 2A;

FIG. 3 gives a schematic representation of the signal-line component of the high-frequency current paths and the ground-pattern component of the high-frequency current paths based on the results of electromagnetic field analysis of the high-frequency transmission line construction of the first embodiment;

25 FIG. 4 is an explanatory view of the spacing range of conductive vias arranged along the direction of signal transmission in the high-frequency transmission line construction of the first embodiment;

FIG. 5 shows the results of electromagnetic field analysis in which a comparison of the input reflection characteristics of a comparative example and the first embodiment was performed;

30 FIG. 6 shows the results of electromagnetic field analysis in which comparison of the input

reflection characteristics in the first embodiment was carried out while changing the separation width;

FIG. 7A is a plan view showing the first wiring layer of the high-frequency wiring board of the second embodiment;

5 FIG. 7B is a plan view showing the second wiring layer of the high-frequency wiring board of the second embodiment;

FIG. 7C is a plan view showing the third wiring layer of the high-frequency wiring board of the second embodiment;

10 FIG. 7D is a sectional view of the high-frequency wiring board taken along line A-A' of FIG. 7A;

FIG. 7E is a sectional view of the high-frequency wiring board taken along line B-B' of FIG. 7A;

FIG. 7F is a sectional view of the high-frequency wiring board taken along line C-C' of FIG. 7A;

15 FIG. 7G is a sectional view of the high-frequency wiring board taken along line D-D' of FIG. 7A;

FIG. 7H is a sectional view of the high-frequency wiring board taken along line E-E' of FIG. 7A;

20 FIG. 8 shows the results of electromagnetic field analysis in which a comparison of the input reflection characteristics of a comparative example and the second embodiment was carried out;

FIG. 9A is a plan view showing the first wiring layer of the high-frequency wiring board of the third embodiment;

25 FIG. 9B is a plan view showing the second wiring layer of the high-frequency wiring board of the third embodiment;

FIG. 9C is a plan view showing the third wiring layer of the high-frequency wiring board of the third embodiment;

FIG. 9D is a sectional view of the high-frequency wiring board taken along line A-A' of FIG. 9A;

30 FIG. 9E is a sectional view of the high-frequency wiring board taken along line B-B' of FIG.

9A;

FIG. 9F is a sectional view of the high-frequency wiring board taken along line C-C' of FIG.

9A;

FIG. 9G is a sectional view of the high-frequency wiring board taken along line D-D' of FIG.

5 9A;

FIG. 9H is a sectional view of the high-frequency wiring board taken along line E-E' of FIG.

9A;

FIG. 10 shows the results of electromagnetic field analysis in which a comparison of the input reflection characteristics of a comparative example and the third embodiment was

10 carried out;

FIG. 11 is a sectional view taken along a signal line of an example of a module that uses the high-frequency wiring board of the present invention; and

FIG. 12 is a sectional view taken along a signal line of an example of a module that uses the high-frequency wiring board of the present invention.

15

#### Best Mode for Carrying Out the Invention

[0021]

Explanation next regards details of embodiments of the present invention with reference to the accompanying figures.

20 [0022]

#### *First Embodiment*

FIGs. 2A-2H show the construction of the high-frequency wiring board according to the first embodiment of the present invention. To state in greater detail, FIG. 2A is a plan view showing the first wiring layer of the high-frequency wiring board of the present embodiment;

25 FIG. 2B is a plan view of the second wiring layer, and FIG. 2C is a plan view of the third wiring layer. FIG. 2D is a section of the board taken along line A-A' of FIG. 2A, FIG. 2E is a section of the board taken along line B-B' of FIG. 2A, FIG. 2F is a section of the board taken along line C-C' of FIG. 2A, FIG. 2G is a section of the board taken along line D-D' of FIG. 2A, and FIG. 2H is a section of the board taken along line E-E' of FIG. 2A. In each figure,  
30 the same reference numbers are used for functional parts that are the same as constituent

elements shown in FIGs. 1A-1D.

[0023]

The high-frequency wiring board of the present embodiment is composed of dielectric wiring board 20 in which two dielectric layers 20A and 20b are stacked. First coplanar lines are formed on the upper surface of first dielectric layer 20a that is the obverse surface (first wiring layer) of dielectric wiring board 20 (FIG. 2A). These first coplanar lines are made up from first signal line 10 and planar ground pattern 30a that is formed on both sides of first signal line 10 and on the same layer as first signal line 10. In addition, second coplanar lines are formed on the upper surface of second dielectric layer 20b that is the internal layer (second wiring layer) of dielectric wiring board 20 (FIG. 2B). The second coplanar lines are made up from second signal line 11 and planar ground pattern 32 that is formed on both sides of this signal line 11 and on the same layer as second signal line 11. In addition, planar ground patterns 30a and 32 of the first and second coplanar lines may be formed on only one of the two side positions that sandwiches each of the signal lines.

[0024]

First signal line 10 of the first coplanar lines and second signal line 11 of the second coplanar lines that is on a wiring layer that differs from that of first signal line 10 are connected at conductive via 40 at the line end of each signal line.

[0025]

Planar first ground pattern 30b and planar second ground pattern 31 are formed on the first wiring layer and third wiring layer (the reverse surface of dielectric wiring board 20) such that the layer on which second signal line 11 is formed is sandwiched from above and below. This second ground pattern 31 extends to areas that confront the first coplanar lines and further serves as the lower-layer ground of the first coplanar lines.

[0026]

On the other hand, first ground pattern 30b is separated from ground pattern 30a without doing double-duty as the ground pattern of the first coplanar lines as in the background art. More specifically, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of second coplanar lines are separated by a predetermined width (dielectric width) from the area of connection of first signal line 10 and conductive via

40 in the direction of the extension of the second coplanar lines.

[0027]

Planar ground pattern 30a of the first coplanar lines and second ground pattern 31 that further serves as the lower-layer ground of the first coplanar lines are interconnected by a plurality of conductive vias 41 arranged at a predetermined spacing along the signal transmission direction of the first coplanar lines. However, of the plurality of conductive vias 41, conductive vias 41a in the vicinity of the connection of first signal line 10 and second signal line 11 are interconnected between planar ground pattern 30a of the first coplanar lines and planar ground pattern 32 of the second coplanar lines.

[0028]

In addition, first ground pattern 30b that is on the upper layer of the second coplanar lines, planar ground pattern 32 of the second coplanar lines, and second ground pattern 31 are mutually connected by a plurality of conductive vias 41 (41b) arranged at a predetermined spacing along the signal transmission direction of the second coplanar lines.

[0029]

In the high-frequency transmission lines of the high-frequency wiring board as described above, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are separated in the direction of the extension of the second coplanar lines from the vicinity of the connection of first signal line 10 and conductive via 40. As a result, when a signal is transmitted from the first coplanar lines to the second coplanar lines, the high-frequency current paths that are propagated in the first ground pattern 30b of the upper layer of the second coplanar lines are limited to one. In other words, the high-frequency current path that is propagated in first ground pattern 30b during signal transmission to the second coplanar lines is only the path toward first ground pattern 30b that successively passes from planar ground pattern 30a of the first coplanar lines, by way of conductive vias 41a, planar ground pattern 32 of the second coplanar lines, and by way of next conductive vias 41b along the direction of signal transmission. In this way, phase interference of the high-frequency current that is propagated in first ground pattern 30b does not occur, and as a result, an improvement can be attained in reflection characteristics that deteriorate from low to high frequencies.

[0030]

This result is obtained if planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are separated, and the separation portion may therefore be of any form. In other words, the opposing sides that form the separation portion between planar ground pattern 30a and first ground pattern 30b need not be formed parallel or at fixed spacing as shown in the figure.

[0031]

An additional condition for further improving the reflection characteristic is next described. However, the following explanation presupposes a configuration in which planar ground pattern 30a and first ground pattern 30b are separated by a width of a fixed spacing.

[0032]

As an additional condition for further improving the reflection characteristics in the present embodiment, the degree of separation between planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines is prescribed as follows: i.e., the separation width is prescribed to be greater than 0, and moreover, no greater than interval dx from conductive vias 41a in the vicinity of the connection of first signal line 10 to next conductive via 41b in the direction of the signal transmission.

[0033]

The reason why this condition achieves a further improvement of the reflection characteristics of the present embodiment is next explained using FIG. 3. FIG. 3 gives a schematic representation of high-frequency current path C on the signal transmission side that is propagated through signal lines 10 and 11 and high-frequency current path D on the ground pattern side that is propagated through first ground pattern 30b of the upper layer of the second coplanar lines based on the results of electromagnetic field analysis of the high-frequency transmission line construction of the present embodiment. In addition, (a), (b) and (c) in these figures show states corresponding to FIG. 2A, FIG. 2B, and FIG. 2C; high-frequency current path D on the ground pattern side in the figures shows the state of propagation through first ground pattern 30b of the upper layer of the second coplanar lines from planar ground pattern 30a of the first coplanar lines by way of conductive vias 41a. As can be seen from this figure, there is a difference in path length between high-frequency

current path C on the signal line side that follows opposing signal lines and high-frequency current path D on the ground pattern side that follows along the circumferences of ground patterns. Because the distance between the outer circumferences of conductive ground patterns 30a and via 41a and/or the distance between the outer circumference of ground pattern 30b and conductive via 41b is decreased to the extent that the above-described separation width is increased, the length of high-frequency current path D on the ground pattern side becomes shorter and the difference in path length between high-frequency current path C on the signal line side and high-frequency current path D on the ground pattern side becomes shorter. As a result, to the extent that the separation width is increased, i.e., to the extent that the difference in the path length between current path C and D is reduced, the phase difference between high-frequency current path C on the signal line side and high-frequency current path D on the ground pattern side can be reduced, as can be seen from the above-described Formula (1).

[0034]

As a result, a further improvement of the reflection characteristics can be achieved by setting the upper limit of the separation width to distance  $dx$  of conductive vias 41 that can provide maximum separation between ground patterns 30a and 30b.

[0035]

Distance  $dx$  is prescribed by space of the arrangement of, for example, conductive vias 41a and 41b that are formed in the second coplanar lines rather than the first coplanar lines. In addition, space of the arrangement of conductive vias 41a and 41b formed in the second coplanar lines is a value determined for realizing a desired frequency band in the second coplanar lines.

[0036]

The method of calculating via spacing  $dx$  is next described.

[0037]

The inventors of the present invention have found that increase in impedance deviation on planar ground pattern 32 that accompanies increase in frequency is suppressed by limiting the sum of the shortest distance from any point of planar ground pattern 32 of the second coplanar lines to the nearest conductive via and the layer thickness to a value no greater than

a predetermined value, and as a result, have found that the reflection characteristics of the coplanar transmission lines is improved over a broad frequency band. Based on this concept, a formula that includes formula modifications is noted below specifically as a formula for prescribing via spacing dx.

5 [0038]

If R is the shortest distance from any point on the outer circumference of planar ground pattern 32 in the second coplanar lines to the nearest via circumference, L3 is the shortest distance from the circumference of conductive via 41b to the outer circumference of planar ground pattern 32 on the second signal line 11 side, L5 is the thickness of dielectric layer 20a  
10 between the wiring layers,  $\epsilon_2$  is the effective relative dielectric constant of the second coplanar lines, and  $\lambda_0$  is the wavelength of the transmission signal in a vacuum, via distance dx is set such that the following formula is satisfied:

[0039]

[Formula 2]

15

$$\left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon_2}} \right) \times (R + L5) < \frac{\pi}{2}, \text{ or, } R + L5 < \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} \quad \cdot \cdot \cdot (2)$$

Based on FIG. 4 in the present embodiment, the longest minimum distance R when the diameter of conductive via 41 is  $\phi$  is represented by:

20 [0040]

[Formula 3]

$$R = \sqrt{(L3 + \phi/2)^2 + (dx/2)^2} - \phi/2 \quad \cdot \cdot \cdot (3)$$

25 [0041]

When the above formula (2) is substituted in formula (3), the formula that via spacing dx must satisfy becomes:

[0042]

[Formula 4]

$$dx < 2 \times \sqrt{\left( \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} + \phi/2 - L5 \right)^2 - (L3 + \phi/2)^2} \quad \cdot \cdot \cdot (4)$$

5

[0043]

In addition, the above-described separation width can also be prescribed as next described. During signal transmission from the first coplanar lines to the second coplanar lines, conditions are preferable whereby the difference in electrical path lengths (difference in electrical length converted by the effective relative dielectric constant) between the high-frequency current that is propagated in ground patterns and the high-frequency current that is propagated through signal lines does not greatly diverge. Accordingly, the separation width is prescribed to a range by which the phases of high-frequency currents on the ground pattern side and signal line side do not invert at the particular signal wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band).

10

15

[0044]

More specifically, as shown in FIGs. 2A, 2B, and 2E, L1 is the minimum distance from the circumference of, from among the plurality of conductive vias 41 provided in the first coplanar lines, conductive via 41a that interconnects the grounds of the first coplanar lines and second coplanar lines to the outer circumference of planar ground pattern 30 on the first signal line 10 side (i.e., the minimum distance from the circumference of conductive via 41a to the outer circumference of planar ground pattern 30 that is located on the side of first signal line 10).

20

[0045]

L2 is the minimum distance from the circumference of the above-described conductive via 41a to the outer circumference of planar ground pattern 32 on the second signal line 11 side.

25

[0046]

L3 is the minimum distance from the circumference of, from among the plurality of conductive vias 41 that are provided in the second coplanar lines and excluding conductive

vias 41a that interconnect the grounds of the first coplanar lines and the second coplanar lines, conductive via 41b that is closest to conductive via 40 to the outer circumference of planar ground pattern 32 on the second signal line 11 side.

[0047]

5 L4 is the minimum distance from the circumference of the above-described conductive via 41b to the outer circumference of first ground pattern 30b of the first coplanar lines.

[0048]

L5 is the dielectric layer thickness between first ground pattern 30b and planar ground pattern 32.

10 [0049]

L6 is the minimum distance from the circumference of conductive via 40 that interconnects signal lines 10 and 11 to the outer circumference of first signal line 10.

[0050]

15 L7 is the minimum distance from the circumference of the above-described conductive via 40 to the outer circumference of second signal line 11.

[0051]

L10 is the minimum distance from the circumference of conductive via 41a to the outer circumference of planar ground pattern 30a on the first ground pattern 30b side.

[0052]

20 When dimensions are set as described above, the range, in which the phase of each of the high-frequency currents that passes by the two current paths C and D shown in FIG. 3, does not invert at a particular signal wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band), can be prescribed by:

[0053]

25 [Formula 5]

$$\left[ \sqrt{\epsilon_1} \times \left\{ 2 \times \left( \frac{\phi}{2} + L10 \right) + L1 \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times L5 + L2 + 2 \times L3 + dx + 2 \times \left( L4 + \frac{\phi}{2} \right) \right\} \right] - \left[ \sqrt{\epsilon_1} \times L6 + \sqrt{\epsilon_2} \times (L5 + L7 + dx) \right] < \frac{\lambda_0}{2}$$

or in other words, can be prescribed by:

[0054]

[Formula 6]

$$\sqrt{\varepsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\varepsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \frac{\lambda_0}{2} \quad \cdot \cdot \cdot (5)$$

5

Here,  $\varepsilon_1$  represents the effective relative dielectric constant of the first coplanar lines,  $\varepsilon_2$  represents the effective relative dielectric constant of the second coplanar lines, and  $\phi$  represents the diameter of conductive vias 41.

[0055]

10 As a result, in the present embodiment, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines that are provided on the same layer are preferably separated such that this formula (5) is satisfied.

[0056]

The reflection characteristics realized by this embodiment are next described.

15 [0057]

The following numerical conditions were adopted when inspecting the reflection characteristics. A three-layer wiring board composed of LTCC (low-temperature co-fired ceramic) board having a dielectric constant of 7.1 was used for dielectric wiring board 20. First and second dielectric layers 20a and 20b of this dielectric wiring board 20 are of the same material, the dielectric layer thickness L5 of each being 250  $\mu\text{m}$  and the conductive thickness being 15  $\mu\text{m}$ . In addition, the signal width of first signal line 10 was 150  $\mu\text{m}$ , the gap spacing between first signal line 10 and planar ground pattern 30a was 66  $\mu\text{m}$ , the signal line width of second signal line 11 was 100  $\mu\text{m}$ , the gap spacing between second signal line 11 and planar ground pattern 32 was 120  $\mu\text{m}$ , the diameter of conductive via 40 was 100  $\mu\text{m}$ , 20 the diameter  $\phi$  of conductive vias 41 was 150  $\mu\text{m}$ , and the all via spacing along the direction of signal transmission of the plurality of conductive vias 41 was 500  $\mu\text{m}$ . In addition, the minimum distance L1 from the circumference of conductive via 41a to the outer circumference of planar ground pattern 30a on the first signal line 10 side was 135  $\mu\text{m}$ . The 25 minimum distance L2 from the circumference of conductive via 41a to the outer

circumference of planar ground pattern 32 on the second signal line 11 side was 106  $\mu\text{m}$ . The minimum distance L3 from the circumference of conductive via 41b to the outer circumference of planar ground pattern 32 on the second signal line 11 side was 106  $\mu\text{m}$ .

[0058]

5 Relating to the configuration realized by these numerical conditions, a case is considered in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines that is provided on the same layer as planar ground pattern 30a are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a and conductive vias 41b.

10 [0059]

In this case, minimum distance L4 from the circumference of conductive via 41b to the outer circumference of first ground pattern 30b on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 from the circumference of conductive via 40 to the outer circumference of first signal line 10 is 25  $\mu\text{m}$ , minimum distance L7 from the circumference of conductive via 40 to the outer circumference of second signal line 11 is 0  $\mu\text{m}$ , and minimum distance L10 from the circumference of conductive via 41a to planar ground pattern 30a on the first ground pattern 30b side is 25  $\mu\text{m}$ . In addition, the effective relative dielectric constant  $\epsilon_1$  of the first coplanar lines is 3.723, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1.

20 [0060]

When the above-described numerical conditions are inserted in the aforementioned formula (5), the left side is:

$$\begin{aligned} & \sqrt{3.723} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ 25 & = 2645 \mu\text{m} \end{aligned}$$

[0061]

As a result, first ground pattern 30b and planar ground pattern 30a on the first wiring layer are separated such that  $2645 \mu\text{m} < \lambda_0/2$  is satisfied in the present embodiment.

[0062]

30 The frequency can be derived by means of the following formula (6).

[0063]

$$c = f \cdot \lambda_0, \text{ or } f = c/\lambda_0 \quad (6)$$

where  $c$  is the speed of light, or  $3.0 \times 10^8$  m/s, and  $f$  is the frequency.

5 Considering a case in which the left side and right side are equal in the relational expression  $2645 \mu\text{m} < \lambda_0/2$ , if  $\lambda_0 = 2 \times 2645 \times 10^{-6}$ , then  $f = 57 \times 10^9$  Hz = 57 GHz is calculated from the above formula (6).

[0064]

10 In other words, in the case of a separation width of  $300 \mu\text{m}$ , the frequency range that satisfies  $2645 \mu\text{m} < \lambda_0/2$  is lower than 57 GHz, and up to the level of 57 GHz, a separation width is set that enables an improvement of the reflection characteristics.

[0065]

15 In addition, a comparative example in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines are not separated and the present embodiment in which these ground patterns 30a and 30b are separated by a  $300 \mu\text{m}$  slit-shaped separation width midway between conductive vias 41a and 41b were constructed by the above-described numerical conditions and a comparison of input reflection characteristics was then carried out. FIG. 5 shows the results of the electromagnetic field analysis. As can be seen from the figure, an improvement of reflection characteristics was obtained by means of the present embodiment over a broad band from a low frequency to the vicinity of 60 GHz.

[0066]

20 When the values  $\phi = 150 \mu\text{m}$ ,  $L3 = 106 \mu\text{m}$ ,  $L5 = 250 \mu\text{m}$ ,  $\epsilon_2 = 7.1$ , and  $\lambda_0 = 5450 \mu\text{m}$  are substituted in the above-described formula (4), the spacing  $dx$  of the plurality of conductive vias 41 that are formed on the second coplanar lines must satisfy the range  $dx < 568 \mu\text{m}$ .  
25 However,  $dx = 500 \mu\text{m}$  in the analysis of the embodiment because  $500 \mu\text{m}$  is a reasonable design value for the via spacing  $dx$  along the direction of signal transmission of the plurality of conductive vias 41.

[0067]

30 FIG. 6 further shows the results of electromagnetic field analysis when the above-described separation width is varied. As can be seen from this figure, as the separation width increases,

improvement of the reflection characteristics is exhibited over a broader band. In other words, the S parameter  $|S_{11}|$ , that represents the degree of reflection, is reduced to a lower degree from a low-frequency region to the vicinity of 55 GHz in a case in which the slit width is 100  $\mu\text{m}$  than in the comparative example, and is reduced to a lower degree from a low-frequency region to the vicinity of 60 GHz in a case in which the slit width is 300  $\mu\text{m}$  than in the comparative example.

[0068]

The technical idea of the first embodiment described hereinabove can also be reflected in the following embodiments.

[0069]

*Second Embodiment*

FIGs. 7A–7H show the configuration of a high-frequency wiring board according to the second embodiment of the present invention. To state in greater detail, FIG. 7A is a plan view showing first wiring layer of the high-frequency wiring board of the present embodiment, FIG. 7B is a plan view of the second wiring layer of the high-frequency wiring board, and FIG. 7C is a plan view of the third wiring layer of the high-frequency wiring board. FIG. 7D is a sectional view of the board taken along line A-A' of FIG. 7A, FIG. 7E is a sectional view of the board taken along line B-B' of FIG. 7A, FIG. 7F is a sectional view of the board taken along line C-C' of FIG. 7A, FIG. 7G is a sectional view of the board taken along line D-D' of FIG. 7A, and FIG. 7H is a sectional view of the board taken along line E-E' of FIG. 7A. In each of the figures, the same reference numerals are used for functional parts that are the same as constituent elements shown in FIGs. 1A–1D.

[0070]

The high-frequency wiring board of the present embodiment is made up of dielectric wiring board 20 realized by stacking two dielectric layers 20a and 20b. First coplanar lines are formed on the upper surface of first dielectric layer 20a, which is the obverse side of dielectric wiring board 20 (first wiring layer) (FIG. 7A). These first coplanar lines are made up from first signal line 10 and planar ground pattern 30a formed on both sides of first signal line 10 and on the same layer as first signal line 10. In addition, second coplanar lines are formed on the upper surface of second dielectric layer 20b, which is an internal layer (second

wiring layer) of dielectric wiring board 20 (FIG. 7B). The second coplanar lines are made up from second signal line 11 and planar ground pattern 32 that is formed on both sides of second signal line 11 and on the same layer as second signal line 11. In addition, planar ground patterns 30a and 32 of the first and second coplanar lines may also be formed on only one of the two positions that sandwich each of the signal lines.

[0071]

First signal line 10 of the first coplanar lines and second signal line 11 of the second coplanar lines that is on a different wiring layer than first signal line 10 are connected by conductive via 40 at the line end of each signal line.

[0072]

Planar first ground pattern 30b and a planar second ground pattern 31 are formed on the first wiring layer and third wiring layer (the reverse surface of dielectric wiring board 20) such that the layer on which second signal line 11 is formed is interposed from above and below. This second ground pattern 31 also extends into areas that confront the first coplanar lines and thus doubles as a lower-layer ground of the first coplanar lines.

[0073]

On the other hand, first ground pattern 30b does not double as the ground pattern of the first coplanar lines as in the background art and is separated from ground pattern 30a. More specifically, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are separated by way of a predetermined width (dielectric width) in the direction of the extension of the second coplanar lines from the vicinity of the connection of first signal line 10 and conductive via 40.

[0074]

In addition, planar ground pattern 30a of the first coplanar lines and second ground pattern 31 that doubles as the lower-layer ground of the first coplanar lines are interconnected by a plurality of conductive vias 41 arranged at a predetermined spacing along the direction of signal transmission of the first coplanar lines. Of the plurality of conductive vias 41, conductive vias 41a in the vicinities of the connection of first signal line 10 and second signal line 11 also interconnect planar ground pattern 30a of the first coplanar lines and planar ground pattern 32 of the second coplanar lines.

[0075]

In addition, first ground pattern 30b that is on the upper layer of second coplanar lines and planar ground pattern 32 of the second coplanar lines and second ground pattern 31 are interconnected by the plurality of conductive vias 41 (41b) that are arranged at a  
5 predetermined spacing along the direction of signal transmission of the second coplanar lines.

[0076]

The configuration described above is the same as the first embodiment, but the present embodiment adds the following modifications to the first embodiment. Specifically, ground pattern 50 is provided in the area that confronts the first coplanar lines that are provided with  
10 planar ground pattern 30a and first signal line 10, and moreover, that is provided on the same layer as planar ground pattern 32 of the second coplanar lines. This ground pattern 50 is electrically connected to both planar ground pattern 30a of the first coplanar lines and second ground pattern 31 by a plurality of conductive vias 41 that are arranged at a predetermined spacing along the direction of signal transmission.

15 [0077]

This ground pattern 50 is separated from ground pattern 32 without doubling as a planar ground pattern of the second coplanar lines as in the background art. More specifically, planar ground pattern 32 of the second coplanar lines and ground pattern 50 of the lower layer of the first coplanar lines are separated by a predetermined width (dielectric width) in  
20 the direction of the extension of the first coplanar lines from the vicinity of the connection of second signal line 11 and conductive via 40.

[0078]

In the high-frequency transmission lines of this type of high-frequency wiring board, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer  
25 of the second coplanar lines are separated in the direction of the extension of the second coplanar lines from the vicinity of the connection of first signal line 10 and conductive via 40. As a result, during transmission of a signal from the first coplanar lines to the second coplanar lines, the high-frequency current path that is propagated in first ground pattern 30b of the upper layer of the second coplanar lines is limited to one. In other words, the high-  
30 frequency current path that is propagated in ground pattern 30b at the time of signal

transmission to the second coplanar lines is only the path from planar ground pattern 30a of the first coplanar lines that passes successively by way of conductive via 41a, planar ground pattern 32 of the second coplanar lines, and by way of the next conductive via 41b along the direction of signal transmission toward first ground pattern 30b. In this way, phase  
5 interference of the high-frequency current that is propagated in first ground pattern 30b does not occur. As a result, reflection characteristics that progressively deteriorate from low frequencies to high frequencies can be improved.

[0079]

In the present embodiment, moreover, planar ground pattern 32 of the second coplanar lines  
10 and ground pattern 50 of the lower layer of the first coplanar lines are separated by way of a predetermined width (dielectric width) in the direction of the extension of the first coplanar lines from the vicinity of the connection of second signal line 11 and conductive via 40. As a result, even should a signal be transmitted from the second coplanar lines to the first coplanar lines, the high-frequency current path that is propagated in ground pattern 50 of the lower  
15 layer of the first coplanar lines is limited to one. In other words, the only high-frequency current path that is propagated in ground pattern 50 during transmission of a signal to the first coplanar lines is the path toward ground pattern 50 that passes successively from planar ground pattern 32 of the second coplanar lines to conductive via 41a, to planar ground pattern 30a of the first coplanar lines, and to the next conductive via 41c along the direction of signal  
20 transmission. In this way, phase interference of the high-frequency current that is propagated in ground pattern 50 does not occur. As a result, reflection characteristics that progressively deteriorate from low frequencies to high frequencies can be improved.

[0080]

Essentially, according to the present embodiment, superior reflection characteristics can be  
25 maintained even when the direction of signal transmission between the first coplanar lines and second coplanar lines is altered according to the state of application of the high-frequency wiring board.

[0081]

This type of effect is obtained if planar ground pattern 30a of the first coplanar lines and first  
30 ground pattern 30b of the upper layer of the second coplanar lines are separated and if planar

ground pattern 32 of the second coplanar lines and ground pattern 50 of the lower layer of the first coplanar lines are separated, and these separation portions may take any form. The confronting sides that form the separation portions between planar ground pattern 30a and first ground pattern 30b and between planar ground pattern 32 and ground pattern 50 need not be formed at a fixed spacing or in parallel as shown in the figures.

[0082]

Additional conditions for further improving the reflection characteristics are next described. However, the following explanation presupposes a configuration in which planar ground pattern 30a and first ground pattern 30b as well as planar ground pattern 32 and ground pattern 50 are separated by the width of a fixed spacing.

[0083]

As additional conditions for improving reflection characteristics in the present embodiment, a first separation width between planar ground pattern 30a and first ground pattern 30b as well as a second separation width between planar ground pattern 32 and ground pattern 50 are prescribed as described below.

[0084]

The upper limit of the above-described first separation width is prescribed by the spacing of conductive vias 41 formed on the second coplanar lines (space of the arrangement of conductive vias 41a and 41b), and the reason for this limit and a method for calculating the via spacing are as described in the first embodiment.

[0085]

Regarding the above-described second separation width, the same thinking as in the method of prescribing the first separation width is adopted, the second separation width being prescribed by the spacing of conductive vias 41 formed on first coplanar lines (space of the arrangement of conductive vias 41a and 41c). In other words, the second separation width is prescribed to be greater than 0, and moreover, to be no greater than the spacing from conductive via 41a in the vicinity of connection end of second signal line 11 to the next conductive via 41c in the direction of signal transmission. In addition, space of the arrangement of, for example, conductive vias 41a and 41c that are formed in the first coplanar lines is a value determined for realizing the desired frequency band in the first

coplanar lines. Although this value is not explained in detail, the value can be found using the same calculation method and concepts as explained in the first embodiment.

[0086]

As in the first embodiment, the above-described first and second separation widths can also be prescribed as shown below. Specifically, during signal transmission from a particular coplanar line to another coplanar line, conditions are preferable whereby the difference in the electrical path lengths (difference in electrical lengths calculated by the effective relative dielectric constant) of the high-frequency current that is propagated through ground patterns and the high-frequency current that is propagated through signal lines do not greatly diverge, and the first and second separation widths are therefore prescribed within ranges in which the phases of the high-frequency currents on the ground pattern side and signal line side do not invert at a particular signal wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band). Because the method of prescribing the first separation width according to this concept was explained in the first embodiment, only the method of prescribing second separation width is described here.

[0087]

First, L1 is the minimum distance from, among the plurality of conductive vias 41 provided in the coplanar lines as shown in FIGs. 7A, 7B, and 7E, the circumference of conductive via 41a that interconnects the grounds of the first coplanar lines and the second coplanar lines to the outer circumference of planar ground pattern 30 on the first signal line 10 side.

[0088]

L2 is the minimum distance from the circumference of the above-described conductive via 41a to the outer circumference of planar ground pattern 32 on the second signal line 11 side.

[0089]

L5 is the dielectric layer thickness between first ground pattern 30b and planar ground pattern 32.

[0090]

L6 is the minimum distance from the circumference of conductive via 40 that interconnects signal line 10 and 11 to the outer circumference of first signal line 10.

[0091]

L7 is the minimum distance from the circumference of the above-described conductive via 40 to the outer circumference of second signal line 11.

[0092]

L8 is the minimum distance from, among the plurality of conductive vias 41 provided in the first coplanar lines, excluding conductive vias 41a that interconnect the grounds of first coplanar lines and second coplanar lines, the circumference of conductive via 41c that is closest to conductive via 40 to the outer circumference of planar ground pattern 30a on the first signal line 10 side.

[0093]

L9 is the minimum distance from the circumference of the above-described conductive via 41c to the outer circumference of ground pattern 50 on the second coplanar line side.

[0094]

L10 is the minimum distance from the circumference of the above-described conductive via 41a to the outer circumference of planar ground pattern 30a on the first ground pattern 30b side.

[0095]

L11 is the minimum distance from the circumference of the above-described conductive via 41a to the outer circumference of planar ground pattern 32 on the ground pattern 50 side.

[0096]

Finally,  $dx_2$  is the spacing of conductive vias 41a and 41c.

[0097]

When the above-described dimensions are set, the range in which inversion does not occur in the phases of each of the high-frequency currents that pass by the high-frequency current path on the signal line side that is propagated through signal lines 10 and 11 and the high-frequency current path on the ground pattern side that is propagated from planar ground pattern 32 of the second coplanar lines and through ground pattern 50 of the lower layer of the first coplanar lines by way of conductive via 41a at a particular signal wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band) can be prescribed by the formula:

[0098]

[Formula 7]

$$\left[ \sqrt{\varepsilon_1} \times \left\{ L1 + dx + 2 \times L8 + L5 + 2 \times \left( \frac{\phi}{2} + L9 \right) \right\} + \sqrt{\varepsilon_2} \times \left\{ 2 \times \left( L11 + \frac{\phi}{2} \right) + L2 + L5 \right\} \right] - \left[ \sqrt{\varepsilon_1} \times (L6 + dx) + \sqrt{\varepsilon_2} \times (L5 + L7) \right] < \frac{\lambda_0}{2}$$

5 this formula being equivalent to:

[0099]

[Formula 8]

$$\sqrt{\varepsilon_1} \times \{ (L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9 \} + \sqrt{\varepsilon_2} \times \{ (L2 - L7) + 2 \times L11 + \phi \} < \frac{\lambda_0}{2}$$

10

[0100]

As a result, in the present embodiment, planar ground pattern 32 of the second coplanar lines and ground pattern 50 of the lower layer of the first coplanar lines are preferably separated such that this formula (7) is satisfied.

15

[0101]

Explanation next regards the reflection characteristics realized by the present embodiment.

[0102]

In the inspection of the reflection characteristics, the same numerical conditions were adopted as in the first embodiment, with the exception of the following points of change.

20

Specifically, because ground pattern 50 of the lower layer of the first coplanar lines is provided in the present embodiment, the gap spacing of first signal line 10 and planar ground pattern 30a was changed to 78  $\mu\text{m}$ . In addition, minimum distance L8 from the circumference of conductive via 41c to the outer circumference of planar ground pattern 30a on the first signal line 10 side is the same as distance L1 at 135  $\mu\text{m}$ .

25

[0103]

In addition to the configuration realized by these numerical conditions, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines that

are provided on the same layer as planar ground pattern 30a are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a and conductive vias 41b. Further, planar ground pattern 32 of the second coplanar lines and ground pattern 50 of the lower layer of the first coplanar lines are separated by a slit-shaped separation width of 300  $\mu\text{m}$  midway between conductive vias 41a and conductive vias 41c.

[0104]

In this case, minimum distance L4 from the circumference of conductive via 41b to the outer circumference of first ground pattern 30b on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 from the circumference of conductive via 40 to the outer circumference of first signal line 10 is 25  $\mu\text{m}$ , and minimum distance L7 from the circumference of conductive via 40 to the outer circumference of second signal line 11 is 0  $\mu\text{m}$ . Further, minimum distance L9 from the circumference of conductive via 41c to the outer circumference of ground pattern 50 on the second coplanar line side is 25  $\mu\text{m}$ . Minimum distance L10 from the circumference of conductive via 41a to the outer circumference of planar ground pattern 30a on the first ground pattern 30b side is 25  $\mu\text{m}$ . Minimum distance L11 from the circumference of conductive via 41a to the outer circumference of planar ground pattern 32 on the ground pattern 50 side is 25  $\mu\text{m}$ . Finally, the effective relative dielectric constant  $\epsilon_1$  of the first coplanar lines is 3.892, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1.

[0105]

When these numerical conditions are substituted in Formula (5) that was explained in the first embodiment, the left side becomes:

$$\begin{aligned} & \sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ & = 2658 \mu\text{m} \end{aligned}$$

[0106]

As a result, in the present embodiment, planar ground pattern 30a and first ground pattern 30b that are on the first wiring layer are separated such that  $2658 \mu\text{m} < \lambda_0/2$  is satisfied. Considering a case in which the left side and right side are equal in the relational expression  $2658 \mu\text{m} < \lambda_0/2$ , when  $\lambda_0 = 2 \times 2658 \times 10^{-6}$ ,  $f = 56 \times 10^9 \text{ Hz} = 56 \text{ GHz}$  is calculated by means of Formula (6) that was explained in the first embodiment. In other words, when the

above-described first separation width is 300  $\mu\text{m}$ , the frequency range that satisfies  $2658 \mu\text{m} < \lambda_0/2$  is less than 56 GHz, and a first separation width is set that enables an improvement of reflection characteristics up to the level of 56 GHz.

[0107]

- 5 When the above-described numerical conditions are further substituted in the above-described formula (7) for prescribing the second separation width, the left side becomes:

$$\begin{aligned} & \sqrt{3.892} \times \{(135 - 25) + 2 \times 135 + 250 + 150 + 2 \times 25\} + \sqrt{7.1} \times \{(106 - 0) + 2 \times 25 + 150\} \\ & = 2453 \mu\text{m} \end{aligned}$$

10 [0108]

Thus, in the present embodiment, planar ground pattern 32 and ground pattern 50 that are on the second wiring layer are separated such that  $2453 \mu\text{m} < \lambda_0/2$  is satisfied. Considering a case in which the left side and right side are equal in the relational expression  $2453 \mu\text{m} < \lambda_0/2$ , if  $\lambda_0 = 2 \times 2453 \times 10^{-6}$ ,  $f = 61 \times 10^9 \text{ Hz} = 61 \text{ GHz}$  is calculated from the above-described formula (6). In other words, when the above-described second separation width is

- 15 300  $\mu\text{m}$ , the frequency range that satisfies  $2453 \mu\text{m} < \lambda_0/2$  is less than 61 GHz, and a second separation width is set that enables an improvement of the reflection characteristics up to the level of 61 GHz.

[0109]

- 20 In addition, a comparative example that was described in the above-described first embodiment in which planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are not separated and that was described the present embodiment were constructed by the above-described numerical conditions and a comparison of reflection characteristics carried out. In the present
- 25 embodiment that was compared, ground patterns 30a and 30b as well as ground patterns 32 and 50 are separated by slit-shaped separation widths of 300  $\mu\text{m}$  as described above.

[0110]

- FIG. 8 shows the results of electromagnetic field analysis of these examples. As can be understood from this figure, an improvement in reflection characteristics is obtained by
- 30 means of the present embodiment over a broad band from a low-frequency region to close to

60 GHz. The greater the separation width, the broader the band over which an improvement of reflection characteristics is exhibited. Essentially, the S parameter  $|S_{11}|$ , that represents the degree of reflection in FIG. 8, is reduced to a lower degree from a low-frequency region to close to 53 GHz in the case of a slit width of 100  $\mu\text{m}$  than in the comparative example, and is reduced to a lower degree from a low-frequency region to close to 60 GHz in the case of a slit width of 300  $\mu\text{m}$  than the comparative example.

[0111]

### *Third Embodiment*

FIGs. 9A–9H show the configuration of a high-frequency wiring board according to the third embodiment of the present invention. More specifically, FIG. 9A is a plan view showing the first wiring layer of the high-frequency wiring board of the present embodiment, FIG. 9B is a plan view of the second wiring layer, and FIG. 9C is a plan view of the third wiring layer. FIG. 9D is a board sectional view taken along line A-A' of FIG. 9A, FIG. 9E is a board sectional view taken along line B-B' of FIG. 9A, FIG. 9F is a board sectional view taken along line C-C' of FIG. 9A, FIG. 9G is a board sectional view taken along line D-D' of FIG. 9A, and FIG. 9H is a board sectional view taken along line E-E' of FIG. 9A. In each figure, the same reference numbers are used for functional parts that are the same as the constituent elements shown in FIGs. 1A–1D.

[0112]

The high-frequency wiring board of the present embodiment is made up from dielectric wiring board 20 realized by stacking two dielectric layers 20a and 20b. First coplanar lines are formed on the upper surface of first dielectric layer 20a that is the obverse surface (first wiring layer) of dielectric wiring board 20 (FIG. 9A). These first coplanar lines are made up from first signal line 10 and planar ground pattern 30a that is formed on the same layer as first signal line 10 and that encloses first signal line 10 on two sides. Second coplanar lines are formed on the upper surface of second dielectric layer 20b that is an internal layer (second wiring layer) of dielectric wiring board 20 (FIG. 9B). The second coplanar lines are made up from second signal line 11 and planar ground pattern 32 that is formed on the same layer as second signal line 11 and that encloses second signal line 11 on two sides. Planar ground patterns 30a and 32 of the first and second coplanar lines may also be formed on only

one of the two positions that enclose the signal lines.

[0113]

First signal line 10 of the first coplanar lines and second signal line 11 of the second coplanar lines that is on a different wiring layer than first signal line 10 are connected by conductive via 40 at the line end of each signal line.

[0114]

Planar first ground pattern 30b and planar second ground pattern 31 are formed on first wiring layer and third wiring layer (the reverse surface of dielectric wiring board 20) such that the layer on which second signal line 11 is formed is interposed from above and below.

This second ground pattern 31 extends into an area that confronts the first coplanar lines and doubles as a lower-layer ground of the first coplanar lines.

[0115]

On the other hand, first ground pattern 30b is cut off from ground pattern 30a without doubling as a ground pattern of the first coplanar lines as in the background art. More specifically, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are separated by way of a predetermined width (dielectric width) in the direction of the extension of the second coplanar lines from the vicinity of the connection between first signal line 10 and conductive via 40.

[0116]

Further, planar ground pattern 30a of the first coplanar lines and second ground pattern 31 that doubles as the lower layer ground of the first coplanar lines are interconnected by a plurality of conductive vias 41 that are arranged at predetermined spacing along the direction of signal transmission of the first coplanar lines. However, of the plurality of conductive vias 41, conductive vias 41a in the vicinity of the connection of first signal line 10 and second signal line 11 also interconnect between planar ground pattern 30a of the first coplanar lines and planar ground pattern 32 of the second coplanar lines.

[0117]

In addition, first ground pattern 30b that is on the upper layer of the second coplanar lines, planar ground pattern 32 of the second coplanar lines, and second ground pattern 31 are further interconnected by a plurality of conductive vias 41 (41b) that are arranged at a

predetermined spacing along the direction of signal transmission of the second coplanar lines.  
[0118]

The configuration above is the same as the first embodiment, but the following changes have been made to the first embodiment in the present embodiment. Specifically, planar ground pattern 32 of the second coplanar lines is formed over the entire region that confronts the first coplanar lines and doubles as the lower-layer ground of the first coplanar lines. In other words, planar ground pattern 32 is not only formed at positions on both sides that enclose second signal line 11, but is also formed in areas that confront areas in which the first coplanar lines are formed. In addition, when compared with the second embodiment, ground pattern 50 of the lower layer of the first coplanar lines shown in FIG. 7B and planar ground pattern 32 of the second coplanar lines of the same layer are not separated and are formed as one continuous ground pattern.

[0119]

Planar ground pattern 32 of the second coplanar lines that doubles as lower-layer ground of the first coplanar lines is electrically connected by means of a plurality of conductive vias 41 that are arranged at a predetermined spacing along the direction of signal transmission to both planar ground pattern 30a and second ground pattern 31 of the first coplanar lines.

[0120]

During signal transmission from the first coplanar lines to the second coplanar lines in the high-frequency transmission lines of this type of high-frequency wiring board, the high-frequency current path that is propagated in first ground pattern 30b of the upper layer of the second coplanar lines is limited to just one, as in the first embodiment. In this way, phase interference of the high-frequency current that is propagated in first ground pattern 30b does not occur, whereby an improvement can be achieved for reflection characteristics that progressively deteriorate from low frequencies to high frequencies.

[0121]

This type of effect can be obtained if planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines are separated, and this separation portion may be of any form. In other words, the confronting sides that form the separation portion between planar ground pattern 30a and first ground pattern 30b need not

be formed at a fixed spacing or in parallel as shown in the figure.

[0122]

In addition, in a configuration in which planar ground pattern 30a and first ground pattern 30b are separated at a width of fixed spacing, a further improvement of reflection characteristics is obtained by prescribing the upper limit of the separation width between planar ground pattern 30a and first ground pattern 30b as the spacing of conductive vias 41 (the arrangement spacing of conductive vias 41a and 41b) formed in the second coplanar lines. The reasons for this improvement as well as the method of calculating the via spacing are as described in the first embodiment.

[0123]

The above-described separation width can be prescribed as shown below, as in the first embodiment. Specifically, at the time of transmission of a signal from the first coplanar lines to the second coplanar lines, conditions are preferable such that a large divergence does not occur in the electrical path length difference (electrical length difference calculated by the effective relative dielectric constant) between the high-frequency current that is propagated through ground patterns and the high-frequency current that is propagated through signal lines, and the separation width is therefore prescribed within a range in which phases do not invert for the high-frequency currents on the ground pattern side and signal line side at a particular wavelength  $\lambda_0$  (the minimum wavelength (maximum frequency) of the desired signal band).

[0124]

Specifically, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines that are provided on the same layer are separated such that formula (5) explained in the first embodiment is satisfied.

[0125]

The method of prescribing this separation width was described in the first embodiment and explanation is therefore here omitted.

[0126]

The reflection characteristics realized by the present embodiment are next described.

[0127]

When inspecting the reflection characteristics, the same numerical conditions as the first embodiment were adopted with the exception of the following alterations. Specifically, because a ground pattern is provided on the lower layer of the first coplanar lines in the present embodiment, the gap spacing of first signal line 10 and planar ground pattern 30a was changed to 78  $\mu\text{m}$ .

[0128]

In the configuration realized by these numerical conditions, planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the second coplanar lines that are provided on the same layer are separated by a slit-shaped width of 300  $\mu\text{m}$  midway between conductive vias 41a and conductive vias 41b.

[0129]

In this case, minimum distance L4 from the circumference of conductive via 41b to the outer circumference of first ground pattern 30b on the first coplanar line side is 25  $\mu\text{m}$ , minimum distance L6 from the circumference of conductive via 40 to the outer circumference of first signal line 10 is 25  $\mu\text{m}$ , minimum distance L7 from the circumference of conductive via 40 to the outer circumference of second signal line 11 is 0  $\mu\text{m}$ , and minimum distance L10 from the circumference of conductive via 41a to the outer circumference of planar ground pattern 30 on the first ground pattern 30b side is 25  $\mu\text{m}$ . In addition, the effective relative dielectric constant  $\epsilon_1$  of the first coplanar lines is 3.892, and the effective relative dielectric constant  $\epsilon_2$  of the second coplanar lines is 7.1

[0130]

When these numerical conditions are substituted in formula (5) described in the first embodiment, the left side is:

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\}$$

$$= 2658 \mu\text{m}$$

[0131]

As a result, in the present embodiment, planar ground pattern 30a and first ground pattern 30b that are on the first wiring layer are separated such that  $2658 \mu\text{m} < \lambda_0/2$  is satisfied. In other words, when the separation width is 300  $\mu\text{m}$ , the frequency range that satisfies  $2658 \mu\text{m} < \lambda_0/2$  is less than 56 GHz based on formula (6) that was explained in the first

embodiment, and a separation width is set that enables an improvement in reflection characteristics up to the level of 56 GHz.

[0132]

In addition, the present embodiment and a comparative example described in the  
5      aforementioned first embodiment in which planar ground pattern 30a of the first coplanar  
lines and first ground pattern 30b of the upper layer of the second coplanar lines are not  
separated were constructed by the above-described numerical conditions and a comparison of  
input reflection characteristics carried out. In the present embodiment that was compared,  
ground patterns 30a and 30b were separated by a slit-shaped separation width of 300  $\mu\text{m}$  as  
10      previously described, and moreover, planar ground pattern 32 of the second coplanar lines  
doubled as the lower-layer ground of the first coplanar lines.

[0133]

FIG. 10 shows the results of electromagnetic field analysis. As can be understood from the  
figure, the effect of improving the reflection characteristics was obtained by the present  
15      embodiment over a broad band from a low frequency region to close to 60 GHz.

[0134]

In each of the embodiments of the present invention, when a signal is being transmitted from  
the first coplanar lines to the second coplanar lines, the high-frequency current paths that are  
propagated in a first ground pattern of the upper layer of the second coplanar lines are limited  
20      to one. In other words, the high-frequency current path propagated to the first ground pattern  
at the time of signal transmission to the second coplanar lines is only the path from a planar  
ground pattern of the first coplanar lines to the first ground pattern that successively passes  
by way of second conductive via a, the planar ground pattern of the second coplanar lines,  
and by way of the next second conductive via b along the direction of signal transmission.

[0135]

Because phase interference of high-frequency currents propagated in the first ground pattern  
is thus suppressed, an improvement can be attained in reflection characteristics that  
progressively deteriorate from low frequencies to high frequencies.

[0136]

In addition, a further improvement can be obtained in reflection characteristics that

progressively deteriorate from low frequencies to high frequencies by decreasing the difference of the phase of the high-frequency current that is propagated through the first ground pattern and the phase of the high-frequency current that is propagated through signal lines, i.e., the difference in electrical length that is converted to wavelength.

5 [0137]

*Other Embodiments*

In each of the above-described embodiments, conductive vias are used as a means of connecting different layers, but the present invention is not limited to this form, and electrical connection means having conductivity such as through-holes can also be applied. In addition, explanation regarded a case of a three-layer wiring board, but a multilayer wiring board of three or more layers can also be applied, and further, a configuration can also be applied in which first signal line 10 and ground patterns 30a and 30b are in the interior of dielectric wiring board 20.

[0138]

15 In the figures showing each embodiment, first signal line 10 and second signal line 11 need not be on a straight line and may diverge somewhat. In such cases, the confronting sides that prescribe the separation width between planar ground pattern 30a of the first coplanar lines and first ground pattern 30b of the upper layer of the second coplanar lines and the confronting sides that prescribe the separation width between planar ground pattern 32 of the second coplanar lines and third ground pattern 50 need not be formed at a fixed spacing.

20

[0139]

The high-frequency wiring board of the present invention that is based on each of the embodiments can be applied as the wiring board of a high-frequency module that is incorporated in, for example, a portable telephone device, a PDA (Personal Digital Assistant) terminal, and many other electronic devices.

25

[0140]

For example, high-frequency modules as shown in FIG. 11 and FIG. 12 are obtained by providing depressions in dielectric wiring board 20, accommodating LSI chip 60 that is an electronic device that operates by a clock signal, and then electrically connecting first signal lines 10 of first coplanar lines that are formed on the obverse surface of dielectric wiring

30

board 20 with bonding wires 70, and then covering LSI chip 60 by cover 80. FIG. 11 shows a configuration in which first signal lines 10 of the first coplanar lines that are connected to LSI chip 60 and first signal lines 10 of the other first coplanar lines that are formed on the same obverse surface of dielectric wiring board 20 are connected by way of second signal lines 11 of second coplanar lines that are formed inside dielectric wiring board 20.

Alternatively, FIG. 12 shows a configuration in which first signal lines 10 of first coplanar lines that are connected to LSI chip 60 are connected to first signal lines 10 of other first coplanar lines that are formed on the reverse surface of dielectric wiring board 20 by way of second signal lines 11 of second coplanar lines that are formed inside dielectric wiring board 20.

[0141]

In either configuration, the configuration is characterized by the separation of a planar ground pattern (not shown) of the first coplanar lines from first ground pattern 30 of the same layer or second ground pattern 31 in the wiring direction from first coplanar lines to second coplanar lines that are connected by conductive vias 40. In addition, although LSI chip 60 is embedded in a high-frequency wiring board in the forms shown in FIG. 11 and FIG. 12, the high-frequency module of the present invention is not limited to this form. Accordingly, the LSI chip may be surface-mounted to the wiring board by the flip-chip connection method or wire-bonding method depending on the application. Alternatively, a form is also possible in which LSI chip 60 is sealed by molded resin without using cover 80.

[0142]

Although the high-frequency wiring board of the present invention and the high-frequency module that employs this high-frequency wiring board were described by showing a number of embodiments as described hereinabove, the invention of the present application is not limited to these embodiments and is obviously open to various modifications within a range that does not depart from the gist of the invention.

[0143]

This application claims priority based on Japanese Patent Application 2007-241104 for which application was submitted on September 18, 2007 and incorporates all of the disclosures of that application.

## Claims

What is claimed is:

1. A high-frequency wiring board comprising:  
first coplanar lines provided with a first signal line and a first planar ground pattern  
5 formed on the same wiring layer as said first signal line;  
second coplanar lines provided with a second signal line formed on a wiring layer that  
differs from said first signal line, and a second planar ground pattern formed on the  
same wiring layer as said second signal line; and  
a first ground pattern formed on the same wiring layer as said first coplanar lines;

10 wherein:

said first coplanar lines and said second coplanar lines are connected; and  
said first ground pattern and said first planar ground pattern are separated in at least a  
region that follows said second signal line from the connection of the ends of said  
first signal line and said second signal line.

15 2. A high-frequency wiring board comprising:  
first coplanar lines provided with a first signal line and a first planar ground pattern  
formed on the same wiring layer as said first signal line;  
second coplanar lines provided with a second signal line formed on a wiring layer that  
20 differs from said first signal line, and a second planar ground pattern formed on the  
same wiring layer as said second signal line; and  
a first ground pattern formed on the same wiring layer as said first coplanar lines;

wherein:

25 said first coplanar lines and said second coplanar lines are connected such that a  
signal is transmitted from said first coplanar lines to said second coplanar lines; and  
when a signal is being transmitted from said first coplanar lines to said second  
coplanar lines, the path of a high-frequency current that is propagated from said first  
planar ground pattern to said first ground pattern contains points that pass only by  
way of said second planar ground pattern.

30

3. The high-frequency wiring board as set forth in claim 1 or claim 2, wherein:  
said first signal line in said first coplanar lines is formed in the interior or on the  
obverse surface of a dielectric wiring board, and said first planar ground pattern is  
formed on the same wiring layer as said first signal line and on at least one of two  
side positions that enclose said first signal line; and  
said second planar ground pattern in said second coplanar lines is formed on the same  
wiring layer as said second signal line and on at least one of two side positions that  
enclose said second signal line.

4. The high-frequency wiring board as set forth in any one of claims 1 to 3,  
further comprising:  
a first conductive via for connecting said first signal line and said second signal line  
at the line end of each signal line;  
a second ground pattern formed on the wiring layer on the opposite side of the layer  
of said first ground pattern with respect to the wiring layer on which said second  
coplanar lines are formed; and  
second conductive vias that are a plurality of second conductive vias arranged at a  
predetermined spacing along the direction of signal transmission through said first  
and second coplanar lines, said second conductive vias including: conductive vias *a*  
for connecting said first planar ground pattern and said second planar ground pattern,  
conductive vias *b* for connecting said first ground pattern and said second planar  
ground pattern, and conductive vias *c* for connecting said first planar ground pattern  
and said second ground pattern;

wherein

said first ground pattern is separated from said first planar ground pattern in the direction of  
signal transmission of said second coplanar lines from the vicinity of the connection of said  
first signal line and said first conductive via

5. The high-frequency wiring board as set forth in claim 4, wherein the width  
between said first ground pattern and said first planar ground pattern that are separated is *a*

width no greater than the spacing of said second conductive vias that is set in said second coplanar lines.

6. The high-frequency wiring board as set forth in claim 3 or claim 4, wherein:

when: L1 is the minimum distance from the circumference of, from among the plurality of said second conductive vias provided in said first coplanar lines, said conductive via *a* interconnecting said first planar ground pattern and said second planar ground pattern, to the outer circumference of said first planar ground pattern on said first signal line side;

L2 is the minimum distance from the circumference of said conductive via *a* to the outer circumference of said second planar ground pattern on said second signal line side;

L3 is the minimum distance from the circumference of, from among said plurality of second conductive vias provided in said second coplanar lines and excluding said conductive vias *a*, said conductive via *b* being closest to said first conductive via, to the outer circumference of said second planar ground pattern on said second signal line side;

L4 is the minimum distance from the circumference of said conductive via *b* to the outer circumference of said first ground pattern on said first coplanar line side;

L5 is the dielectric layer thickness between said first ground pattern and said second planar ground pattern;

L6 is the minimum distance from the circumference of said first conductive via to the outer circumference of said first signal line;

L7 is the minimum distance from the circumference of said first conductive via to the outer circumference of said second signal line;

L10 is the minimum distance from the circumference of said conductive via *a* to the outer circumference of said first planar ground pattern on said first ground pattern side;

$\epsilon_1$  is the effective relative dielectric constant of said first coplanar lines;

$\epsilon_2$  is the effective relative dielectric constant of said second coplanar lines;

$\phi$  is the diameter of said second conductive vias; and

$\lambda_0$  is the minimum wavelength in a vacuum in the transmitted signal band;

said first planar ground pattern and said first ground pattern that are provided on the same layer as said first planar ground pattern are separated such that the following relational expression is satisfied:

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \lambda_0/2$$

7. The high-frequency wiring board as set forth in any one of claims 1 to 6, further comprising:

a third ground pattern formed in a region of the same wiring layer as said second coplanar lines that confronts the region in which said first coplanar lines are formed; wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of the connection of said first signal line and said second signal line.

8. The high-frequency wiring board as set forth in any one of claims 4 to 6, further comprising:

a third ground pattern formed in a region of the same wiring layer of said second coplanar lines that confronts the region in which said first coplanar lines are formed, and moreover, that is electrically connected by said second conductive vias to both said first planar ground pattern and said second ground pattern; wherein said third ground pattern is separated from said second planar ground pattern in the direction of transmission of said first coplanar lines from the vicinity of connection of said second signal line and said first conductive via.

9. The high-frequency wiring board as set forth in claim 8, wherein the width between said third ground pattern and said second planar ground pattern that are separated is a width no greater than spacing of said second conductive vias that is set in said first coplanar lines.

10. The high-frequency wiring board as set forth in claim 8 or claim 9, wherein:  
 when: L8 is the minimum distance from the circumference of, from among the  
 plurality of said second conductive vias provided in said first coplanar lines and  
 5 excluding said conductive vias *a*, said conductive via *c* being closest to said first  
 conductive via, to the outer circumference of said first planar ground pattern on said  
 first signal line side;

L9 is the minimum distance from the circumference of said conductive via *c* to the  
 outer circumference of said third ground pattern on said second coplanar lines side;

10 L11 is the minimum distance from the circumference of said conductive via *a* to the  
 outer circumference of said second planar ground pattern on said third ground pattern  
 side; and

$\lambda_0$  is the minimum wavelength in a vacuum of the transmitted signal band;

15 said second planar ground pattern and said third ground pattern provided on the same layer as  
 said second planar ground pattern are separated such that the following relational expression  
 is satisfied:

$$\sqrt{\varepsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\varepsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\} \\ < \lambda_0 / 2$$

20 11. The high-frequency wiring board as set forth in any one of claims 1 to 10,  
 wherein said second planar ground pattern is not only formed on at least one of two side  
 positions that enclose said second signal line but also extends into a region, of the same  
 wiring layer as said second coplanar lines, that confronts a region in which said first coplanar  
 lines are formed.

25 12. A high-frequency module in which a semiconductor integrated circuit chip is  
 mounted on the high-frequency wiring board as set forth in any one of claims 1 to 11.

Abstract

The high-frequency wiring board of the present invention includes: first coplanar lines provided with a first signal line and a first planar ground pattern formed on the same wiring layer as the first signal line; second coplanar lines provided with a second signal line formed  
5 on a different wiring layer than the first signal line and a second planar ground pattern formed on the same wiring layer as the second signal line; and a first ground pattern formed on the same wiring layer as the first coplanar lines. The first coplanar lines and the second coplanar lines are connected. At least the first ground pattern and the first planar ground pattern are separated in a region following the second signal line from the connection of the  
10 first signal line and the second signal line.

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2009年3月26日 (26.03.2009)

PCT

(10) 国際公開番号  
WO 2009/037918 A1

## (51) 国際特許分類:

H01P 1/04 (2006.01) H05K 1/02 (2006.01)  
H01L 23/12 (2006.01) H05K 3/46 (2006.01)  
H01P 3/02 (2006.01)

(21) 国際出願番号: PCT/JP2008/063283

(22) 国際出願日: 2008年7月24日 (24.07.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2007-241104 2007年9月18日 (18.09.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてののみ): 大平 理 覚

(OHHIRA, Risato) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

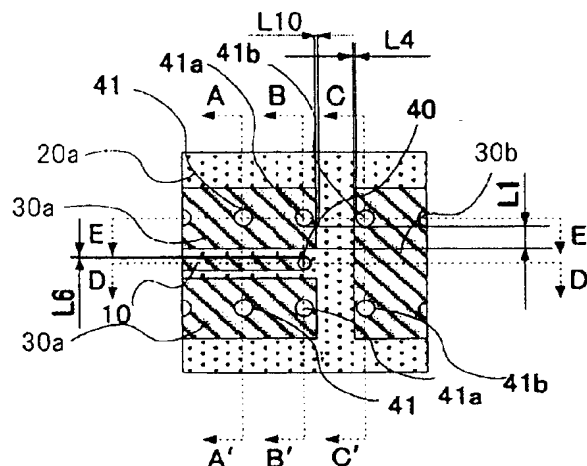
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: HIGH FREQUENCY SUBSTRATE AND HIGH FREQUENCY MODULE USING SAME

(54) 発明の名称: 高周波基板および、これを用いた高周波モジュール

[図2A]



(57) **Abstract:** A high frequency substrate is provided with a first signal line, a first coplanar line having a first plane-like ground pattern formed at the same wiring layer as that of the first signal line, a second signal line formed at a wiring layer different from that of the first signal line, a second coplanar line having a second plane-like ground pattern formed at the same wiring layer as that of the second signal line, and a first ground pattern formed at the same wiring layer as that of the first coplanar line. In at least a region from a connecting portion at both edges of the first and second signal lines to the second signal line, the first ground pattern and the first plane-like ground pattern are separated.

[続葉有]

WO 2009/037918 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,  
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

---

(57) 要約: 本発明の高周波基板は、第 1 の信号線路と、該第 1 の信号線路と同じ配線層に形成された第 1 の面状グランドパターンを備える第 1 のコプレーナ線路と、前記第 1 の信号線路とは異なる配線層に形成された第 2 の信号線路と、該第 2 の信号線路と同じ配線層に形成された第 2 の面状グランドパターンを備える第 2 のコプレーナ線路と、前記第 1 のコプレーナ線路と同じ配線層に形成された第 1 のグランドパターンと、を有する。前記第 1 のコプレーナ線路と前記第 2 のコプレーナ線路が接続されている。少なくとも、前記第 1 の信号線路と前記第 2 の信号線路の端部どうしの接続部から前記第 2 の信号線路に沿った領域で、前記第 1 のグランドパターンと前記第 1 の面状グランドパターンが分離されている。

## 明 細 書

### 高周波基板および、これを用いた高周波モジュール 技術分野

[0001] 本発明は、高周波伝送線路が形成された高周波基板に関し、特に、基板の異なる層に形成された高周波伝送線路間の相互接続に関する。

### 背景技術

[0002] 高周波半導体素子用パッケージや回路素子実装用配線基板等に用いられている高周波伝送線路においては、電子部品の実装位置により、誘電体基板の表面に形成された表層線路と、誘電体基板の内部に形成された内層線路を相互に接続する場合が多々ある。

[0003] 誘電体基板の表面に形成される表層線路としてはマイクロストリップ線路やコプレーナ線路が代表的である。また、誘電体基板の内部に形成される内層線路としてはストリップ線路およびコプレーナ線路が代表的に用いられている。そして、表層線路と内層線路間の相互接続は、導電性のあるビアやスルーホール等により接続されている。

[0004] 例えば、特開2003-133472号公報(以下、特許文献1と称す)に記載されている高周波基板は、図1A～図1Dに示すような高周波伝送線路を有する。なお、図1Aはこの高周波基板の全体斜視図、図1Bはこの高周波基板の第2の誘電体層部分の斜視図、図1Cはこの高周波基板の裏面導体パタンの上面図である。図1Dは、図1Aに示す高周波基板の、伝送信号方向に沿ったX-X断面図を示している。

[0005] これらの図により示される高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。そして、異なる層に高周波伝送線路が形成されている。

[0006] 第1の高周波伝送線路は、誘電体基板20の表面である第1の誘電体層20aの上面上に形成された第1の信号線路10と、この信号線路10の周りにこれと同一面上に配置された第1のグランドパターン30と、第2の誘電体層20bの上面に形成された第2のグランドパターン32とから構成されている。一方、第2の高周波伝送線路は、上記第1のグランドパターン30と、誘電体基板20の裏面である第2の誘電体層20bの下面に形成され

た第3のグランドパタン31と、これらの間に配置され第2の誘電体層20bの上面上に形成された第2の信号線路11と、この信号線路11の周りにこれと同一面上に配置された第2のグランドパタン32とから構成されている。

[0007] 第1の高周波伝送線路の第1の信号線路10の端部と、第2の高周波伝送線路の第2の信号線路11の端部とは、導電性のあるビア40により接続されている。さらに、第1のグランドパタン30、第2のグランドパタン32、および第3のグランドパタン31は、第1の信号線路10および第2の信号線路11の信号伝送方向に沿って配置される複数の導電性ビア41によって電氣的に接続されている。

[0008] ところで、第1の高周波伝送線路と第2の高周波伝送線路のように、異なった線路構造同士を接続する場合、接続部付近では、不整合が生じやすく、その結果として、高周波信号になるほど信号反射が生じやすい。

[0009] そのため、例えば特開2004-320109号公報（以下、特許文献2と称す）のように、上記第1の高周波伝送線路を構成する第1の信号線路10に相当する信号線路の端部幅、すなわち、導電性ビア40との接続部近傍の幅を変えることによって、インピーダンス不整合を抑制し、信号反射を低減する方法が提案されている。

[0010] [特許文献1]特開2003-133472号公報(図5)

[特許文献2]特開2004-320109号公報(図1、段落[0095])

以上のように、図1A～図1Dにより示される構成において信号線路が異なった層に形成されている異種線路を接続する場合、信号線路間を接続する導電性ビア付近の信号線路幅を変えることにより、信号通過特性(反射特性とも呼ぶ。)を改善していた。しかしながら、この従来技術では、伝送信号が低周波から高周波になればなるほど信号通過特性(反射特性とも呼ぶ。)が劣化していく問題を解決できないことが分かった。

[0011] その理由について、図1Dを参照して説明する。

[0012] 図1A～図1Dにより示される構成では、第1の高周波伝送線路から第2の高周波伝送線路へ信号が伝送されていく際に、第1の高周波伝送線路の第1の信号線路10と第1のグランドパタン30を伝わってきた高周波電流のうちの信号線路側の電流は、第2の高周波伝送線路の第2の信号線路11に沿って流れる。ところが、そのグランドパ

タン側の電流は、第2の高周波伝送線路の第2のグランドパタン32を流れるだけでなく、第1のグランドパタン30にも2つの経路で伝わる。すなわち、図1Dに図示するように、第1のグランドパタン30のみを伝わる経路Aと、第1のグランドパタン30から導電性ビア41a、第2のグランドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して再び第1のグランドパタン30に戻ってくる経路Bとで伝わる。

[0013] ここで、2つの物理的な経路長を各々 $L1$ 、 $L2$ 、経路長差 $L1-L2$ を $\Delta L$ 、伝送信号の真空中における波長を $\lambda_0$ 、各々の経路の波数を同一の $k$ 、各々の経路における実効比誘電率を同一の $\epsilon$ とした場合を考えると、2つの経路A、B間の位相差は、

[0014] [数1]

$$k \times L1 - k \times L2 = k \times \Delta L = \left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon}} \right) \times \Delta L = (2\pi \times \sqrt{\epsilon}) \times \left( \frac{\Delta L}{\lambda_0} \right) \quad \dots (1)$$

と表され、 $\Delta L / \lambda_0$ に比例する。

[0015] そのため、物理的な経路長差 $\Delta L$ が一定であったとしても、伝送信号が低周波から高周波になるほど、すなわち、波長 $\lambda_0$ が短くなるほど、経路間位相差が大きくなり、位相干渉を引き起こしやすくなる。

[0016] つまり、特許文献2に教示された方法をとっても、図1A～図1Dにより示される構成の場合は、第1の高周波伝送線路から第2の高周波伝送線路への伝送信号が高周波になればなるほど反射特性を改善できないことが分かった。

## 発明の開示

[0017] 本発明の目的は、上記背景技術が有する問題を解決することにある。その目的の一例は、異なった層に形成され相互に接続されている高周波異種線路を備える高周波基板において、低周波域から高周波域にわたって反射特性を改善できる構造を提供することにある。

[0018] 本発明の高周波基板は、第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板に係るものであり、その一つの態様は次のとおりである。第1のコプレーナ線路は、第1の信号線路と、該第1の信号線路と同じ配線層に形成された第1の面状グランドパタンを備える線路である。第2のコプレーナ線路は、第1の信

号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパターンを備える線路である。そして、第1のコプレーナ線路と同じ配線層に第1のグランドパターンが形成されている。この高周波基板において、少なくとも、前記第1の信号線路と前記第2の信号線路の端部どうしの接続部から前記第2の信号線路に沿った領域で、前記第1のグランドパターンと前記第1の面状グランドパターンが分離されていることが本発明の特徴である。

[0019] さらに本発明の別の態様では、第1の信号線路と第2の信号線路どうしが各々の線路端にて第1の導電性ビアにより接続されている。そして、第1および第2のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で複数の第2の導電性ビアが配設され、これらの中には、第1のコプレーナ線路の面状グランドパターンと第2のコプレーナ線路の面状グランドパターンを接続する導電性ビアaや、第1のグランドパターンと第2のコプレーナ線路の面状グランドパターンを接続する導電性ビアbや、第1のコプレーナ線路の面状グランドパターンと第2のグランドパターンを接続する導電性ビアc等が含まれている。

#### 図面の簡単な説明

[0020] [図1A]特許文献1に開示される高周波基板の全体斜視図。  
[図1B]図1Aの高周波基板の第2の誘電体層部分の斜視図。  
[図1C]図1Aの高周波基板の裏面導体パターンの上面図。  
[図1D]図1Aに示す高周波基板の、伝送信号方向に沿ったX-X断面図。  
[図2A]第1の実施例の高周波基板の第1配線層を示す平面図。  
[図2B]第1の実施例の高周波基板の第2配線層を示す平面図。  
[図2C]第1の実施例の高周波基板の第3配線層を示す平面図。  
[図2D]図2AのA-A'における高周波基板の断面図。  
[図2E]図2AのB-B'における高周波基板の断面図。  
[図2F]図2AのC-C'における高周波基板の断面図。  
[図2G]図2AのD-D'における高周波基板の断面図。  
[図2H]図2AのE-E'における高周波基板の断面図。  
[図3]第1の実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線

路側高周波電流経路とグランドパターン側高周波電流経路を模式的に表した図。

[図4]第1の実施例の高周波伝送線路構造において信号伝送方向に沿って配置された導電性ビアの間隔範囲を説明するための図である。

[図5]比較例と第1の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

[図6]第1の実施例にて分離幅を変えて入力反射特性の比較を行った電磁界解析結果を示す図。

[図7A]第2の実施例の高周波基板の第1配線層を示す平面図。

[図7B]第2の実施例の高周波基板の第2配線層を示す平面図。

[図7C]第2の実施例の高周波基板の第3配線層を示す平面図。

[図7D]図7AのA-A'における高周波基板の断面図。

[図7E]図7AのB-B'における高周波基板の断面図。

[図7F]図7AのC-C'における高周波基板の断面図。

[図7G]図7AのD-D'における高周波基板の断面図。

[図7H]図7AのE-E'における高周波基板の断面図。

[図8]比較例と第2の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

[図9A]第3の実施例の高周波基板の第1配線層を示す平面図。

[図9B]第3の実施例の高周波基板の第2配線層を示す平面図。

[図9C]第3の実施例の高周波基板の第3配線層を示す平面図。

[図9D]図9AのA-A'における高周波基板の断面図。

[図9E]図9AのB-B'における高周波基板の断面図。

[図9F]図9AのC-C'における高周波基板の断面図。

[図9G]図9AのD-D'における高周波基板の断面図。

[図9H]図9AのE-E'における高周波基板の断面図。

[図10]比較例と第3の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

[図11]本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した

断面図。

[図12]本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した断面図。

### 発明を実施するための最良の形態

[0021] 以下、本発明の実施例について図面を参照して詳細に説明する。

[0022] (第1の実施例)

図2A～2Hは、本発明の第1の実施例による高周波基板の構成を示したものである。詳しく言うと、図2Aは本実施例の高周波基板の第1配線層を示す平面図、図2Bはその第2配線層の平面図、図2Cはその第3配線層の平面図である。図2Dは図2AのA-A'における基板断面図、図2Eは図2AのB-B'における基板断面図、図2Fは図2AのC-C'における基板断面図、図2Gは図2AのD-D'における基板断面図、図2Hは図2AのE-E'における基板断面図である。なお、各図において、図1A～図1Dに示される構成要素と同じ機能部位には同一符号を用いている。

[0023] 本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図2A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図2B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a, 32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

[0024] 第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

[0025] 第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)には、面状の第1のグランドパターン30bと、面状の第2の

グラウンドパタン31が形成されている。この第2のグラウンドパタン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グラウンドを兼ねている。

[0026] 一方、第1のグラウンドパタン30bは、背景技術のように第1のコプレーナ線路のグラウンドパタンを兼ねることなく、そのグラウンドパタン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の上層の第1のグラウンドパタン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0027] さらに、第1のコプレーナ線路の面状グラウンドパタン30aと、第1のコプレーナ線路の下層グラウンドを兼ねる第2のグラウンドパタン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の面状グラウンドパタン32との間も相互接続している。

[0028] その上、第2のコプレーナ線路の上層にある第1のグラウンドパタン30bと、第2のコプレーナ線路の面状グラウンドパタン32と、第2のグラウンドパタン31は、第2のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41(41b)によって、相互に接続されている。

[0029] 以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の上層の第1のグラウンドパタン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグラウンドパタン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグラウンドパタン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グラウンドパタン30aから導電性ビア41a、第2のコプレーナ線路の面状グラウンドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグラウンドパタン30bに向かう経路のみとなる。これにより、第1のグラウンドパタン30bに

伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0030] 尚、この効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間が分離されていれば得られるので、分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間の分離部分を形成する対向辺は図示されているような平行で且つ一定間隔に形成する必要はない。

[0031] 次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパターン30aと第1のグランドパターン30bの間を一定間隔の幅で分離した構成を前提とする。

[0032] 本実施例では、反射特性をより良くする追加条件として、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとの間の分離の程度を以下のように規定している。すなわち、その分離幅は0よりも大きく、かつ、第1の信号線路10の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41bまでの間隔 $dx$ 以下に規定している。

[0033] このような条件で本実施例の反射特性の更なる改善を図れる理由について、図3を用いて説明する。図3は、本実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線路10、11を伝わる信号線路側高周波電流経路Cと、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わるグランドパターン側高周波電流経路Dを模式的に表したものである。尚、この図の(a)、(b)、(c)はそれぞれ図2A、図2B、図2Cに対応し、図中のグランドパターン側高周波電流経路Dは、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41aを経由して第2のコプレーナ線路の上層の第1のグランドパターン30bを伝わる様子を示す。この図から分かるように、対向する信号線路とグランドパタンの外周辺にそれぞれ沿った信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの間には経路長差がある。そして、上記の分離幅を大きくする程、導電性ビア41aとグランドパターン30aの外周辺の間および／または導電性ビア41bとグランドパターン30bの外周辺の間が縮まるため、図3中のグランドパターン側高周波電流経路Dの長さは短くなり、信号線路側高周波電流経路Cと

グランドパターン側高周波電流経路Dとの経路長差も短くなる。よって、分離幅が大きくなる程、つまり電流経路C、D間の経路長差が短くなる程、前述した(1)式から分かるように、信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの位相差を小さくすることができる。

[0034] そのため、分離幅の上限を、グランドパターン30a、30b間を最大限分離できる導電性ビア41の間隔dxに設定することにより、反射特性を更に改善することができる。

[0035] なお、間隔dxは、第1のコプレーナ線路ではなく第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔で規定することになる。また、第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔は、第2のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。

[0036] ここで、ビア間隔dxの算出法を述べる。

[0037] 本願発明者は、第2のコプレーナ線路の面状グランドパターン32の任意の点から、最寄りの導電性ビアへの最短距離と層厚の和がある所定値以下になるようにすることで、周波数増加に伴う面状グランドパターン32上のインピーダンス偏差の増大が抑制され、その結果として、コプレーナ伝送線路の反射特性が広帯域に渡って改善される旨見いだしている。そこで、この概念に基づいて、ビア間隔dxを規定する式として、式変形も含めて、具体的に以下に記載する。

[0038] 第2のコプレーナ線路における面状グランドパターン32の外周辺上の任意の点から最寄りのビア外周までの最短距離をR、導電性ビア41bの外周から第2の信号線路11側の面状グランドパターン32の外周辺上への最短距離をL3、配線層間の誘電体層20aの厚さをL5、第2のコプレーナ線路の実効比誘電率を $\epsilon_2$ 、伝送信号の真空中における波長を $\lambda_0$ とした場合、

[0039] [数2]

$$\left( \frac{2\pi}{\lambda_0 \sqrt{\epsilon_2}} \right) \times (R + L5) < \frac{\pi}{2} \quad \text{すなわち、} R + L5 < \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} \quad \dots(2)$$

を満足するよう、ビア間隔dxを設定する。本実施例では、最も長い最短距離Rは、導電性ビア41の直径を $\phi$ としたとき、図4により、

[0040] [数3]

$$R = \sqrt{(L3 + \phi/2)^2 + (dx/2)^2} - \phi/2 \cdots (3)$$

と表される。

[0041] 上記の(2)式を(3)式に代入して計算すると、ビア間隔dxが満たすべき式は、

[0042] [数4]

$$dx < 2 \times \sqrt{\left( \frac{1}{4} \times \frac{\lambda 0}{\sqrt{\epsilon_2}} + \phi/2 - L5 \right)^2 - (L3 + \phi/2)^2} \cdots (4)$$

となる。

[0043] また、上記の分離幅については、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差(実効比誘電率で換算した電気長差)が大きくずれない条件が望ましい。したがって、ある信号波長 $\lambda 0$ (所望の信号帯域の最小波長(最大周波数))において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

[0044] 具体的には、図2A, 2B, 2Eに図示したように、第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパターン30の外周边上への最短距離(つまり導電性ビア41aの外周から、第1の信号線路10側に位置する面状グランドパターン30の外周边上への最短距離)をL1とする。

[0045] さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパターン32の外周边上への最短距離をL2とする。

[0046] 第2のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41bの外周から、第2の信号線路11側の面状グランドパターン32の外周边上への最短距離をL3とする。

[0047] 上記の導電性ビア41bの外周から、第1のコプレーナ線路側の第1のグランドパターン

30bの外周辺上への最短距離をL4とする。

[0048] 第1のグランドパターン30bと面状グランドパターン32間の誘電体層厚をL5とする。

[0049] 信号線路10, 11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離をL6とする。

[0050] 上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離をL7とする。

[0051] さらに、導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離をL10とする。

[0052] 以上のように寸法設定したとき、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、図3に示した2つの電流経路C, Dを通る各高周波電流の位相が反転しない範囲は、

[0053] [数5]

$$\left[ \sqrt{\epsilon_1} \times \left\{ 2 \times \left( \frac{\phi}{2} + L10 \right) + L1 \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times L5 + L2 + 2 \times L3 + dx + 2 \times \left( L4 + \frac{\phi}{2} \right) \right\} \right] - \left[ \sqrt{\epsilon_1} \times L6 + \sqrt{\epsilon_2} \times (L5 + L7 + dx) \right] < \frac{\lambda_0}{2}$$

すなわち、

[0054] [数6]

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + \phi + L10 \times 2 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5 \} < \frac{\lambda_0}{2} \cdots (5)$$

と規定することができる。但し、 $\epsilon_1$ は第1のコプレーナ線路の実効比誘電率、 $\epsilon_2$ は第2のコプレーナ線路の実効比誘電率、 $\phi$ は導電性ビア41の直径を表す。

[0055] よって、本実施例では、この式(5)を満足するように、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとの間を分離することが望ましい。

[0056] 次に、本実施例による反射特性について述べる。

[0057] 反射特性を検証するにあたって、以下の数値条件とした。誘電体基板20には、比誘電率7.1のLTCC(Low temperature co-fired ceramic)基板からなる3層配線板を用いる。この誘電体基板20の第1および第2の誘電体層20a, 20bは同一材料で、各誘電体層厚L5を250[ $\mu$ m]、導体厚を15[ $\mu$ m]とする。さらに、第1の信号線路10の

信号幅を150[ $\mu\text{m}$ ]、第1の信号線路10と面状グランドパターン30aのギャップ間隔を66[ $\mu\text{m}$ ]、第2の信号線路11の信号線路幅を100[ $\mu\text{m}$ ]、第2の信号線路11と面状グランドパターン32のギャップ間隔を120[ $\mu\text{m}$ ]、導電性ビア40の直径を100[ $\mu\text{m}$ ]、導電性ビア41の直径 $\phi$ を150[ $\mu\text{m}$ ]、複数の導電性ビア41の信号伝送方向に沿った全てのビア間隔を500[ $\mu\text{m}$ ]とする。また、導電性ビア41aの外周から第1の信号線路10側の面状グランドパターン30aの外周边上への最短距離L1を135[ $\mu\text{m}$ ]とする。導電性ビア41aの外周から第2の信号線路11側の面状グランドパターン32の外周边上への最短距離L2を106[ $\mu\text{m}$ ]とする。導電性ビア41bの外周から第2の信号線路11側の面状グランドパターン32の外周边上への最短距離L3を106[ $\mu\text{m}$ ]とする。

[0058] このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとを、導電性ビア41aと導電性ビア41bの間において、スリット状の分離幅300[ $\mu\text{m}$ ]で分離した場合を考える。

[0059] この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパターン30bの外周边上への最短距離L4は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周边上への最短距離L6は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周边上への最短距離L7は0[ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周边上への最短距離L10は25[ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.723、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

[0060] 以上の数値条件を上記の式(5)に代入すると、その左辺は、

$$\begin{aligned} & \sqrt{3.723} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ & = 2645 [\mu\text{m}] \end{aligned}$$

となる。

[0061] よって、本実施例では、 $2645 [\mu\text{m}] < \lambda 0/2$ を満足するように、第1配線層にある面状グランドパターン30aと第1のグランドパターン30bを分離している。

[0062] ここで、周波数は次式(6)より導き出すことができる。

[0063]  $c = f \cdot \lambda_0$  すなわち、 $f = c / \lambda_0$  ... (6)

(但し、 $c$ は光速で $3.0 \times 10^8 \text{ m/s}$ 、 $f$ は周波数 とする。)

$2645 [\mu \text{ m}] < \lambda_0 / 2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2645 \times 10^{-6}$ とすると、上記式(6)より、 $f = 57 \times 10^9 [\text{Hz}] = 57 [\text{GHz}]$ が算出される。

[0064] つまり、 $300 [\mu \text{ m}]$ の分離幅の場合、 $2645 [\mu \text{ m}] < \lambda_0 / 2$ を満たす周波数範囲は $57 [\text{GHz}]$ 未満であり、 $57 [\text{GHz}]$ 程度まで反射特性を改善できる分離幅を設定していることになる。

[0065] また、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の第1のグランドパターン30bとが分離されていない比較例と、これらのグランドパターン30a、30bを導電性ビア41a、41bの中間において、 $300 [\mu \text{ m}]$ のスリット状の分離幅で分離した本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。この電磁界解析結果を図5に示す。この図から分かるように、低周波域から $60 [\text{GHz}]$ 付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。

[0066] 尚、第2のコプレーナ線路に形成された複数の導電性ビア41の間隔 $dx$ を満たすべき範囲は、前述した式(4)において $\phi = 150 [\mu \text{ m}]$ 、 $L3 = 106 [\mu \text{ m}]$ 、 $L5 = 250 [\mu \text{ m}]$ 、 $\epsilon_2 = 7.1$ 、 $\lambda_0 = 5450 [\mu \text{ m}]$ を代入すると、 $dx < 568 [\mu \text{ m}]$ となる。しかし、複数の導電性ビア41の信号伝送方向に沿ったビア間隔 $dx$ は $500 [\mu \text{ m}]$ が設計においてリーズナブルな値であるため、実施例の解析では、 $dx = 500 [\mu \text{ m}]$ としている。

[0067] さらに、図6に、本実施例において、上記の分離幅を変えた場合の電磁界解析結果を示す。この図から分かるように、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から $55 [\text{GHz}]$ 付近までは比較例と比べてスリット幅 $100 \mu \text{ m}$ の方が低く抑えられ、またスリット幅 $300 \mu \text{ m}$ の場合は低周波域から $60 [\text{GHz}]$ 付近まで比較例よりも低く抑えられている。

[0068] 以上説明した第1の実施例の技術思想は以下の実施例にも反映できるものである。

[0069] (第2の実施例)

図7A～7Hは、本発明の第2の実施例による高周波基板の構成を示したものである。詳しく言うと、図7Aは本実施例の高周波基板の第1配線層を示す平面図、図7Bはその第2配線層の平面図、図7Cはその第3配線層の平面図である。図7Dは図7AのA-A'における基板断面図、図7Eは図7AのB-B'における基板断面図、図7Fは図7AのC-C'における基板断面図、図7Gは図7AのD-D'における基板断面図、図7Hは図7AのE-E'における基板断面図である。なお、各図において、図1A～図1Dに示される構成要素と同じ機能部位には同一符号を用いている。

[0070] 本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図7A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図7B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a, 32は、信号線路を挟む両側位置の一方のみに形成されているもよい。

[0071] 第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

[0072] 第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグランドパターン30bと、面状の第2のグランドパターン31が形成されている。この第2のグランドパターン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

[0073] 一方、第1のグランドパターン30bは、背景技術のように第1のコプレーナ線路のグランドパターンを兼ねることなく、そのグランドパターン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコブ

レーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0074] さらに、第1のコプレーナ線路の面状グランドパターン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパターン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の面状グランドパターン32との間も相互接続している。

[0075] その上、第2のコプレーナ線路の上層にある第1のグランドパターン30bと、第2のコプレーナ線路の面状グランドパターン32と、第2のグランドパターン31は、第2のコプレーナ線路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41(41b)によって、相互に接続されている。

[0076] 以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第1の信号線路10と面状グランドパターン30aを備える第1のコプレーナ線路に対向する領域で、且つ、第2のコプレーナ線路の面状グランドパターン32と同じ層に、グランドパターン50を備えている。このグランドパターン50は、第1のコプレーナ線路の面状グランドパターン30aと第2のグランドパターン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

[0077] このグランドパターン50は、背景技術のように第2のコプレーナ線路の面状グランドパターンを兼ねることなく、そのグランドパターン32とは分かれている。詳しくは、第2のコプレーナ線路の面状グランドパターン32と、第1のコプレーナ線路の下層のグランドパターン50とが、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0078] 以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタ

ン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパターン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41a、第2のコプレーナ線路の面状グランドパターン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグランドパターン30bに向かう経路のみとなる。これにより、第1のグランドパターン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0079] さらに、本実施例では、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、第2のコプレーナ線路の面状グランドパターン32と、第1のコプレーナ線路の下層のグランドパターン50とが、所定の幅(誘電体幅)を介して分離されている。そのため、仮に第2のコプレーナ線路から第1のコプレーナ線路へ信号を伝送したとしても、第1のコプレーナ線路の下層のグランドパターン50に伝わる高周波電流経路が一つに限定される。つまり、第1のコプレーナ線路への信号伝送時にグランドパターン50に伝わる高周波電流経路は、第2のコプレーナ線路の面状グランドパターン32から導電性ビア41a、第1のコプレーナ線路の面状グランドパターン30a、信号伝送方向に沿った次の導電性ビア41cを順次経由してグランドパターン50に向かう経路のみとなる。これにより、グランドパターン50に伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0080] つまり、本実施例によれば、第1のコプレーナ線路と第2のコプレーナ線路の間の信号伝送方向が高周波基板の適用状態に応じて変更されても、良好な反射特性を維持することが可能となる。

[0081] 尚、このような効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間、ならびに第2のコプレーナ線路の面状グランドパターン32と第1のコプレーナ線路の下層のグランドパターン50との間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間、ならびに面状グランドパターン32とグランドパターン50の間の分離部分を形成する対向辺は、図示されているような平行で且

つ一定間隔に形成されている必要はない。

[0082] 次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパタン30aと第1のグランドパタン30bの間、ならびに面状グランドパタン32とグランドパタン50の間を一定間隔の幅で分離した構成を前提とする。

[0083] 本実施例では、反射特性をより良くする追加条件として、面状グランドパタン30aと第1のグランドパタン30bとの間の第1の分離幅、ならびに、面状グランドパタン32とグランドパタン50との間の第2の分離幅について以下のように規定している。

[0084] すなわち、上記の第1の分離幅の上限は、第2のコプレーナ線路にて形成されている導電性ビア41の間隔(導電性ビア41a、41bの配列間隔)に規定され、その理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

[0085] 一方、上記の第2の分離幅についても、第1の分離幅の規定方法と同じ考え方を採り、第1のコプレーナ線路にて形成されている導電性ビア41の間隔(導電性ビア41a、41cの配列間隔)に規定される。つまり、第2の分離幅は0よりも大きく、かつ、第2の信号線路11の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41cまでの間隔以下に規定している。また、第1のコプレーナ線路にて形成されている導電性ビア41a、41c等の配列間隔は、第1のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。この値については詳述しないが、第1の実施例で説明した算出法と同じ考え方を用いて求めることができる。

[0086] また、上記の第1および第2の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、あるコプレーナ線路から他のコプレーナ線路への信号伝送の際に、グランドパタンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差(実効比誘電率で換算した電気長差)が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、グランドパタン側と信号線路側の高周波電流の位相が反転しない範囲に、第1および第2の分離幅を規定する。この考え方による第1の分離幅の規定方法については第1の実施例に説明したので、ここでは第2の分離幅の規定方法について説明する。

[0087] まず、図7A、7B、7Eに図示したように、第1のコプレーナ線路に備わった複数の導

電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパターン30の外周辺上への最短距離をL1とする。

[0088] さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパターン32の外周辺上への最短距離をL2とする。

[0089] 第1のグランドパターン30bと面状グランドパターン32間の誘電体層厚をL5とする。

[0090] 信号線路10, 11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離をL6とする。

[0091] 上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離をL7とする。

[0092] 第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41cの外周から、第1の信号線路10側の面状グランドパターン30aの外周辺上への最短距離をL8とする。

[0093] 上記の導電性ビア41cの外周から、第2のコプレーナ線路側のグランドパターン50の外周辺上への最短距離をL9とする。

[0094] 上記の導電性ビア41aの外周から、第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離をL10とする。

[0095] 上記の導電性ビア41aの外周から、グランドパターン50側の面状グランドパターン32の外周辺上への最短距離をL11とする。

[0096] そして、導電性ビア41a, 41cの間隔を $dx_2$ とする。

[0097] 以上のように寸法設定したとき、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、信号線路10, 11を伝わる信号線路側高周波電流経路と、第2のコプレーナ線路の面状グランドパターン32から導電性ビア41aを経由して第1のコプレーナ線路の下層のグランドパターン50を伝わるグランドパターン側高周波電流経路とを通る各高周波電流の位相が反転しない範囲は、

[0098] [数7]

$$\left[ \sqrt{\epsilon_1} \times \left\{ L1 + dx + 2 \times L8 + L5 + 2 \times \left( \frac{\phi}{2} + L9 \right) \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times \left( L11 + \frac{\phi}{2} \right) + L2 + L5 \right\} \right] - \left[ \sqrt{\epsilon_1} \times (L6 + dx) + \sqrt{\epsilon_2} \times (L5 + L7) \right] < \frac{4\phi}{2}$$

すなわち、

[0099] [数8]

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + 2 \times L11 + \phi \} < \frac{4\phi}{2}$$

と規定することができる。

[0100] よって、本実施例では、この式(7)を満足するように、第2のコプレーナ線路の面状グラウンドパタン32と、第1のコプレーナ線路の下層のグラウンドパタン50との間を分離することが望ましい。

[0101] 次に、本実施例による反射特性について述べる。

[0102] 反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層のグラウンドパタン50が備えられているため、第1の信号線路10と面状グラウンドパタン30aのギャップ間隔を78[μm]に変更した。尚、導電性ビア41cの外周から第1の信号線路10側の面状グラウンドパタン30aの外周辺上への最短距離L8は距離L1と同じ135[μm]である。

[0103] このような数値条件による構成に対し、第1のコプレーナ線路の面状グラウンドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグラウンドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300[μm]で分離する。さらに、第2のコプレーナ線路の面状グラウンドパタン32と、第1のコプレーナ線路の下層のグラウンドパタン50とを、導電性ビア41aと導電性ビア41cの中間において、スリット状の分離幅300[μm]で分離する。

[0104] この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグラウンドパタン30bの外周辺上への最短距離L4は25[μm]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離L6は25[μm]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離L7は0[μm]となる。さらに、導電性ビア41cの外周から第2のコプレーナ線路側のグラウンドパタン50の外周辺上への最短距離L9は

25[ $\mu\text{m}$ ]となる。導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離L10は25[ $\mu\text{m}$ ]となる。導電性ビア41aの外周から、グランドパターン50側の面状グランドパターン32の外周辺上への最短距離L11は25[ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

[0105] このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\}$$

$$= 2658 [\mu\text{m}]$$

となる。

[0106] よって、本実施例では、 $2658 [\mu\text{m}] < \lambda_0/2$ を満足するように、第1配線層にある面状グランドパターン30aと第1のグランドパターン30bを分離している。 $2658 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2658 \times 10^{-6}$ とすると、第1の実施例で説明した式(6)より、 $f = 56 \times 10^9 [\text{Hz}] = 56 [\text{GHz}]$ が算出される。つまり、上記第1の分離幅が300[ $\mu\text{m}$ ]である場合、 $2658 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は56[GHz]未満であり、56[GHz]程度まで反射特性を改善できる第1の分離幅を設定していることになる。

[0107] さらに、上記のような数値条件を、第2の分離幅を規定する上記の式(7)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 2 \times 135 + 250 + 150 + 2 \times 25\} + \sqrt{7.1} \times \{(106 - 0) + 2 \times 25 + 150\}$$

$$= 2453 [\mu\text{m}]$$

となる。

[0108] よって、本実施例では、 $2453 [\mu\text{m}] < \lambda_0/2$ を満足するように、第2配線層にある面状グランドパターン32とグランドパターン50を分離している。 $2453 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2453 \times 10^{-6}$ とすると、上記式(6)より、 $f = 61 \times 10^9 [\text{Hz}] = 61 [\text{GHz}]$ が算出される。つまり、上記第2の分離幅が300[ $\mu\text{m}$ ]である場合、 $2453 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は61[GHz]未満であり

、61[GHz]程度まで反射特性を改善できる第2の分離幅を設定していることになる。

[0109] また、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように300[ $\mu$ m]のスリット状の分離幅でグランドパターン30a、30b間およびグランドパターン32、50間を分離したものとした。

[0110] この電磁界解析結果を図8に示す。この図から分かるように、低周波域から60[GHz]付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。さらに、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、図8にて反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から53[GHz]付近までは比較例と比べてスリット幅100 $\mu$ mの方が低く抑えられ、またスリット幅300 $\mu$ mの場合は低周波域から60[GHz]付近まで比較例よりも低く抑えられている。

[0111] (第3の実施例)

図9A～9Hは、本発明の第3の実施例による高周波基板の構成を示したものである。詳しく言うと、図9Aは本実施例の高周波基板の第1配線層を示す平面図、図9Bはその第2配線層の平面図、図9Cはその第3配線層の平面図である。図9Dは図9AのA-A'における基板断面図、図9Eは図9AのB-B'における基板断面図、図9Fは図9AのC-C'における基板断面図、図9Gは図9AのD-D'における基板断面図、図9Hは図9AのE-E'における基板断面図である。なお、各図において、図1A～図1Dに示される構成要素と同じ機能部位には同一符号を用いている。

[0112] 本実施例の高周波基板は2層の誘電体層20a、20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図9A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図9B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面

状グラウンドパタン30a, 32は、信号線路を挟む両側位置の一方のみに形成されているもよい。

[0113] 第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

[0114] 第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグラウンドパタン30bと、面状の第2のグラウンドパタン31が形成されている。この第2のグラウンドパタン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グラウンドを兼ねている。

[0115] 一方、第1のグラウンドパタン30bは、背景技術のように第1のコプレーナ線路のグラウンドパタンを兼ねることなく、そのグラウンドパタン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の上層の第1のグラウンドパタン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0116] さらに、第1のコプレーナ線路の面状グラウンドパタン30aと、第1のコプレーナ線路の下層グラウンドを兼ねる第2のグラウンドパタン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の面状グラウンドパタン32との間も相互接続している。

[0117] その上、第2のコプレーナ線路の上層にある第1のグラウンドパタン30bと、第2のコプレーナ線路の面状グラウンドパタン32と、第2のグラウンドパタン31は、第2のコプレーナ線路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41(41b)によって、相互に接続されている。

[0118] 以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第2のコプレーナ線路の面状グラウンドパタン32が、第1のコプレーナ線路に対向する領域全体にも形成され、第1のコプレーナ線路の下層グラウンドを兼ねている。つまり、面状グラウンドパタン32は、第2の信号線路11を

挟む両側位置に形成されているだけでなく、第1のコプレーナ線路が形成されている領域と対向する領域にも形成されている。また、第2の実施例と比較した場合は、図7Bに示した第1のコプレーナ線路の下層のグランドパタン50と、これと同層の第2のコプレーナ線路の面状グランドパタン32とが分離されず、連続した一つのグランドパタンに形成されたものになっている。

[0119] 第1のコプレーナ線路の下層グランドを兼ねる第2のコプレーナ線路の面状グランドパタン32は、第1のコプレーナ線路の面状グランドパタン30aと第2のグランドパタン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

[0120] 以上のような高周波基板の高周波伝送線路では、第1の実施例と同様、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタン30bに伝わる高周波電流経路が一つに限定される。これにより、第1のグランドパタン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0121] 尚、このような効果は、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとの間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパタン30aと第1のグランドパタン30bの間の分離部分を形成する対向辺は、図示されているような平行で且つ一定間隔に形成する必要はない。

[0122] また、本実施例のように面状グランドパタン30aと第1のグランドパタン30bの間を一定間隔の幅で分離した構成では、面状グランドパタン30aと第1のグランドパタン30bとの間の分離幅の上限を、第2のコプレーナ線路にて形成されている導電性ビア41の間隔(導電性ビア41a、41bの配列間隔)に規定することにより、反射特性の更なる改善が得られる。この理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

[0123] また、上記の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号

伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差(実効比誘電率で換算した電気長差)が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

[0124] 具体的には、第1の実施例で説明した式(5)を満足するように、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとの間を分離している。

[0125] この分離幅の規定方法については第1の実施例に説明したので、ここでは割愛する。

[0126] 次に、本実施例による反射特性について述べる。

[0127] 反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層にグランドパターンが備えられているため、第1の信号線路10と面状グランドパターン30aのギャップ間隔を78[ $\mu\text{m}$ ]に変更した。

[0128] このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとを、導電性ビア41aと導電性ビア41bの間において、スリット状の分離幅300[ $\mu\text{m}$ ]で分離する。

[0129] この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパターン30bの外周辺上への最短距離L4は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離L6は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離L7は0[ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離L10は25[ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

[0130] このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\}$$

$$=2658[\mu\text{m}]$$

となる。

- [0131] よって、本実施例では、 $2658[\mu\text{m}] < \lambda_0/2$ を満足するように、第1配線層にある面状グラウンドパターン30aと第1のグラウンドパターン30bを分離している。つまり、分離幅が $300[\mu\text{m}]$ である場合、第1の実施例で説明した式(6)より、 $2658[\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は $56[\text{GHz}]$ 未満であり、 $56[\text{GHz}]$ 程度まで反射特性を改善できる分離幅を設定していることになる。
- [0132] また、第1のコプレーナ線路の面状グラウンドパターン30aと第2のコプレーナ線路の上層の第1のグラウンドパターン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように $300[\mu\text{m}]$ のスリット状の分離幅でグラウンドパターン30a、30b間を分離し、かつ、第2のコプレーナ線路の面状グラウンドパターン32が第1のコプレーナ線路の下層グラウンドを兼ねるものとした。
- [0133] この電磁界解析結果を図10に示す。この図から分かるように、低周波域から $60[\text{GHz}]$ 付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。
- [0134] 以上、本発明の各実施例では、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグラウンドパターンに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグラウンドパターンに伝わる高周波電流経路は、第1のコプレーナ線路の面状グラウンドパターンから第2の導電性ビアa、第2のコプレーナ線路の面状グラウンドパターン、信号伝送方向に沿った次の第2の導電性ビアbを順次経由して第1のグラウンドパターンに向かう経路のみとなる。
- [0135] これにより、第1のグラウンドパターンに伝わる高周波電流の位相干渉が抑制されるので、低周波から高周波にかけて劣化していく反射特性を改善することができる。
- [0136] さらに、第1のグラウンドパターンに伝わる高周波電流の位相と信号線路を伝わる高周波電流の位相の差、すなわち、波長に換算した電気長差を小さくすることにより、低周波から高周波にかけて劣化していく反射特性をより一層改善することができる。

[0137] (その他の実施例)

上記の各実施例では、異なる層間を接続する手段として導電性ビアを用いているが、その限りではなく、スルーホール等のように、導電性を有する電氣的な接続手段であれば適用可能である。また、3層配線板の場合について説明したが、3層以上の多層配線板についても適用可能あり、また、第1の信号線路10およびグランドパタン30a, 30bが誘電体基板20の内部にある構成においても適用可能である。

[0138] また、各実施例を示す図において、第1の信号線路10と第2の信号線路11は直線上でなくても、多少ずれていても構わない。また、この場合、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとの間の分離幅を規定する対向辺や、第2のコプレーナ線路の面状グランドパタン32と第3のグランドパタン50との間の分離幅を規定する対向辺については、必ずしも一定間隔に形成されていなくてもよい。

[0139] また、各実施例に基づく本発明の高周波基板は、例えば携帯電話装置、PDA(Personal Digital Assistant)端末およびその他多くの電子機器に組み込まれる高周波モジュールの基板として適用することができる。

[0140] 例えば、高周波モジュールは、図11および図12に示すように、誘電体基板20に窪みを設けて、クロック信号により動作する電子装置であるLSIチップ60を収容し、誘電体基板20の表面に形成された第1のコプレーナ線路の第1の信号線路10とボンディングワイヤー70によって電気接続した後、蓋80でLSIチップ60を覆うことで得られる。但し、図11は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、これと同じ誘電体基板20の表面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。また、図12は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、誘電体基板20の裏面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。

[0141] いずれの構造においても、導電性ビア40で接続された第1のコプレーナ線路から第2のコプレーナ線路への配線方向において、第1のコプレーナ線路の面状グランドパ

タン(不図示)が、これと同一層の第1のグランドパタン30または第2のグランドパタン31から分離されていることを特徴とする。尚、図11および図12に示される形態ではLSIチップ60を高周波基板に埋め込んでいるが、本発明の高周波モジュールはこれらの形態に限定されない。したがって、用途に応じて、LSIチップを配線基板にフリップチップ接続方式やワイヤーボンディング方式等で表面実装してもよい。また、蓋80を使用しないで、モールド樹脂でLSIチップ60を封止する形態でも構わない。

[0142] 以上のように本発明の高周波基板および、これを用いた高周波モジュールについて幾つかの実施例を示して説明したが、本願発明はこれらの実施例に限定されるものではなく、その技術思想を逸脱しない範囲で種々変更して実施することが可能であることは言うまでもない。

[0143] この出願は、2007年9月18日に出願された日本出願特願2007-241104を基礎とする優先権を主張し、その開示の全てをここに取り込む。

## 請求の範囲

- [1] 第1の信号線路と、該第1の信号線路と同じ配線層に形成された第1の面状グランドパターンを備える第1のコプレーナ線路と、
- 前記第1の信号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパターンを備える第2のコプレーナ線路と、
- 前記第1のコプレーナ線路と同じ配線層に形成された第1のグランドパターンと、を有し、
- 前記第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板であって、
- 少なくとも、前記第1の信号線路と前記第2の信号線路の端部どうしの接続部から前記第2の信号線路に沿った領域で、前記第1のグランドパターンと前記第1の面状グランドパターンが分離されている、高周波基板。
- [2] 第1の信号線路と、該第1の信号線路と同じ配線層に形成された第1の面状グランドパターンを備える第1のコプレーナ線路と、
- 前記第1の信号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパターンを備える第2のコプレーナ線路と、
- 前記第1のコプレーナ線路と同じ配線層に形成された第1のグランドパターンと、を有し、
- 前記第1のコプレーナ線路から前記第2のコプレーナ線路へ信号を伝送するよう前記第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板であって、
- 前記第1のコプレーナ線路から前記第2のコプレーナ線路へ信号が伝送されていく際に前記第1の面状グランドパターンから前記第1のグランドパターンに伝わる高周波電流の経路が前記第2の面状グランドパターンを介してのみとなる箇所を含んでいる、高周波基板。
- [3] 前記第1のコプレーナ線路における前記第1の信号線路は、誘電体基板の内部ま

たは表面に形成され、前記第1の面状グランドパターンは、該第1の信号線路と同じ配線層において前記第1の信号線路を挟む両側位置の少なくとも一方に形成されており、

前記第2のコプレーナ線路における前記第2の面状グランドパターンは、前記第2の信号線路と同じ配線層において前記第2の信号線路を挟む両側位置の少なくとも一方に形成されている、請求項1または2に記載の高周波基板。

- [4] 前記第1の信号線路と前記第2の信号線路を各々の線路端にて接続する第1の導電性ビアと、

前記第2のコプレーナ線路が形成されている配線層に対し、前記第1のグランドパターンの層とは反対側の配線層に形成された第2のグランドパターンと、

前記第1および第2のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で配設された複数の第2の導電性ビアであり、その中に、前記第1の面状グランドパターンと前記第2の面状グランドパターンを接続する導電性ビアa、前記第1のグランドパターンと前記第2の面状グランドパターンを接続する導電性ビアb、および前記第1の面状グランドパターンと前記第2のグランドパターンを接続する導電性ビアcを含む第2の導電性ビアと、を有し、

前記第1の信号線路と前記第1の導電性ビアとの接続部付近から前記第2のコプレーナ線路の信号伝送方向にかけて、前記第1のグランドパターンが、前記第1の面状グランドパターンから分離されている、請求項1から3のいずれか1項に記載の高周波基板。

- [5] 分離されている前記第1のグランドパターンと前記第1の面状グランドパターンとの間の幅は、前記第2のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅である、請求項4に記載の高周波基板。

- [6] 請求項3または4に記載の高周波基板であって、

前記第1のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記第1の面状グランドパターンと前記第2の面状グランドパターンを相互接続している前記導電性ビアaの外周から、前記第1の面状グランドパターンの前記第1の信号線路側の外周辺への最短距離をL1、

前記導電性ビアaの外周から、前記第2の面状グランドパタンの前記第2の信号線路側の外周辺への最短距離をL2、

前記第2のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記導電性ビアaを除いて、前記第1の導電性ビアに最も近い前記導電性ビアbの外周から、前記第2の面状グランドパタンの前記第2の信号線路側の外周辺への最短距離L3、

前記導電性ビアbの外周から、前記第1のグランドパタンの前記第1のコプレーナ線路側の外周辺への最短距離をL4、

前記第1のグランドパターンと前記第2の面状グランドパタンの間の誘電体層厚をL5、前記第1の導電性ビアの外周から、前記第1の信号線路の外周辺への最短距離をL6、

前記第1の導電性ビアの外周から、前記第2の信号線路の外周辺への最短距離をL7、

前記導電性ビアaの外周から、前記第1の面状グランドパタンの前記第1のグランドパターン側の外周辺への最短距離をL10、

前記第1のコプレーナ線路の実効比誘電率を $\epsilon_1$ 、

前記第2のコプレーナ線路の実効比誘電率を $\epsilon_2$ 、

前記第2の導電性ビアの直径を $\phi$ 、

伝送する信号帯域における真空中での最小波長を $\lambda_0$ としたとき、次の関係式

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\}$$

$$< \lambda_0 / 2$$

を満足するように、前記第1の面状グランドパターンと、これと同一層に設けられた前記第1のグランドパターンとの間を分離している、請求項3または4に記載の高周波基板。

[7] 前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成された第3のグランドパターンをさらに備え、

前記第1の信号線路と前記第2の信号線路の端部どうしの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグランドパターンが前記第2の面

状グラウンドパターンから分離されている、請求項1から6のいずれかに記載の高周波基板。

- [8] 前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成され、かつ、前記第1の面状グラウンドパターンと前記第2のグラウンドパターンの両方に前記第2の導電性ビアにより電氣的に接続された第3のグラウンドパターンをさらに備え、

前記第2の信号線路と前記第1の導電性ビアとの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグラウンドパターンが、前記第2の面状グラウンドパターンから分離されている、請求項4から6のいずれかに記載の高周波基板。

- [9] 分離されている前記第3のグラウンドパターンと前記第2の面状グラウンドパターンとの間の幅が、前記第1のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅である、請求項8に記載の高周波基板。

- [10] 請求項8または9に記載の高周波基板であって、

前記第1のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記導電性ビアaを除いて、前記第1の導電性ビアに最も近い前記導電性ビアcの外周から、前記第1の面状グラウンドパターンの前記第1の信号線路側の外周辺への最短距離L8、

前記導電性ビアcの外周から、前記第3のグラウンドパターンの前記第2のコプレーナ線路側の外周辺への最短距離をL9、

前記導電性ビアaの外周から、前記第2の面状グラウンドパターンにおける前記第3のグラウンドパターン側の外周辺への最短距離をL11、

伝送する信号帯域における真空中での最小波長を $\lambda_0$ としたとき、次の関係式

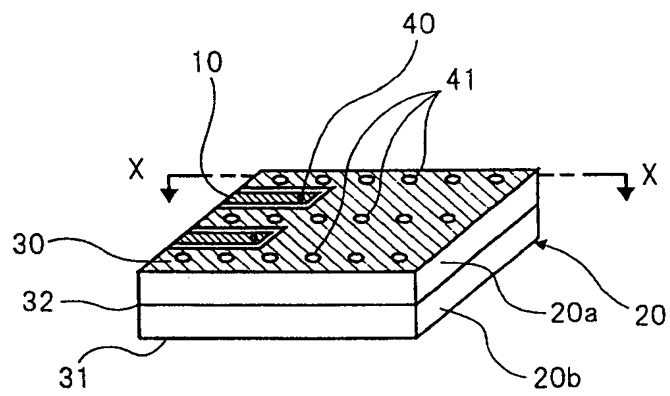
$$\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\}$$

$$< \lambda_0 / 2$$

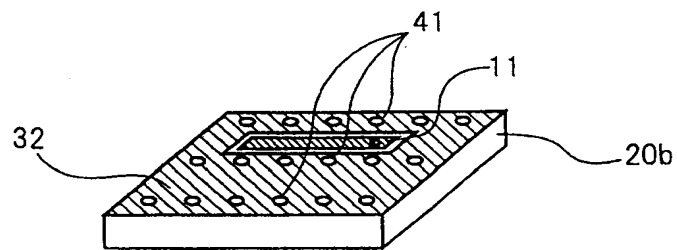
を満足するように、前記第2の面状グラウンドパターンと、これと同一層に設けられた前記第3のグラウンドパターンとの間が分離されている、請求項8または9に記載の高周波基板。

- [11] 前記第2の面状グランドパタンが、前記第2の信号線路を挟む両側位置の少なくとも一方に形成されているだけでなく、前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域にも延在している、請求項1から10のいずれかに記載の高周波基板。
- [12] 請求項1から11のいずれかに記載の高周波基板に半導体集積回路チップが実装された高周波モジュール。

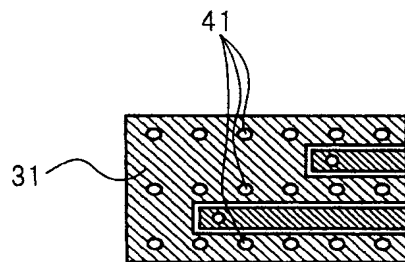
[図1A]



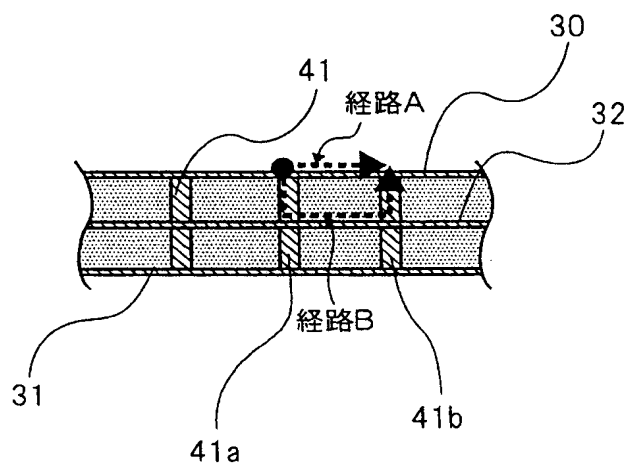
[図1B]



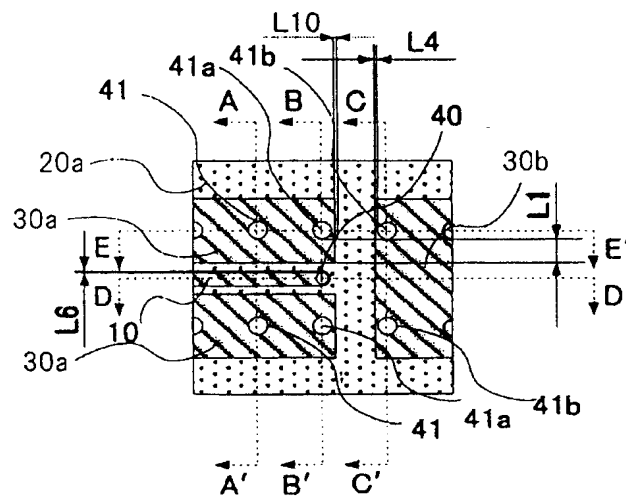
[図1C]



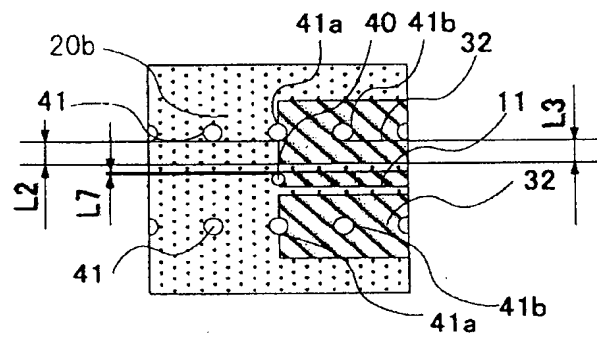
[図1D]



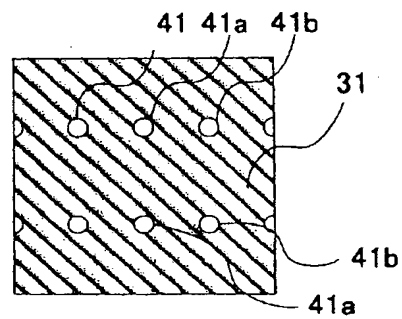
[[図2A]]



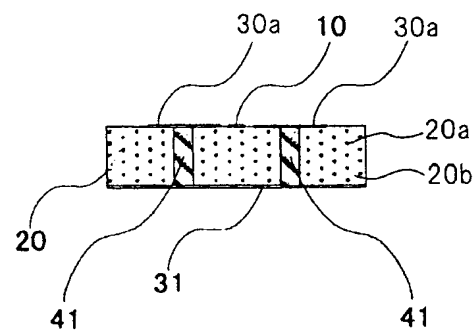
[[図2B]]



[[図2C]]



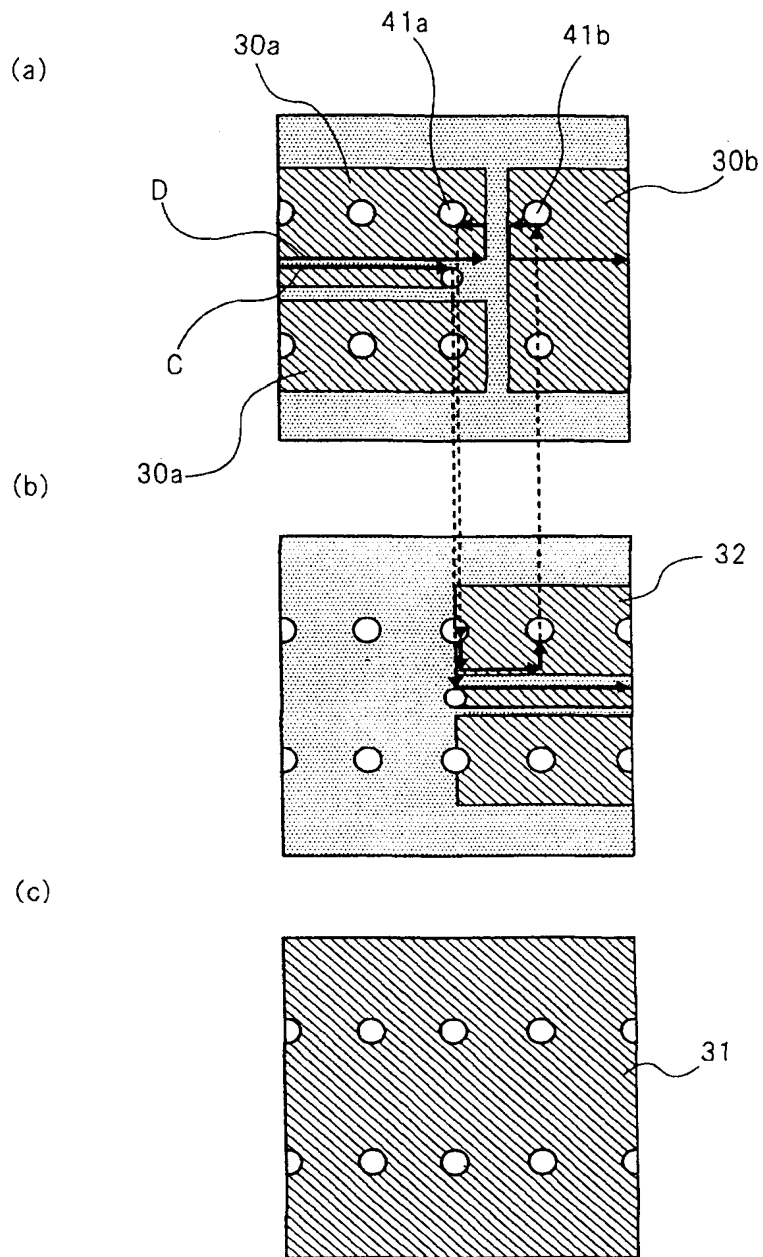
[[図2D]]



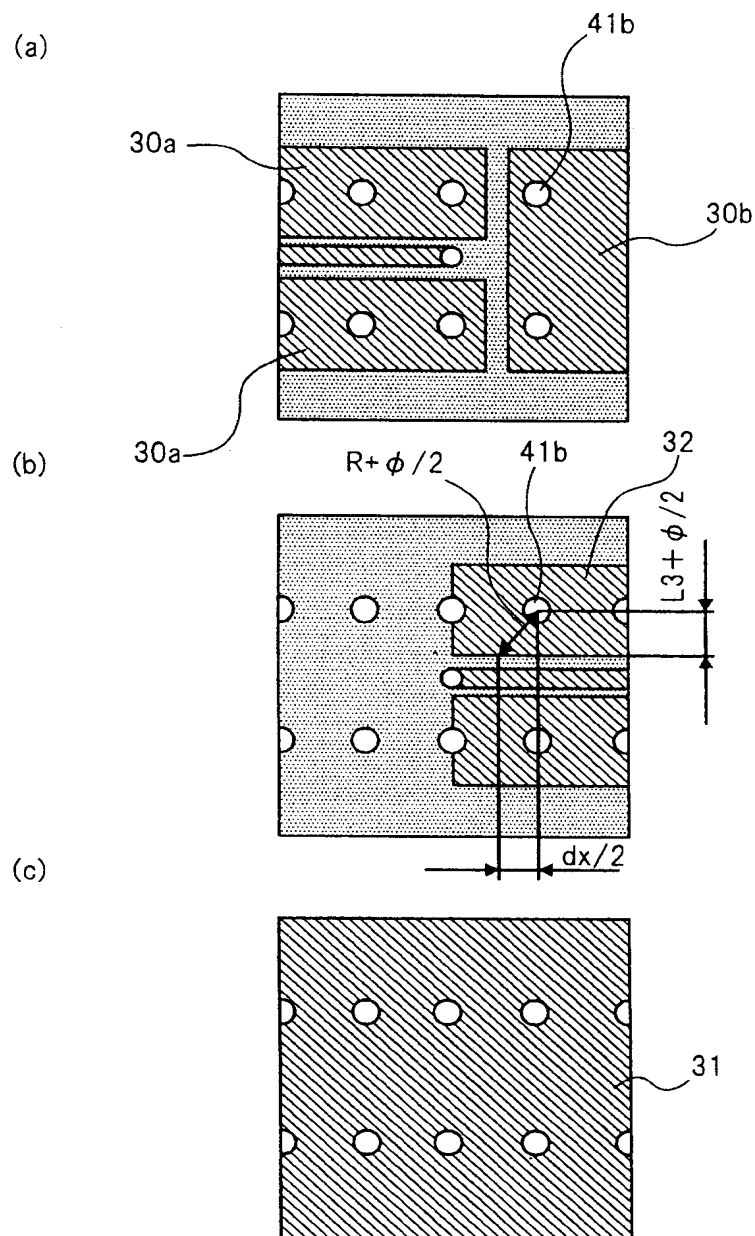
[illegible]

This diagram shows a cross-sectional view of a second embodiment of the device. It features a central core 30b with a diagonal hatching pattern, flanked by two layers 20a and 20b. The entire assembly is enclosed within a rectangular frame 20. Labels 41b, 11, and 31 point to specific internal features or interfaces within the structure.

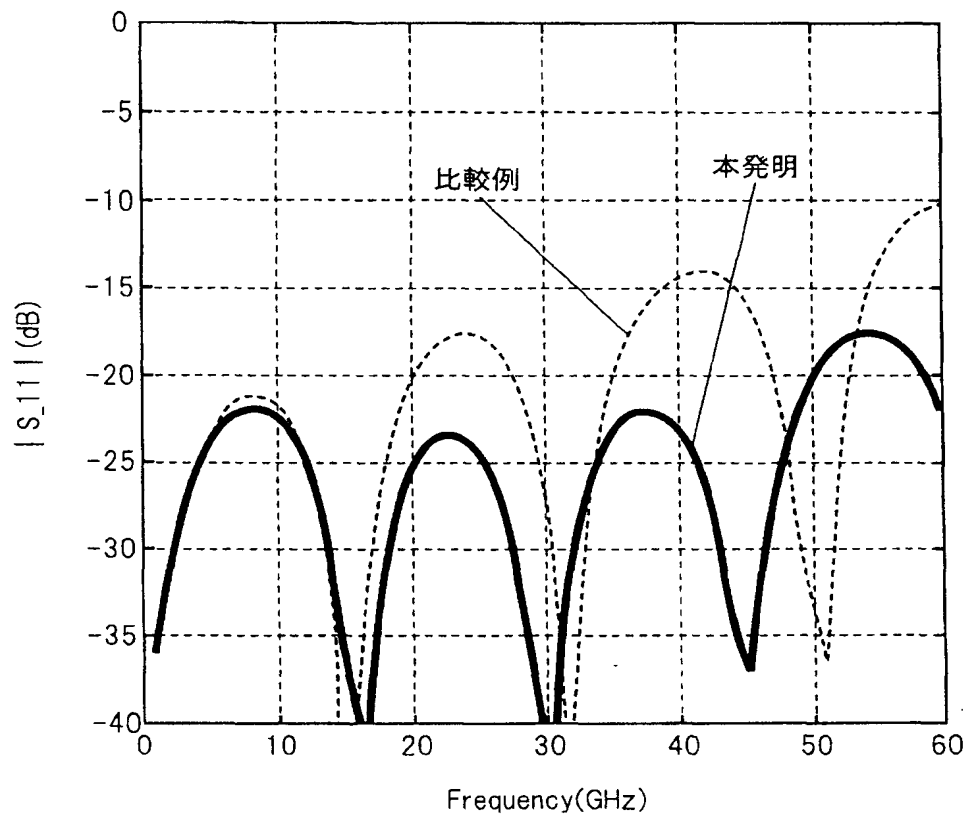
[[図3]]



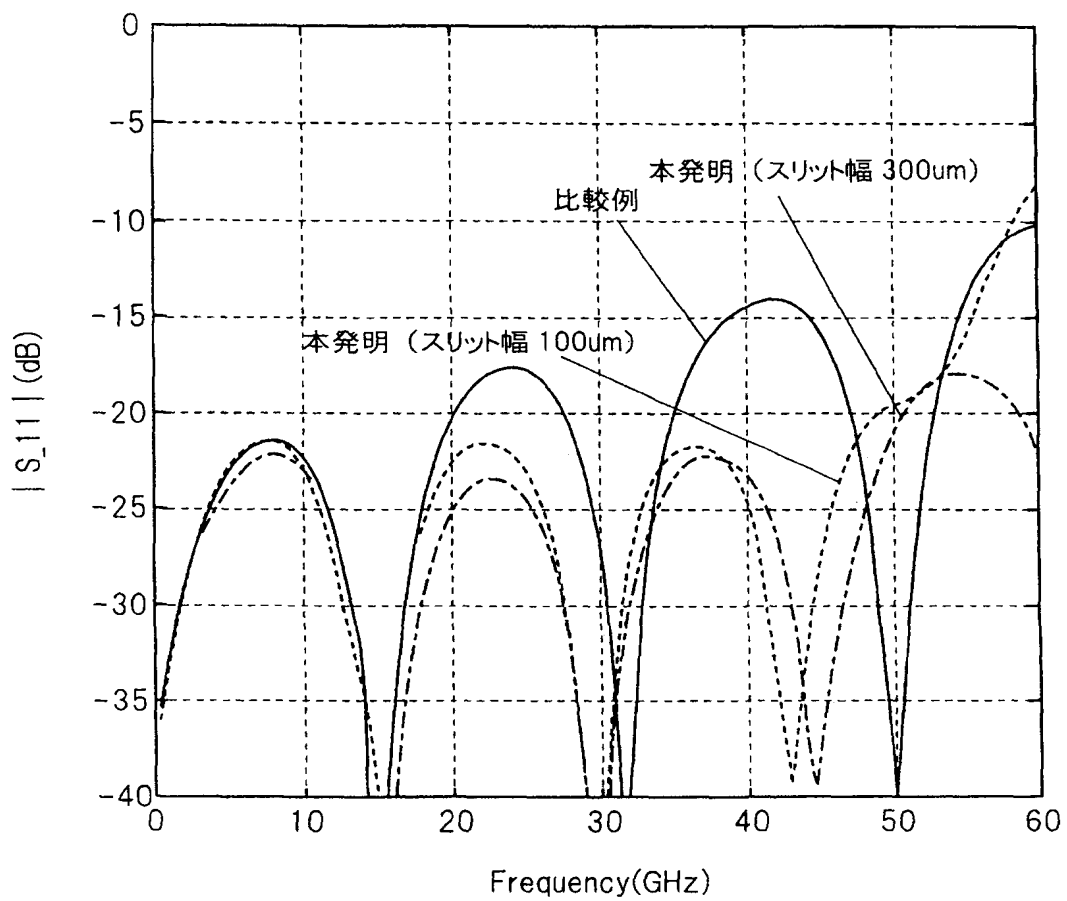
[[図4]]



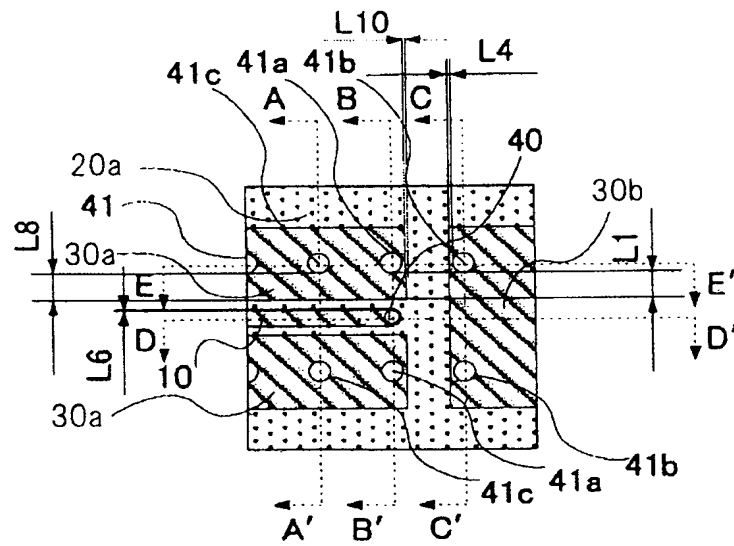
[図5]



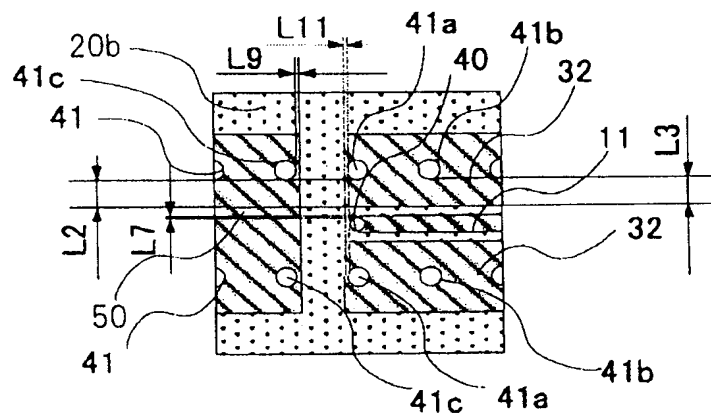
[図6]



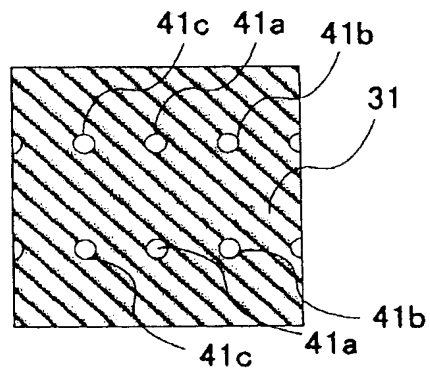
[図7A]



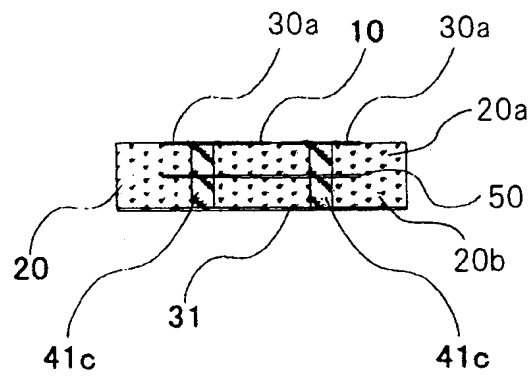
[図7B]



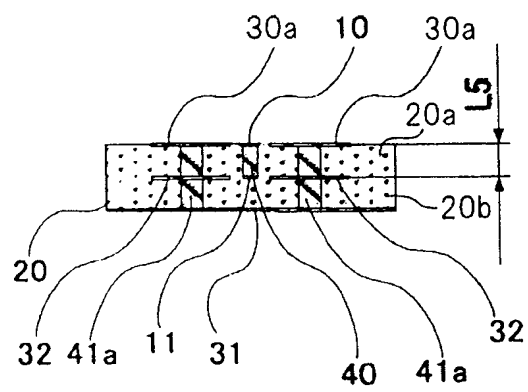
[図7C]



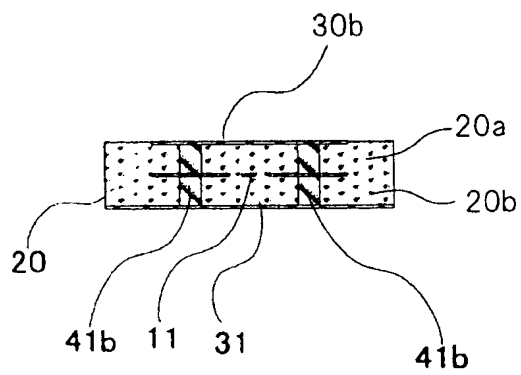
[[図7D]]



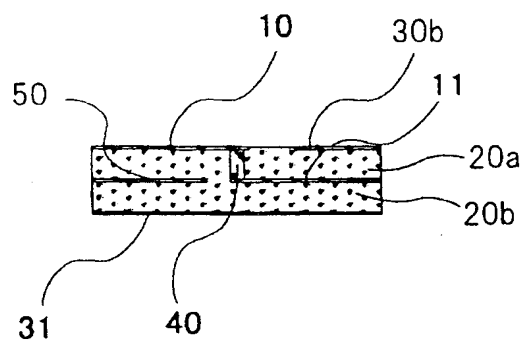
[[図7E]]



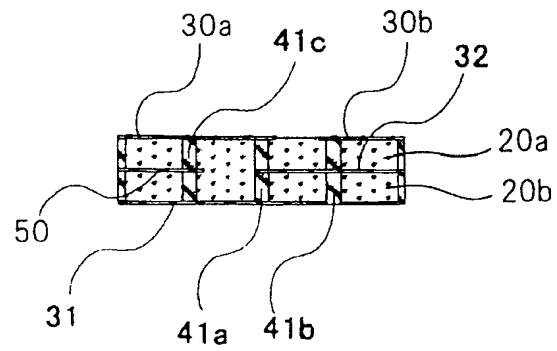
[[図7F]]



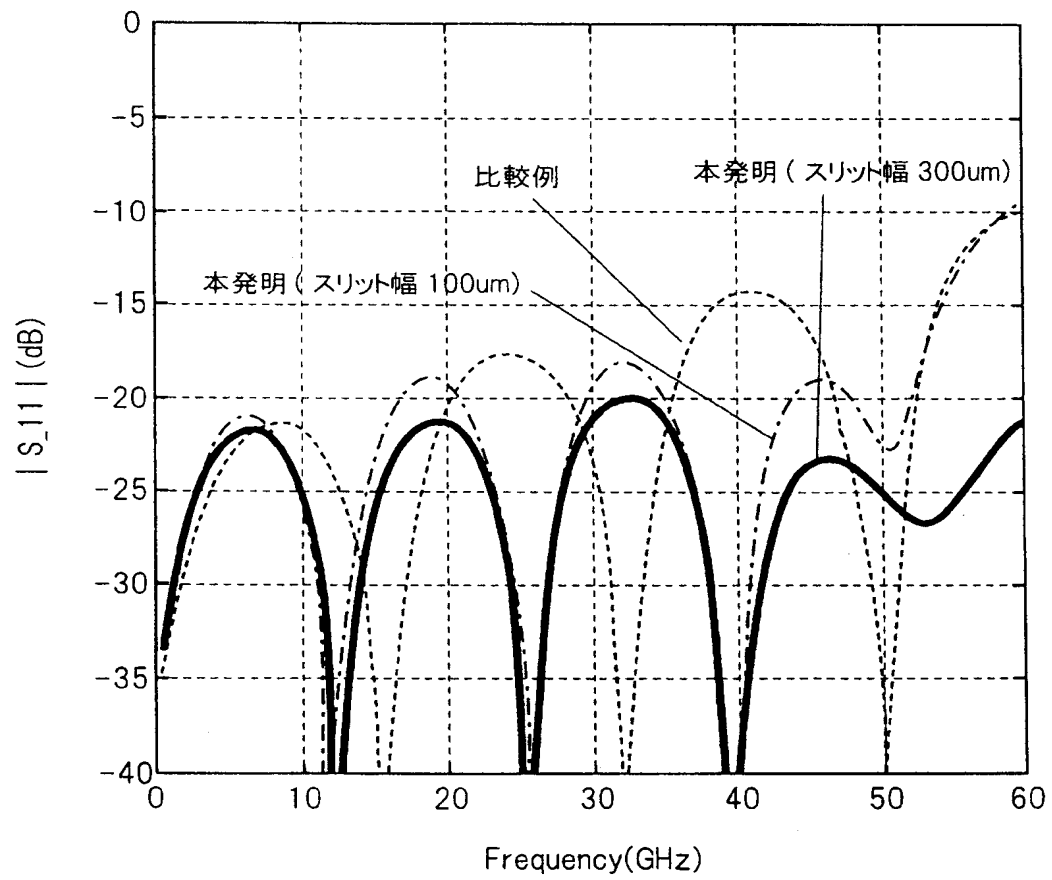
[[図7G]]



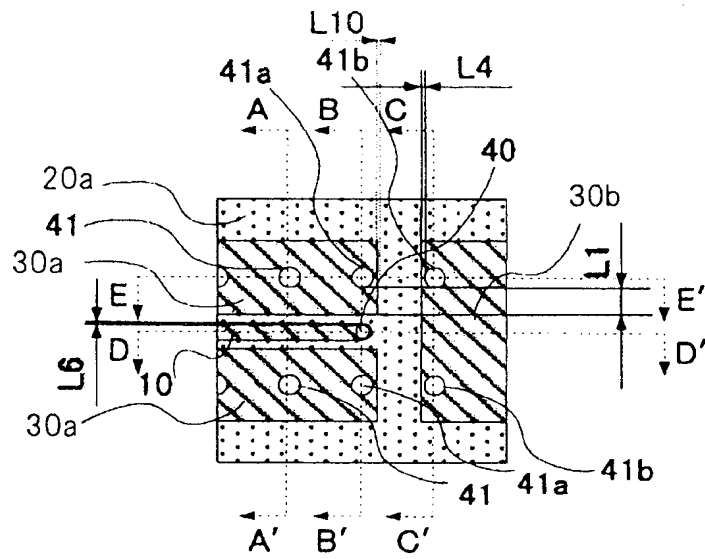
[図7H]



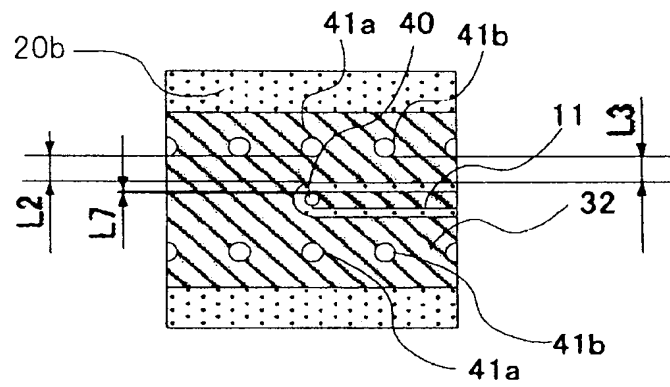
[図8]



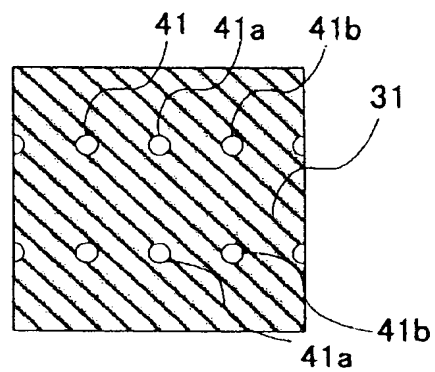
[図9A]



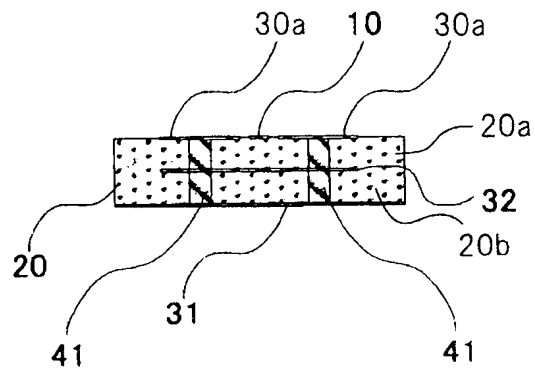
[図9B]



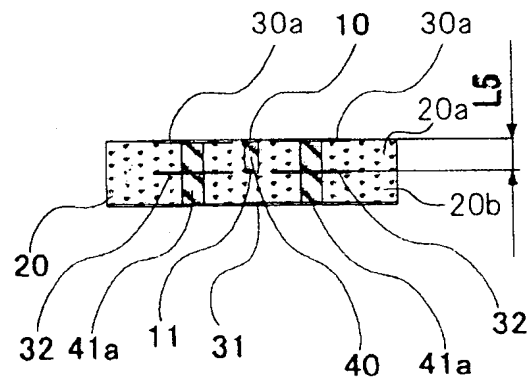
[図9C]



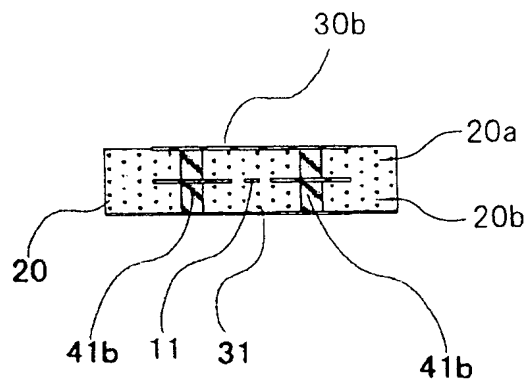
[[図9D]]



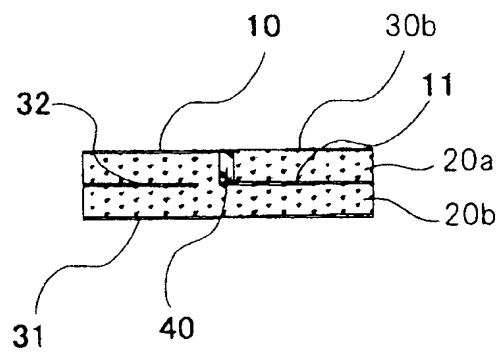
[[図9E]]



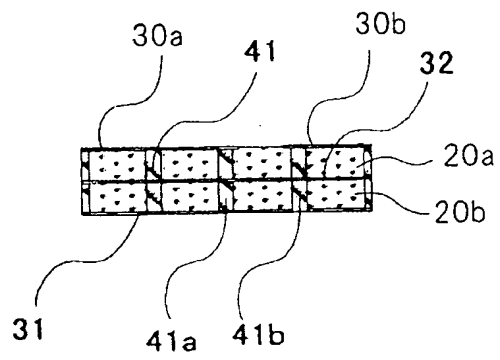
[[図9F]]



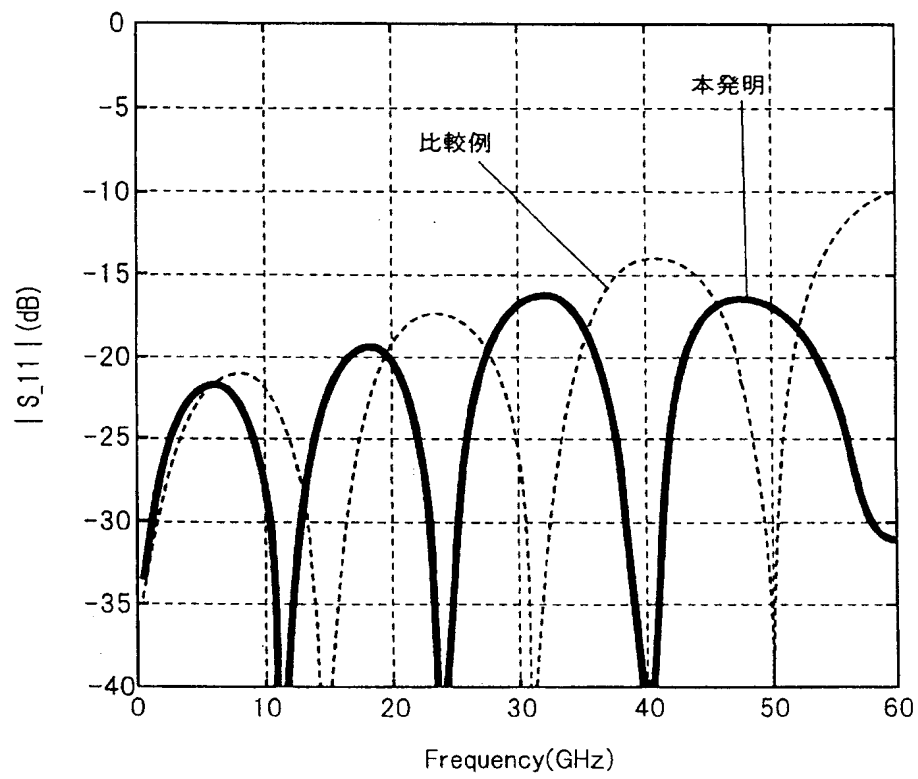
[[図9G]]



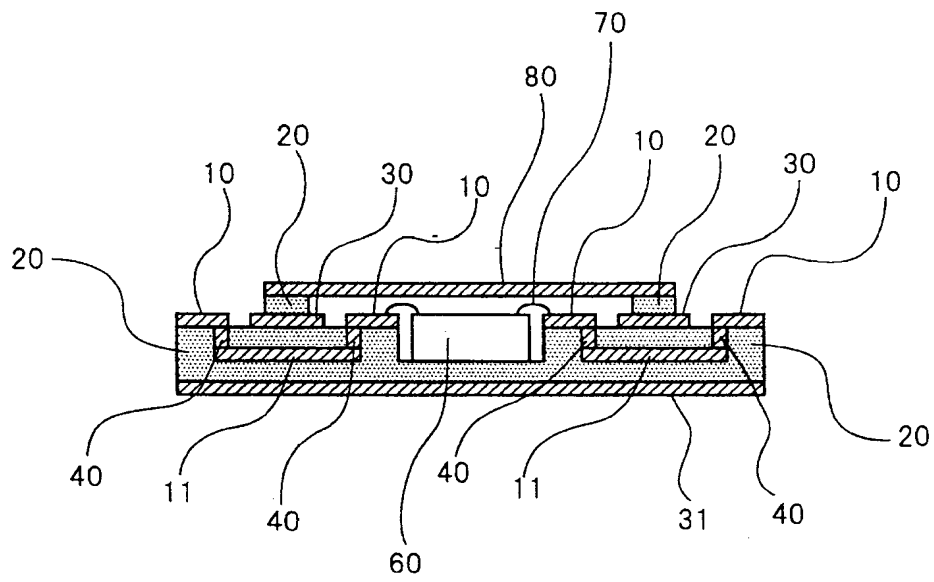
[図9H]



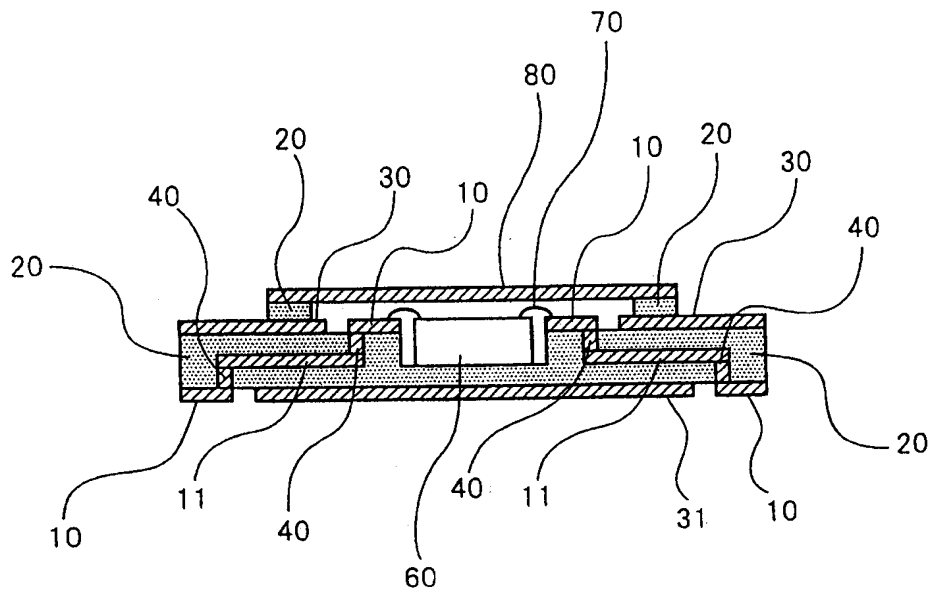
[図10]



[[図11]]



[[図12]]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/063283

## A. CLASSIFICATION OF SUBJECT MATTER

H01P1/04(2006.01)i, H01L23/12(2006.01)i, H01P3/02(2006.01)i, H05K1/02(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P1/04, H01L23/12, H01P3/02, H05K1/02, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-247980 A (Hitachi, Ltd., Opnext Inc.), 02 September, 2004 (02.09.04), Claim 5; Figs. 3, 4 & US 2005/0174190 A1 & US 2006/0082422 A1	1-3, 11, 12 4-10
A	JP 2005-94445 A (TDK Corp.), 07 April, 2005 (07.04.05), Full text; all drawings (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
17 October, 2008 (17.10.08)

Date of mailing of the international search report  
28 October, 2008 (28.10.08)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01P1/04(2006.01)i, H01L23/12(2006.01)i, H01P3/02(2006.01)i, H05K1/02(2006.01)i, H05K3/46(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01P1/04, H01L23/12, H01P3/02, H05K1/02, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-247980 A (株式会社日立製作所 日本オブネクスト株式会社) 2004.09.02, 請求項 5, 図 3, 4 & US 2005/0174190 A1 & US	1-3, 11, 12
A	2006/0082422 A1	4-10
A	JP 2005-94445 A (TDK株式会社) 2005.04.07, 全文, 全図 (ファミリーなし)	1-12

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 0 . 2 0 0 8

国際調査報告の発送日

2 8 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

麻生 哲朗

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8

5 T

2 9 5 3

31.07.2008

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 7 年 9 月 1 8 日

出 願 番 号  
Application Number: 特 願 2 0 0 7 - 2 4 1 1 0 4

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号  
The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

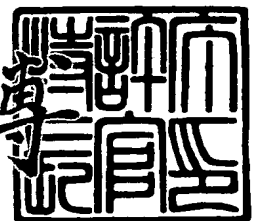
J P 2 0 0 7 - 2 4 1 1 0 4

出 願 人  
Applicant(s): 日本電気株式会社

2 0 0 8 年 6 月 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

肥塚 雅博



【書類名】 特許願  
【整理番号】 34602322  
【提出日】 平成19年 9月18日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01P 5/08  
【発明者】  
    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内  
    【氏名】 大平 理覚  
【特許出願人】  
    【識別番号】 000004237  
    【氏名又は名称】 日本電気株式会社  
【代理人】  
    【識別番号】 100123788  
    【弁理士】  
    【氏名又は名称】 宮崎 昭夫  
    【電話番号】 03-3585-1882  
【選任した代理人】  
    【識別番号】 100106138  
    【弁理士】  
    【氏名又は名称】 石橋 政幸  
【選任した代理人】  
    【識別番号】 100127454  
    【弁理士】  
    【氏名又は名称】 緒方 雅昭  
【手数料の表示】  
    【予納台帳番号】 201087  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0414989

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 の信号線路と、該第 1 の信号線路と同じ配線層に形成された第 1 の面状グランドパターンを備える第 1 のコプレーナ線路と、

前記第 1 の信号線路とは異なる配線層に形成された第 2 の信号線路と、該第 2 の信号線路と同じ配線層に形成された第 2 の面状グランドパターンを備える第 2 のコプレーナ線路と

、  
前記第 1 のコプレーナ線路と同じ配線層に形成された第 1 のグランドパターンと、を有し

、  
前記第 1 のコプレーナ線路と前記第 2 のコプレーナ線路が接続されている高周波基板であって、

少なくとも、前記第 1 の信号線路と前記第 2 の信号線路の端部どうしの接続部から前記第 2 の信号線路に沿った領域で、前記第 1 のグランドパターンと前記第 1 の面状グランドパターンが分離されていることを特徴とする高周波基板。

**【請求項 2】**

第 1 の信号線路と、該第 1 の信号線路と同じ配線層に形成された第 1 の面状グランドパターンを備える第 1 のコプレーナ線路と、

前記第 1 の信号線路とは異なる配線層に形成された第 2 の信号線路と、該第 2 の信号線路と同じ配線層に形成された第 2 の面状グランドパターンを備える第 2 のコプレーナ線路と

、  
前記第 1 のコプレーナ線路と同じ配線層に形成された第 1 のグランドパターンと、を有し

、  
前記第 1 のコプレーナ線路から前記第 2 のコプレーナ線路へ信号を伝送するよう前記第 1 のコプレーナ線路と前記第 2 のコプレーナ線路が接続されている高周波基板であって、

前記第 1 のコプレーナ線路から前記第 2 のコプレーナ線路へ信号が伝送されていく際に前記第 1 の面状グランドパターンから前記第 1 のグランドパターンに伝わる高周波電流の経路が前記第 2 の面状グランドパターンを介してのみとなる箇所を含むことを特徴とする高周波基板。

**【請求項 3】**

前記第 1 のコプレーナ線路における前記第 1 の信号線路は、誘電体基板の内部または表面に形成され、前記第 1 の面状グランドパターンは、該第 1 の信号線路と同じ配線層において前記第 1 の信号線路を挟む両側位置の少なくとも一方に形成されており、

前記第 2 のコプレーナ線路における前記第 2 の面状グランドパターンは、前記第 2 の信号線路と同じ配線層において前記第 2 の信号線路を挟む両側位置の少なくとも一方に形成されていることを特徴とする請求項 1 または 2 に記載の高周波基板。

**【請求項 4】**

前記第 1 の信号線路と前記第 2 の信号線路を各々の線路端にて接続する第 1 の導電性ビアと、

前記第 2 のコプレーナ線路が形成されている配線層に対し、前記第 1 のグランドパターンの層とは反対側の配線層に形成された第 2 のグランドパターンと、

前記第 1 および第 2 のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で配設された複数の第 2 の導電性ビアであり、その中に、前記第 1 の面状グランドパターンと前記第 2 の面状グランドパターンを接続する導電性ビア a、前記第 1 のグランドパターンと前記第 2 の面状グランドパターンを接続する導電性ビア b、および前記第 1 の面状グランドパターンと前記第 2 のグランドパターンを接続する導電性ビア c を含む第 2 の導電性ビアと、を有し、

前記第 1 の信号線路と前記第 1 の導電性ビアとの接続部付近から前記第 2 のコプレーナ線路の信号伝送方向にかけて、前記第 1 のグランドパターンが、前記第 1 の面状グランドパターンから分離されていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の高周波基板。

**【請求項 5】**

分離されている前記第1のグラウンドパタンと前記第1の面状グラウンドパタンとの間の幅は、前記第2のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅であることを特徴とする請求項4に記載の高周波基板。

【請求項6】

請求項3または4に記載の高周波基板であって、

前記第1のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記第1の面状グラウンドパタンと前記第2の面状グラウンドパタンを相互接続している前記導電性ビアaの外周から、前記第1の面状グラウンドパタンの前記第1の信号線路側の外周辺への最短距離をL1、

前記導電性ビアaの外周から、前記第2の面状グラウンドパタンの前記第2の信号線路側の外周辺への最短距離をL2、

前記第2のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記導電性ビアaを除いて、前記第1の導電性ビアに最も近い前記導電性ビアbの外周から、前記第2の面状グラウンドパタンの前記第2の信号線路側の外周辺への最短距離L3、

前記導電性ビアbの外周から、前記第1のグラウンドパタンの前記第1のコプレーナ線路側の外周辺への最短距離をL4、

前記第1のグラウンドパタンと前記第2の面状グラウンドパタンの間の誘電体層厚をL5、

前記第1の導電性ビアの外周から、前記第1の信号線路の外周辺への最短距離をL6、

前記第1の導電性ビアの外周から、前記第2の信号線路の外周辺への最短距離をL7、

前記導電性ビアaの外周から、前記第1の面状グラウンドパタンの前記第1のグラウンドパタン側の外周辺への最短距離をL10、

前記第1のコプレーナ線路の実効比誘電率を $\epsilon_1$ 、

前記第2のコプレーナ線路の実効比誘電率を $\epsilon_2$ 、

前記第2の導電性ビアの直径を $\phi$ 、

伝送する信号帯域における真空中での最小波長を $\lambda_0$ としたとき、次の関係式

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \lambda_0 / 2$$

を満足するように、前記第1の面状グラウンドパタンと、これと同一層に設けられた前記第1のグラウンドパタンとの間を分離していることを特徴とする請求項3または4に記載の高周波基板。

【請求項7】

前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成された第3のグラウンドパタンをさらに備え、

前記第1の信号線路と前記第2の信号線路の端部どうしの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグラウンドパタンが前記第2の面状グラウンドパタンから分離されていることを特徴とする請求項1から6のいずれかに記載の高周波基板。

【請求項8】

前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成され、かつ、前記第1の面状グラウンドパタンと前記第2のグラウンドパタンの両方に前記第2の導電性ビアにより電氣的に接続された第3のグラウンドパタンをさらに備え、

前記第2の信号線路と前記第1の導電性ビアとの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグラウンドパタンが、前記第2の面状グラウンドパタンから分離されていることを特徴とする請求項4から6のいずれかに記載の高周波基板。

【請求項9】

分離されている前記第3のグラウンドパタンと前記第2の面状グラウンドパタンとの間の幅が、前記第1のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅であることを特徴とする請求項8に記載の高周波基板。

【請求項10】

請求項 8 または 9 に記載の高周波基板であって、

前記第 1 のコプレーナ線路に備わる複数の前記第 2 の導電性ビアのうちの、前記導電性ビア a を除いて、前記第 1 の導電性ビアに最も近い前記導電性ビア c の外周から、前記第 1 の面状グランドパタンの前記第 1 の信号線路側の外周辺への最短距離 L 8、

前記導電性ビア c の外周から、前記第 3 のグランドパタンの前記第 2 のコプレーナ線路側の外周辺への最短距離を L 9、

前記導電性ビア a の外周から、前記第 2 の面状グランドパターンにおける前記第 3 のグランドパターン側の外周辺への最短距離を L 11、

伝送する信号帯域における真空中での最小波長を  $\lambda_0$  としたとき、次の関係式

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\} < \lambda_0 / 2$$

を満足するように、前記第 2 の面状グランドパターンと、これと同一層に設けられた前記第 3 のグランドパターンとの間を分離していることを特徴とする請求項 8 または 9 に記載の高周波基板。

【請求項 11】

前記第 2 の面状グランドパターンが、前記第 2 の信号線路を挟む両側位置の少なくとも一方に形成されているだけでなく、前記第 2 のコプレーナ線路と同じ配線層の、前記第 1 のコプレーナ線路が形成されている領域と対向する領域にも延在していることを特徴とする請求項 1 から 10 のいずれかに記載の高周波基板。

【請求項 12】

請求項 1 から 11 のいずれかに記載の高周波基板に半導体集積回路チップが実装された高周波モジュール。

**【書類名】明細書**

**【発明の名称】** 高周波基板および、これを用いた高周波モジュール

**【技術分野】****【0001】**

本発明は、高周波伝送線路が形成された高周波基板に関し、特に、基板の異なる層に形成された高周波伝送線路間の相互接続に関する。

**【背景技術】****【0002】**

高周波半導体素子用パッケージや回路素子実装用配線基板等に用いられている高周波伝送線路においては、電子部品の実装位置により、誘電体基板の表面に形成された表層線路と、誘電体基板の内部に形成された内層線路を相互に接続する場合が多々ある。

**【0003】**

誘電体基板の表面に形成される表層線路としてはマイクロストリップ線路やコプレーナ線路が代表的であり、また、誘電体基板の内部に形成される内層線路としてはストリップ線路およびコプレーナ線路が代表的に用いられている。そして、表層線路と内層線路間の相互接続は、導電性のあるビアやスルーホール等により接続されている。

**【0004】**

例えば、特許文献1に記載されている高周波基板は、図12A～図12Dに示すような高周波伝送線路を有する。なお、図12Aはこの高周波基板の全体斜視図、図12Bはこの高周波基板の第2の誘電体層部分の斜視図、図12Cはこの高周波基板の裏面導体パタンの上面図である。図12Dは、図12Aに示す高周波基板の、伝送信号方向に沿ったX-X断面図を示している。

**【0005】**

これらの図により示される高周波基板は2層の誘電体層20a、20bを積層してなる誘電体基板20からなり、異なる層に高周波伝送線路が形成されている。

**【0006】**

第1の高周波伝送線路は、誘電体基板20の表面である第1の誘電体層20aの上面上に形成された第1の信号線路10と、この信号線路10の周りにこれと同一面上に配置された第1のグランドパタン30と、第2の誘電体層20bの上面に形成された第2のグランドパタン32とから構成されている。一方、第2の高周波伝送線路は、上記第1のグランドパタン30と、誘電体基板20の裏面である第2の誘電体層20bの下面に形成された第3のグランドパタン31と、これらの間に配置され第2の誘電体層20bの上面上に形成された第2の信号線路11と、この信号線路11の周りにこれと同一面上に配置された第2のグランドパタン32とから構成されている。

**【0007】**

第1の高周波伝送線路の第1の信号線路10の端部と、第2の高周波伝送線路の第2の信号線路11の端部とは、導電性のあるビア40により接続されている。さらに、第1のグランドパタン30、第2のグランドパタン32、および第3のグランドパタン31は、第1の信号線路10および第2の信号線路11の信号伝送方向に沿って配置される複数の導電性ビア41によって電氣的に接続されている。

**【0008】**

ところで、第1の高周波伝送線路と第2の高周波伝送線路のように、異なった線路構造同士を接続する場合、接続部付近では、不整合が生じやすく、その結果として、高周波信号になるほど信号反射が生じやすい。

**【0009】**

そのため、例えば特許文献2に、上記第1の高周波伝送線路を構成する第1の信号線路10に相当する信号線路の端部幅、すなわち、導電性ビア40との接続部近傍の幅を変えることによって、インピーダンス不整合を抑制し、信号反射を低減する方法が提案されている。

**【特許文献1】** 特開2003-133472号公報（図5）

【特許文献2】特開2004-320109号公報(図1、段落[0095])

【発明の開示】

【発明が解決しようとする課題】

【0010】

以上のように、図12A～図12Dにより示される構成において信号線路が異なった層に形成されている異種線路を接続する場合、信号線路間を接続する導電性ビア付近の信号線路幅を変えることにより、信号通過特性(反射特性とも呼ぶ。)を改善していた。しかしながら、この従来技術では、伝送信号が低周波から高周波になればなるほど信号通過特性(反射特性とも呼ぶ。)が劣化していく問題を解決できないことが分かった。

【0011】

その理由について、図12Dを参照して説明する。

【0012】

図12A～図12Dにより示される構成では、第1の高周波伝送線路から第2の高周波伝送線路へ信号が伝送されていく際に、第1の高周波伝送線路の第1の信号線路10と第1のグランドパタン30を伝わってきた高周波電流のうちの信号線路側の電流は、第2の高周波伝送線路の第2の信号線路11に沿って流れる。ところが、そのグランドパタン側の電流は、第2の高周波伝送線路の第2のグランドパタン32を流れるだけでなく、第1のグランドパタン30にも2つの経路で伝わる。すなわち、図12Dに図示するように、第1のグランドパタン30のみを伝わる経路Aと、第1のグランドパタン30から導電性ビア41a、第2のグランドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して再び第1のグランドパタン30に戻ってくる経路Bとで伝わる。

【0013】

ここで、2つの物理的な経路長を各々L1、L2、経路長差L1-L2を $\Delta L$ 、伝送信号の真空中における波長を $\lambda_0$ 、各々の経路の波数を同一のk、各々の経路における実効比誘電率を同一の $\epsilon$ とした場合を考えると、2つの経路A、B間の位相差は、

【0014】

【数1】

$$k \times L1 - k \times L2 = k \times \Delta L = \left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon}} \right) \times \Delta L = (2\pi \times \sqrt{\epsilon}) \times \left( \frac{\Delta L}{\lambda_0} \right) \quad \dots (1)$$

【0015】

と表され、 $\Delta L / \lambda_0$ に比例する。

【0016】

そのため、物理的な経路長差 $\Delta L$ が一定であったとしても、伝送信号が低周波から高周波になるほど、すなわち、波長 $\lambda_0$ が短くなるほど、経路間位相差が大きくなり、位相干渉を引き起こしやすくなる。

【0017】

つまり、特許文献2に教示された方法をとっても、図12A～図12Dにより示される構成の場合は、第1の高周波伝送線路から第2の高周波伝送線路への伝送信号が高周波になればなるほど反射特性を改善できないことが分かった。

【0018】

そこで本発明の目的は、上記問題を解決することにある。詳しくは、異なった層に形成され相互に接続されている高周波異種線路を備える高周波基板において、低周波域から高周波域にわたって反射特性を改善できる構造を提供することにある。

【課題を解決するための手段】

【0019】

本発明の高周波基板は、第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板である。第1のコプレーナ線路は、第1の信号線路と、該第1の信号線

路と同じ配線層に形成された第1の面状グランドパタンを備える線路である。第2のコプレーナ線路は、第1の信号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパタンを備える線路である。そして、第1のコプレーナ線路と同じ配線層に第1のグランドパタンが形成されている。この高周波基板において、少なくとも、前記第1の信号線路と前記第2の信号線路の端部どうしの接続部から前記第2の信号線路に沿った領域で、前記第1のグランドパタンと前記第1の面状グランドパタンが分離されていることが本発明の特徴である。

#### 【0020】

さらに本発明では、第1の信号線路と第2の信号線路どうしが各々の線路端にて第1の導電性ビアにより接続されている。そして、第1および第2のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で複数の第2の導電性ビアが配設され、これらの中には、第1のコプレーナ線路の面状グランドパタンと第2のコプレーナ線路の面状グランドパタンを接続する導電性ビアaや、第1のグランドパタンと第2のコプレーナ線路の面状グランドパタンを接続する導電性ビアbや、第1のコプレーナ線路の面状グランドパタンと第2のグランドパタンを接続する導電性ビアc等が含まれている。

#### 【0021】

このような構成では、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタンに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパタンに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパタンから第2の導電性ビアa、第2のコプレーナ線路の面状グランドパタン、信号伝送方向に沿った次の第2の導電性ビアbを順次経由して第1のグランドパタンに向かう経路のみとなる。

#### 【0022】

これにより、第1のグランドパタンに伝わる高周波電流の位相干渉が抑制されるので、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0023】

さらに、第1のグランドパタンに伝わる高周波電流の位相と信号線路を伝わる高周波電流の位相の差、すなわち、波長に換算した電気長差を小さくすることにより、低周波から高周波にかけて劣化していく反射特性をより一層改善することができる。

#### 【発明の効果】

#### 【0024】

本発明によれば、異なった層に形成され相互に接続されている高周波異種線路を備える高周波基板において、低周波域から高周波域にわたって反射特性を改善することができる。

#### 【発明を実施するための最良の形態】

#### 【0025】

以下、本発明の実施例について図面を参照して詳細に説明する。

#### 【0026】

(第1の実施例)

図1A～1Hは、本発明の第1の実施例による高周波基板の構成を示したものである。詳しく言うと、図1Aは本実施例の高周波基板の第1配線層を示す平面図、図1Bはその第2配線層の平面図、図1Cはその第3配線層の平面図である。図1Dは図1AのA-A'における基板断面図、図1Eは図1AのB-B'における基板断面図、図1Fは図1AのC-C'における基板断面図、図1Gは図1AのD-D'における基板断面図、図1Hは図1AのE-E'における基板断面図である。なお、各図において、図12A～図12Dに示される構成要素と同じ機能部位には同一符号を用いている。

#### 【0027】

本実施例の高周波基板は2層の誘電体層20a、20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図1A)。この第1のコプレーナ線路は、第1の信号線路

10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層（第2配線層）である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている（図1B）。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a、32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

#### 【0028】

第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

#### 【0029】

第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層（誘電体基板20の裏面）には、面状の第1のグランドパターン30bと、面状の第2のグランドパターン31が形成されている。この第2のグランドパターン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

#### 【0030】

一方、第1のグランドパターン30bは、背景技術のように第1のコプレーナ線路のグランドパターンを兼ねることなく、そのグランドパターン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅（誘電体幅）を介して分離されている。

#### 【0031】

さらに、第1のコプレーナ線路の面状グランドパターン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパターン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の面状グランドパターン32との間も相互接続している。

#### 【0032】

その上、第2のコプレーナ線路の上層にある第1のグランドパターン30bと、第2のコプレーナ線路の面状グランドパターン32と、第2のグランドパターン31は、第2のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41（41b）によって、相互に接続されている。

#### 【0033】

以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパターン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41a、第2のコプレーナ線路の面状グランドパターン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグランドパターン30bに向かう経路のみとなる。これにより、第1のグランドパターン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0034】

尚、この効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間が分離されていれば得られるので、分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間

の分離部分を形成する対向辺は図示されているような平行で且つ一定間隔に形成する必要はない。

#### 【0035】

次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパターン30aと第1のグランドパターン30bの間を一定間隔の幅で分離した構成を前提とする。

#### 【0036】

本実施例では、反射特性をより良くする追加条件として、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとの間の分離の程度を以下のように規定している。すなわち、その分離幅は0よりも大きく、かつ、第1の信号線路10の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41bまでの間隔dx以下に規定している。

#### 【0037】

このような条件で本実施例の反射特性の更なる改善を図れる理由について、図2を用いて説明する。図2は、本実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線路10、11を伝わる信号線路側高周波電流経路Cと、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わるグランドパターン側高周波電流経路Dを模式的に表したものである。尚、この図の(a)、(b)、(c)はそれぞれ図1A、図1B、図1Cに対応し、図中のグランドパターン側高周波電流経路Dは、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41aを経由して第2のコプレーナ線路の上層の第1のグランドパターン30bを伝わる様子を示す。この図から分かるように、対向する信号線路とグランドパターンの外周にそれぞれ沿った信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの間には経路長差がある。そして、上記の分離幅を大きくする程、導電性ビア41aとグランドパターン30aの外周の間および/または導電性ビア41bとグランドパターン30bの外周の間が縮まるため、図2中のグランドパターン側高周波電流経路Dの長さは短くなり、信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの経路長差も短くなる。よって、分離幅が大きくなる程、つまり電流経路C、D間の経路長差が短くなる程、前述した(1)式から分かるように、信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの位相差を小さくすることができる。

#### 【0038】

そのため、分離幅の上限を、グランドパターン30a、30b間を最大限分離できる導電性ビア41の間隔dxに設定することにより、反射特性を更に改善することができる。

#### 【0039】

なお、間隔dxは、第1のコプレーナ線路ではなく第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔で規定することになる。また、第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔は、第2のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。

#### 【0040】

ここで、ビア間隔dxの算出法を述べる。

#### 【0041】

本願発明者は、第2のコプレーナ線路の面状グランドパターン32の任意の点から、最寄りの導電性ビアへの最短距離と層厚の和がある所定値以下になるようにすることで、周波数増加に伴う面状グランドパターン32上のインピーダンス偏差の増大が抑制され、その結果として、コプレーナ伝送線路の反射特性が広帯域に渡って改善される旨見いだしている。そこで、この概念に基づいて、ビア間隔dxを規定する式として、式変形も含めて、具体的に以下に記載する。

#### 【0042】

第2のコプレーナ線路における面状グランドパターン32の外周上上の任意の点から最寄りのビア外周までの最短距離をR、導電性ビア41bの外周から第2の信号線路11側の面状グランドパターン32の外周上への最短距離をL3、配線層間の誘電体層20aの厚さをL5、第

2 のコプレーナ線路の実効比誘電率を  $\epsilon_2$ 、伝送信号の真空中における波長を  $\lambda_0$  とした場合、

【0043】

【数2】

$$\left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon_2}} \right) \times (R + L5) < \frac{\pi}{2} \quad \text{すなわち、} R + L5 < \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} \quad \dots (2)$$

【0044】

を満足するよう、ビア間隔  $dx$  を設定する。本実施例では、最も長い最短距離  $R$  は、導電性ビア41の直径を  $\phi$  としたとき、図3により、

【0045】

【数3】

$$R = \sqrt{(L3 + \phi/2)^2 + (dx/2)^2} - \phi/2 \quad \dots (3)$$

【0046】

と表される。

【0047】

上記の(2)式を(3)式に代入して計算すると、ビア間隔  $dx$  が満たすべき式は、

【0048】

【数4】

$$dx < 2 \times \sqrt{\left( \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} + \phi/2 - L5 \right)^2 - (L3 + \phi/2)^2} \quad \dots (4)$$

【0049】

となる。

【0050】

また、上記の分離幅については、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号伝送の際に、グランドパタンを伝わる高周波電流と信号線路を伝わる高周波電流との電気的な経路長差（実効比誘電率で換算した電気長差）が大ききずれない条件が望ましいので、ある信号波長  $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、グランドパタン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

【0051】

具体的には、図1A、1B、1Eに図示したように、第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパタン30の外周辺上への最短距離（つまり導電性ビア41aの外周から、第1の信号線路10側に位置する面状グランドパタン30の外周辺上への最短距離）を  $L1$  とする。

【0052】

さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離を  $L2$  とする。

【0053】

第2のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41bの外周から、第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離を  $L3$  とする。

【0054】

上記の導電性ビア41bの外周から、第1のコプレーナ線路側の第1のグランドパタン30bの外周辺上への最短距離をL4とする。

【0055】

第1のグランドパタン30bと面状グランドパタン32間の誘電体層厚をL5とする。

【0056】

信号線路10, 11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離をL6とする。

【0057】

上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離をL7とする。

【0058】

さらに、導電性ビア41aの外周から第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離をL10とする。

【0059】

以上のように寸法設定したとき、ある信号波長 $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、図2に示した2つの電流経路C, Dを通る各高周波電流の位相が反転しない範囲は、

【0060】

【数5】

$$\left[ \sqrt{\epsilon_1} \times \left\{ 2 \times \left( \frac{\phi}{2} + L10 \right) + L1 \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times L5 + L2 + 2 \times L3 + dx + 2 \times \left( L4 + \frac{\phi}{2} \right) \right\} \right] - \left[ \sqrt{\epsilon_1} \times L6 + \sqrt{\epsilon_2} \times (L5 + L7 + dx) \right] < \frac{\lambda_0}{2}$$

【0061】

すなわち、

【0062】

【数6】

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + \phi + L10 \times 2 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5 \} < \frac{\lambda_0}{2} \cdots (5)$$

【0063】

と規定することができる。但し、 $\epsilon_1$ は第1のコプレーナ線路の実効比誘電率、 $\epsilon_2$ は第2のコプレーナ線路の実効比誘電率、 $\phi$ は導電性ビア41の直径を表す。

【0064】

よって、本実施例では、この式(5)を満足するように、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとの間を分離することが望ましい。

【0065】

次に、本実施例による反射特性について述べる。

【0066】

反射特性を検証するにあたって、以下の数値条件とした。誘電体基板20には、比誘電率7.1のLTCC(Low temperature co-fired ceramic)基板からなる3層配線板を用いる。この誘電体基板20の第1および第2の誘電体層20a, 20bは同一材料で、各誘電体層厚L5を250 [ $\mu\text{m}$ ]、導体厚を15 [ $\mu\text{m}$ ]とする。さらに、第1の信号線路10の信号幅を150 [ $\mu\text{m}$ ]、第1の信号線路10と面状グランドパタン30aのギャップ間隔を66 [ $\mu\text{m}$ ]、第2の信号線路11の信号線路幅を100 [ $\mu\text{m}$ ]、第2の信号線路11と面状グランドパタン32のギャップ間隔を120 [ $\mu\text{m}$ ]、導電性ビア40の直径を100 [ $\mu\text{m}$ ]、導電性ビア41の直径 $\phi$ を150 [ $\mu\text{m}$ ]、複数の導電性ビア41の信号伝送方向に沿った全てのビア間隔を500 [ $\mu\text{m}$ ]とする。また、導電性ビア41aの外周から第1の信号線路10側の面状グランドパタン30aの外周辺上への最短距離L1を135 [ $\mu\text{m}$ ]とする。導電性ビア41aの外周から第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離L2を106 [ $\mu\text{m}$ ]とする。導電

性ビア41bの外周から第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離 $L_3$ を106 [ $\mu\text{m}$ ] とする。

#### 【0067】

このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300 [ $\mu\text{m}$ ] で分離した場合を考える。

#### 【0068】

この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパタン30bの外周辺上への最短距離 $L_4$ は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離 $L_6$ は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離 $L_7$ は0 [ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離 $L_{10}$ は25 [ $\mu\text{m}$ ] となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.723、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

#### 【0069】

以上の数値条件を上記の式(5)に代入すると、その左辺は、

$$\sqrt{3.723} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ = 2645 [\mu\text{m}]$$

となる。

#### 【0070】

よって、本実施例では、 $2645 [\mu\text{m}] < \lambda_0/2$ を満足するように、第1配線層にある面状グランドパタン30aと第1のグランドパタン30bを分離している。

#### 【0071】

ここで、周波数は次式(6)より導き出すことができる。

#### 【0072】

$$c = f \cdot \lambda_0 \quad \text{すなわち、} \quad f = c / \lambda_0 \quad \dots (6)$$

(但し、 $c$ は光速で $3.0 \times 10^8 \text{ m/s}$ 、 $f$ は周波数とする。)

$2645 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2645 \times 10^{-6}$ とすると、上記式(6)より、 $f = 57 \times 10^9 [\text{Hz}] = 57 [\text{GHz}]$ が算出される。

#### 【0073】

つまり、300 [ $\mu\text{m}$ ] の分離幅の場合、 $2645 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は57 [GHz] 未満であり、57 [GHz] 程度まで反射特性を改善できる分離幅を設定していることになる。

#### 【0074】

また、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の第1のグランドパタン30bとが分離されていない比較例と、これらのグランドパタン30a、30bを導電性ビア41a、41bの中間において、300 [ $\mu\text{m}$ ] のスリット状の分離幅で分離した本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。この電磁界解析結果を図4に示す。この図から分かるように、低周波域から60 [GHz] 付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。

#### 【0075】

尚、第2のコプレーナ線路に形成された複数の導電性ビア41の間隔 $d_x$ を満たすべき範囲は、前述した式(4)において $\phi = 150 [\mu\text{m}]$ 、 $L_3 = 106 [\mu\text{m}]$ 、 $L_5 = 250 [\mu\text{m}]$ 、 $\epsilon_2 = 7.1$ 、 $\lambda_0 = 5450 [\mu\text{m}]$ を代入すると、 $d_x < 568 [\mu\text{m}]$ となる。しかし、複数の導電性ビア41の信号伝送方向に沿ったビア間隔 $d_x$ は500 [ $\mu\text{m}$ ] が設計においてリーズナブルな値であるため、実施例の解析では、 $d_x = 500 [\mu\text{m}]$ としている。

#### 【0076】

さらに、図5に、本実施例において、上記の分離幅を変えた場合の電磁界解析結果を示す。この図から分かるように、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から55 [GHz] 付近までは比較例と比べてスリット幅 $100\mu\text{m}$ の方が低く抑えられ、またスリット幅 $300\mu\text{m}$ の場合は低周波域から60 [GHz] 付近まで比較例よりも低く抑えられている。

#### 【0077】

以上説明した第1の実施例の技術思想は以下の実施例にも反映できるものである。

#### 【0078】

(第2の実施例)

図6A～6Hは、本発明の第2の実施例による高周波基板の構成を示したものである。詳しく言うと、図6Aは本実施例の高周波基板の第1配線層を示す平面図、図6Bはその第2配線層の平面図、図6Cはその第3配線層の平面図である。図6Dは図6AのA-A'における基板断面図、図6Eは図6AのB-B'における基板断面図、図6Fは図6AのC-C'における基板断面図、図6Gは図6AのD-D'における基板断面図、図6Hは図6AのE-E'における基板断面図である。なお、各図において、図12A～図12Dに示される構成要素と同じ機能部位には同一符号を用いている。

#### 【0079】

本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図6A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図6B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a, 32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

#### 【0080】

第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

#### 【0081】

第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグランドパターン30bと、面状の第2のグランドパターン31が形成されている。この第2のグランドパターン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

#### 【0082】

一方、第1のグランドパターン30bは、背景技術のように第1のコプレーナ線路のグランドパターンを兼ねることなく、そのグランドパターン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

#### 【0083】

さらに、第1のコプレーナ線路の面状グランドパターン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパターン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の面状グランドパターン32との間も相互接続している。

#### 【0084】

その上、第2のコプレーナ線路の上層にある第1のグランドパターン30bと、第2のコプレーナ線路の下層にある第2のグランドパターン31とが、第2の信号線路11の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。

レーナ線路の面状グランドパタン32と、第2のグランドパタン31は、第2のコプレーナ線路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41 (41b) によって、相互に接続されている。

#### 【0085】

以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第1の信号線路10と面状グランドパタン30aを備える第1のコプレーナ線路に対向する領域で、且つ、第2のコプレーナ線路の面状グランドパタン32と同じ層に、グランドパタン50を備えている。このグランドパタン50は、第1のコプレーナ線路の面状グランドパタン30aと第2のグランドパタン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

#### 【0086】

このグランドパタン50は、背景技術のように第2のコプレーナ線路の面状グランドパタンを兼ねることなく、そのグランドパタン32とは分かれている。詳しくは、第2のコプレーナ線路の面状グランドパタン32と、第1のコプレーナ線路の下層のグランドパタン50とが、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、所定の幅（誘電体幅）を介して分離されている。

#### 【0087】

以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の上層の第1のグランドパタン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパタン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパタン30aから導電性ビア41a、第2のコプレーナ線路の面状グランドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグランドパタン30bに向かう経路のみとなる。これにより、第1のグランドパタン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0088】

さらに、本実施例では、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、第2のコプレーナ線路の面状グランドパタン32と、第1のコプレーナ線路の下層のグランドパタン50とが、所定の幅（誘電体幅）を介して分離されている。そのため、仮に第2のコプレーナ線路から第1のコプレーナ線路へ信号を伝送したとしても、第1のコプレーナ線路の下層のグランドパタン50に伝わる高周波電流経路が一つに限定される。つまり、第1のコプレーナ線路への信号伝送時にグランドパタン50に伝わる高周波電流経路は、第2のコプレーナ線路の面状グランドパタン32から導電性ビア41a、第1のコプレーナ線路の面状グランドパタン30a、信号伝送方向に沿った次の導電性ビア41cを順次経由してグランドパタン50に向かう経路のみとなる。これにより、グランドパタン50に伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0089】

つまり、本実施例によれば、第1のコプレーナ線路と第2のコプレーナ線路の間の信号伝送方向が高周波基板の適用状態に応じて変更されても、良好な反射特性を維持することが可能となる。

#### 【0090】

尚、このような効果は、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとの間、ならびに第2のコプレーナ線路の面状グランドパタン32と第1のコプレーナ線路の下層のグランドパタン50との間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパ

タン30aと第1のグランドパターン30bの間、ならびに面状グランドパターン32とグランドパターン50の間の分離部分を形成する対向辺は、図示されているような平行で且つ一定間隔に形成されている必要はない。

#### 【0091】

次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパターン30aと第1のグランドパターン30bの間、ならびに面状グランドパターン32とグランドパターン50の間の一定間隔の幅で分離した構成を前提とする。

#### 【0092】

本実施例では、反射特性をより良くする追加条件として、面状グランドパターン30aと第1のグランドパターン30bとの間の第1の分離幅、ならびに、面状グランドパターン32とグランドパターン50との間の第2の分離幅について以下のように規定している。

#### 【0093】

すなわち、上記の第1の分離幅の上限は、第2のコプレーナ線路にて形成されている導電性ビア41の間隔（導電性ビア41a、41bの配列間隔）に規定され、その理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

#### 【0094】

一方、上記の第2の分離幅についても、第1の分離幅の規定方法と同じ考え方を採り、第1のコプレーナ線路にて形成されている導電性ビア41の間隔（導電性ビア41a、41cの配列間隔）に規定される。つまり、第2の分離幅は0よりも大きく、かつ、第2の信号線路11の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41cまでの間隔以下に規定している。また、第1のコプレーナ線路にて形成されている導電性ビア41a、41c等の配列間隔は、第1のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。この値については詳述しないが、第1の実施例で説明した算出法と同じ考え方を用いて求めることができる。

#### 【0095】

また、上記の第1および第2の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、あるコプレーナ線路から他のコプレーナ線路への信号伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電気的な経路長差（実効比誘電率で換算した電気長差）が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に、第1および第2の分離幅を規定する。この考え方による第1の分離幅の規定方法については第1の実施例に説明したので、ここでは第2の分離幅の規定方法について説明する。

#### 【0096】

まず、図6A、6B、6Eに図示したように、第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパターン30の外周辺上への最短距離を $L_1$ とする。

#### 【0097】

さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパターン32の外周辺上への最短距離を $L_2$ とする。

#### 【0098】

第1のグランドパターン30bと面状グランドパターン32間の誘電体層厚を $L_5$ とする。

#### 【0099】

信号線路10、11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離を $L_6$ とする。

#### 【0100】

上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離を $L_7$ とする。

#### 【0101】

第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41cの外周から、第1の信号線路10側の面状グランドパタン30aの外周辺上への最短距離をL8とする。

【0102】

上記の導電性ビア41cの外周から、第2のコプレーナ線路側のグランドパタン50の外周辺上への最短距離をL9とする。

【0103】

上記の導電性ビア41aの外周から、第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離をL10とする。

【0104】

上記の導電性ビア41aの外周から、グランドパタン50側の面状グランドパタン32の外周辺上への最短距離をL11とする。

【0105】

そして、導電性ビア41a、41cの間隔をdx2とする。

【0106】

以上のように寸法設定したとき、ある信号波長λ0（所望の信号帯域の最小波長（最大周波数））において、信号線路10、11を伝わる信号線路側高周波電流経路と、第2のコプレーナ線路の面状グランドパタン32から導電性ビア41aを経由して第1のコプレーナ線路の下層のグランドパタン50を伝わるグランドパタン側高周波電流経路とを通る各高周波電流の位相が反転しない範囲は、

【0107】

【数7】

$$\left[ \sqrt{\epsilon_1} \times \left\{ L1 + dx + 2 \times L8 + L5 + 2 \times \left( \frac{\phi}{2} + L9 \right) \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times \left( L11 + \frac{\phi}{2} \right) + L2 + L5 \right\} \right] - \left[ \sqrt{\epsilon_1} \times (L6 + dx) + \sqrt{\epsilon_2} \times (L5 + L7) \right] < \frac{\lambda_0}{2}$$

【0108】

すなわち、

【0109】

【数8】

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + 2 \times L11 + \phi \} < \frac{\lambda_0}{2}$$

【0110】

と規定することができる。

【0111】

よって、本実施例では、この式(7)を満足するように、第2のコプレーナ線路の面状グランドパタン32と、第1のコプレーナ線路の下層のグランドパタン50との間を分離することが望ましい。

【0112】

次に、本実施例による反射特性について述べる。

【0113】

反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層のグランドパタン50が備えられているため、第1の信号線路10と面状グランドパタン30aのギャップ間隔を78[μm]に変更した。尚、導電性ビア41cの外周から第1の信号線路10側の面状グランドパタン30aの外周辺上への最短距離L8は距離L1と同じ135[μm]である。

【0114】

このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300[μm]

」で分離する。さらに、第2のコプレーナ線路の面状グランドパターン32と、第1のコプレーナ線路の下層のグランドパターン50とを、導電性ビア41aと導電性ビア41cの中間において、スリット状の分離幅300 [ $\mu\text{m}$ ] で分離する。

#### 【0115】

この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパターン30bの外周辺上への最短距離 $L_4$ は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離 $L_6$ は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離 $L_7$ は0 [ $\mu\text{m}$ ]となる。さらに、導電性ビア41cの外周から第2のコプレーナ線路側のグランドパターン50の外周辺上への最短距離 $L_9$ は25 [ $\mu\text{m}$ ]となる。導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離 $L_{10}$ は25 [ $\mu\text{m}$ ]となる。導電性ビア41aの外周から、グランドパターン50側の面状グランドパターン32の外周辺上への最短距離 $L_{11}$ は25 [ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

#### 【0116】

このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ = 2658 [\mu\text{m}]$$

となる。

#### 【0117】

よって、本実施例では、 $2658 [\mu\text{m}] < \lambda_0/2$ を満足するように、第1配線層にある面状グランドパターン30aと第1のグランドパターン30bを分離している。 $2658 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2658 \times 10^{-6}$ とすると、第1の実施例で説明した式(6)より、 $f = 56 \times 10^9 [\text{Hz}] = 56 [\text{GHz}]$ が算出される。つまり、上記第1の分離幅が300 [ $\mu\text{m}$ ]である場合、 $2658 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は56 [GHz]未満であり、56 [GHz]程度まで反射特性を改善できる第1の分離幅を設定していることになる。

#### 【0118】

さらに、上記のような数値条件を、第2の分離幅を規定する上記の式(7)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 2 \times 135 + 250 + 150 + 2 \times 25\} + \sqrt{7.1} \times \{(106 - 0) + 2 \times 25 + 150\} \\ = 2453 [\mu\text{m}]$$

となる。

#### 【0119】

よって、本実施例では、 $2453 [\mu\text{m}] < \lambda_0/2$ を満足するように、第2配線層にある面状グランドパターン32とグランドパターン50を分離している。 $2453 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2453 \times 10^{-6}$ とすると、上記式(6)より、 $f = 61 \times 10^9 [\text{Hz}] = 61 [\text{GHz}]$ が算出される。つまり、上記第2の分離幅が300 [ $\mu\text{m}$ ]である場合、 $2453 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は61 [GHz]未満であり、61 [GHz]程度まで反射特性を改善できる第2の分離幅を設定していることになる。

#### 【0120】

また、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように300 [ $\mu\text{m}$ ]のスリット状の分離幅でグランドパターン30a、30b間およびグランドパターン32、50間を分離したものとした。

#### 【0121】

この電磁界解析結果を図7に示す。この図から分かるように、低周波域から60 [GHz] 付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。さらに、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、図7にて反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から53 [GHz] 付近までは比較例と比べてスリット幅 $100\mu\text{m}$ の方が低く抑えられ、またスリット幅 $300\mu\text{m}$ の場合は低周波域から60 [GHz] 付近まで比較例よりも低く抑えられている。

#### 【0122】

##### (第3の実施例)

図8A～8Hは、本発明の第3の実施例による高周波基板の構成を示したものである。詳しく言うと、図8Aは本実施例の高周波基板の第1配線層を示す平面図、図8Bはその第2配線層の平面図、図8Cはその第3配線層の平面図である。図8Dは図8AのA-A'における基板断面図、図8Eは図8AのB-B'における基板断面図、図8Fは図8AのC-C'における基板断面図、図8Gは図8AのD-D'における基板断面図、図8Hは図8AのE-E'における基板断面図である。なお、各図において、図12A～図12Dに示される構成要素と同じ機能部位には同一符号を用いている。

#### 【0123】

本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図8A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパタン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図8B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパタン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパタン30a, 32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

#### 【0124】

第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

#### 【0125】

第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグランドパタン30bと、面状の第2のグランドパタン31が形成されている。この第2のグランドパタン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

#### 【0126】

一方、第1のグランドパタン30bは、背景技術のように第1のコプレーナ線路のグランドパタンを兼ねることなく、そのグランドパタン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の上層の第1のグランドパタン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

#### 【0127】

さらに、第1のコプレーナ線路の面状グランドパタン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパタン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の面状グランドパタン32との間も相互接続している。

#### 【0128】

その上、第2のコプレーナ線路の上層にある第1のグランドパタン30bと、第2のコプレーナ線路の面状グランドパタン32と、第2のグランドパタン31は、第2のコプレーナ線

路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41 (41b) によって、相互に接続されている。

#### 【0129】

以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第2のコプレーナ線路の面状グランドパターン32が、第1のコプレーナ線路に対向する領域全体にも形成され、第1のコプレーナ線路の下層グランドを兼ねている。つまり、面状グランドパターン32は、第2の信号線路11を挟む両側位置に形成されているだけでなく、第1のコプレーナ線路が形成されている領域と対向する領域にも形成されている。また、第2の実施例と比較した場合は、図6Bに示した第1のコプレーナ線路の下層のグランドパターン50と、これと同層の第2のコプレーナ線路の面状グランドパターン32とが分離されず、連続した一つのグランドパターンに形成されたものになっている。

#### 【0130】

第1のコプレーナ線路の下層グランドを兼ねる第2のコプレーナ線路の面状グランドパターン32は、第1のコプレーナ線路の面状グランドパターン30aと第2のグランドパターン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

#### 【0131】

以上のような高周波基板の高周波伝送線路では、第1の実施例と同様、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わる高周波電流経路が一つに限定される。これにより、第1のグランドパターン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0132】

尚、このような効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間の分離部分を形成する対向辺は、図示されているような平行で且つ一定間隔に形成する必要はない。

#### 【0133】

また、本実施例のように面状グランドパターン30aと第1のグランドパターン30bの間を一定間隔の幅で分離した構成では、面状グランドパターン30aと第1のグランドパターン30bとの間の分離幅の上限を、第2のコプレーナ線路にて形成されている導電性ビア41の間隔（導電性ビア41a、41bの配列間隔）に規定することにより、反射特性の更なる改善が得られる。この理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

#### 【0134】

また、上記の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差（実効比誘電率で換算した電気長差）が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

#### 【0135】

具体的には、第1の実施例で説明した式（5）を満足するように、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとの間を分離している。

#### 【0136】

この分離幅の規定方法については第1の実施例に説明したので、ここでは割愛する。

#### 【0137】

次に、本実施例による反射特性について述べる。

【0138】

反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層にグランドパタンが備えられているため、第1の信号線路10と面状グランドパタン30aのギャップ間隔を78 [ $\mu\text{m}$ ]に変更した。

【0139】

このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300 [ $\mu\text{m}$ ]で分離する。

【0140】

この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパタン30bの外周辺上への最短距離L4は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離L6は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離L7は0 [ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離L10は25 [ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

【0141】

このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ = 2658 [\mu\text{m}]$$

となる。

【0142】

よって、本実施例では、2658 [ $\mu\text{m}$ ]  $< \lambda_0/2$ を満足するように、第1配線層にある面状グランドパタン30aと第1のグランドパタン30bを分離している。つまり、分離幅が300 [ $\mu\text{m}$ ]である場合、第1の実施例で説明した式(6)より、2658 [ $\mu\text{m}$ ]  $< \lambda_0/2$ を満たす周波数範囲は56 [GHz]未満であり、56 [GHz]程度まで反射特性を改善できる分離幅を設定していることになる。

【0143】

また、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように300 [ $\mu\text{m}$ ]のスリット状の分離幅でグランドパタン30a、30b間を分離し、かつ、第2のコプレーナ線路の面状グランドパタン32が第1のコプレーナ線路の下層グランドを兼ねるものとした。

【0144】

この電磁界解析結果を図9に示す。この図から分かるように、低周波域から60 [GHz]付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。

【0145】

(その他の実施例)

上記の各実施例では、異なる層間を接続する手段として導電性ビアを用いているが、その限りではなく、スルーホール等のように、導電性を有する電氣的な接続手段であれば適用可能である。また、3層配線板の場合について説明したが、3層以上の多層配線板についても適用可能あり、また、第1の信号線路10およびグランドパタン30a、30bが誘電体基板20の内部にある構成においても適用可能である。

【0146】

また、各実施例を示す図において、第1の信号線路10と第2の信号線路11は直線上

でなくとも、多少ずれていても構わない。また、この場合、第1のコプレーナ線路の面状グラウンドパタン30aと第2のコプレーナ線路の上層の第1のグラウンドパタン30bとの間の分離幅を規定する対向辺や、第2のコプレーナ線路の面状グラウンドパタン32と第3のグラウンドパタン50との間の分離幅を規定する対向辺については、必ずしも一定間隔に形成されていなくてもよい。

#### 【0147】

また、各実施例に基づく本発明の高周波基板は、例えば携帯電話装置、PDA(Personal Digital Assistant) 端末およびその他多くの電子機器に組み込まれる高周波モジュールの基板として適用することができる。

#### 【0148】

例えば、高周波モジュールは、図10および図11に示すように、誘電体基板20に窪みを設けて、クロック信号により動作する電子装置であるLSIチップ60を収容し、誘電体基板20の表面に形成された第1のコプレーナ線路の第1の信号線路10とボンディングワイヤー70によって電気接続した後、蓋80でLSIチップ60を覆うことで得られる。但し、図10は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、これと同じ誘電体基板20の表面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。また、図11は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、誘電体基板20の裏面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。

#### 【0149】

いずれの構造においても、導電性ビア40で接続された第1のコプレーナ線路から第2のコプレーナ線路への配線方向において、第1のコプレーナ線路の面状グラウンドパタン(不図示)が、これと同一層の第1のグラウンドパタン30または第2のグラウンドパタン31から分離されていることを特徴とする。尚、図10および図11に示される形態ではLSIチップ60を高周波基板に埋め込んでいるが、本発明の高周波モジュールはこれらの形態に限定されない。したがって、用途に応じて、LSIチップを配線基板にフリップチップ接続方式やワイヤーボンディング方式等で表面実装してもよい。また、蓋80を使用しないで、モールド樹脂でLSIチップ60を封止する形態でも構わない。

#### 【0150】

以上のように本発明の高周波基板および、これを用いた高周波モジュールについて幾つかの実施例を示して説明したが、本願発明はこれらの実施例に限定されるものではなく、その技術思想を逸脱しない範囲で種々変更して実施することが可能であることは言うまでもない。

#### 【図面の簡単な説明】

#### 【0151】

【図1A】 第1の実施例の高周波基板の第1配線層を示す平面図。

【図1B】 第1の実施例の高周波基板の第2配線層を示す平面図。

【図1C】 第1の実施例の高周波基板の第3配線層を示す平面図。

【図1D】 図1AのA-A'における高周波基板の断面図。

【図1E】 図1AのB-B'における高周波基板の断面図。

【図1F】 図1AのC-C'における高周波基板の断面図。

【図1G】 図1AのD-D'における高周波基板の断面図。

【図1H】 図1AのE-E'における高周波基板の断面図。

【図2】 第1の実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線路側高周波電流経路とグラウンドパタン側高周波電流経路を模式的に表した図。

【図3】 第1の実施例の高周波伝送線路構造において信号伝送方向に沿って配置された導電性ビアの間隔範囲を説明するための図である。

【図4】 比較例と第1の実施例の入力反射特性の比較を行った電磁界解析結果を示す

図。

【図 5】第 1 の実施例にて分離幅を変えて入力反射特性の比較を行った電磁界解析結果を示す図。

【図 6 A】第 2 の実施例の高周波基板の第 1 配線層を示す平面図。

【図 6 B】第 2 の実施例の高周波基板の第 2 配線層を示す平面図。

【図 6 C】第 2 の実施例の高周波基板の第 3 配線層を示す平面図。

【図 6 D】図 6 A の A-A' における高周波基板の断面図。

【図 6 E】図 6 A の B-B' における高周波基板の断面図。

【図 6 F】図 6 A の C-C' における高周波基板の断面図。

【図 6 G】図 6 A の D-D' における高周波基板の断面図。

【図 6 H】図 6 A の E-E' における高周波基板の断面図。

【図 7】比較例と第 2 の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

【図 8 A】第 3 の実施例の高周波基板の第 1 配線層を示す平面図。

【図 8 B】第 3 の実施例の高周波基板の第 2 配線層を示す平面図。

【図 8 C】第 3 の実施例の高周波基板の第 3 配線層を示す平面図。

【図 8 D】図 8 A の A-A' における高周波基板の断面図。

【図 8 E】図 8 A の B-B' における高周波基板の断面図。

【図 8 F】図 8 A の C-C' における高周波基板の断面図。

【図 8 G】図 8 A の D-D' における高周波基板の断面図。

【図 8 H】図 8 A の E-E' における高周波基板の断面図。

【図 9】比較例と第 3 の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

【図 10】本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した断面図。

【図 11】本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した断面図。

【図 12 A】特許文献 1 に開示される高周波基板の全体斜視図。

【図 12 B】図 12 A の高周波基板の第 2 の誘電体層部分の斜視図。

【図 12 C】図 12 A の高周波基板の裏面導体パタンの上面図。

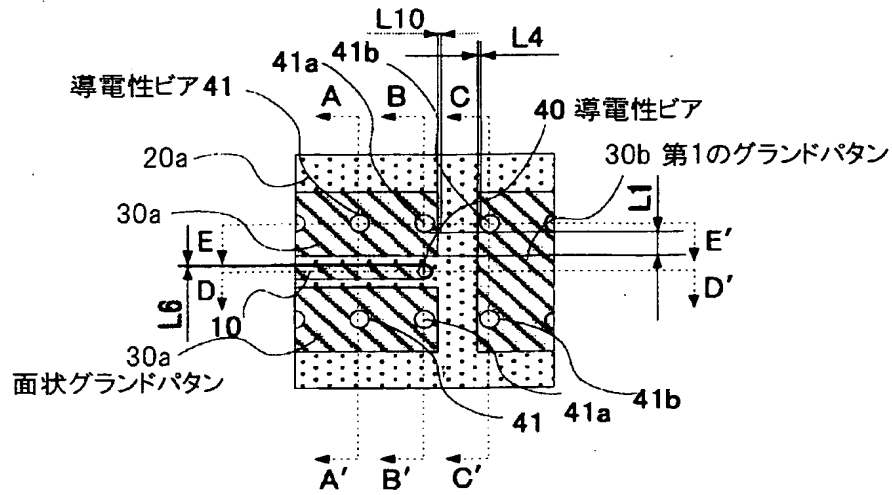
【図 12 D】図 12 A に示す高周波基板の、伝送信号方向に沿った X-X 断面図。

#### 【符号の説明】

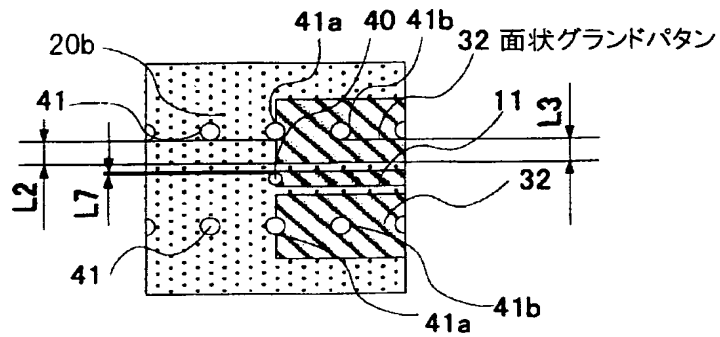
##### 【0152】

- 10 第 1 のコプレーナ線路の第 1 の信号線路
- 11 第 2 のコプレーナ線路の第 2 の信号線路
- 20 誘電体基板
  - 20 a 第 1 の誘電体層
  - 20 b 第 2 の誘電体層
- 30 a 第 1 のコプレーナ線路の面状グランドパターン
- 30 b 第 2 のコプレーナ線路の上層の第 1 のグランドパターン
- 31 第 2 のコプレーナ線路の下層の第 2 のグランドパターン
- 32 第 2 のコプレーナ線路の面状グランドパターン
- 40、41、41 a、41 b、41 c 導電性ビア
- 50 第 1 のコプレーナ線路の下層のグランドパターン
- 60 LSI チップ
- 70 ボンディングワイヤー
- 80 蓋

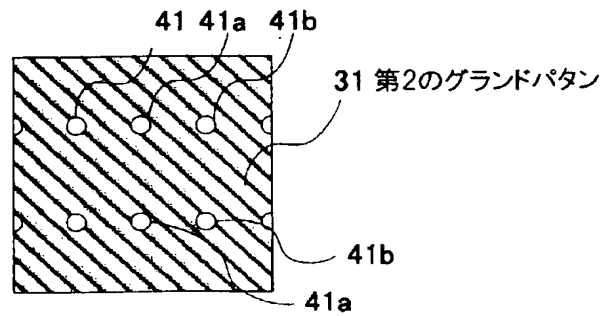
【書類名】 図面  
【図 1 A】



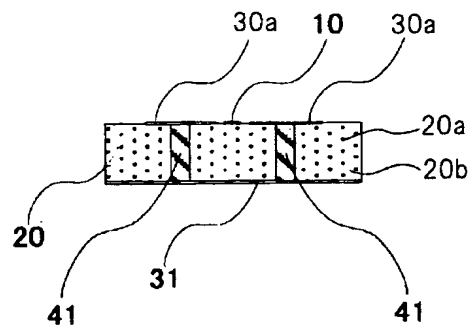
【図 1 B】



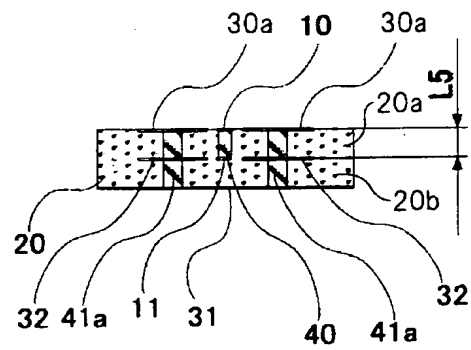
【図 1 C】



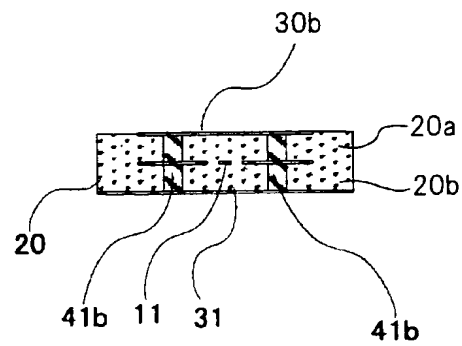
【図 1 D】



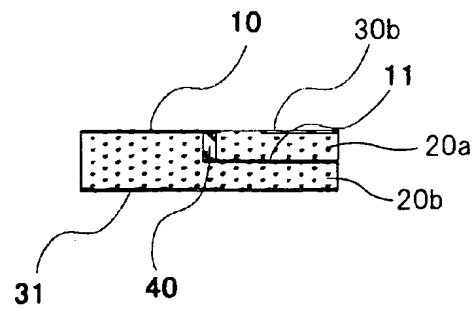
【図 1 E】



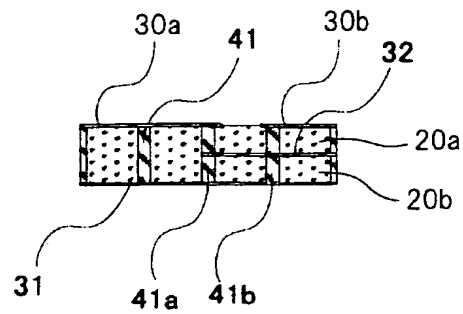
【図 1 F】



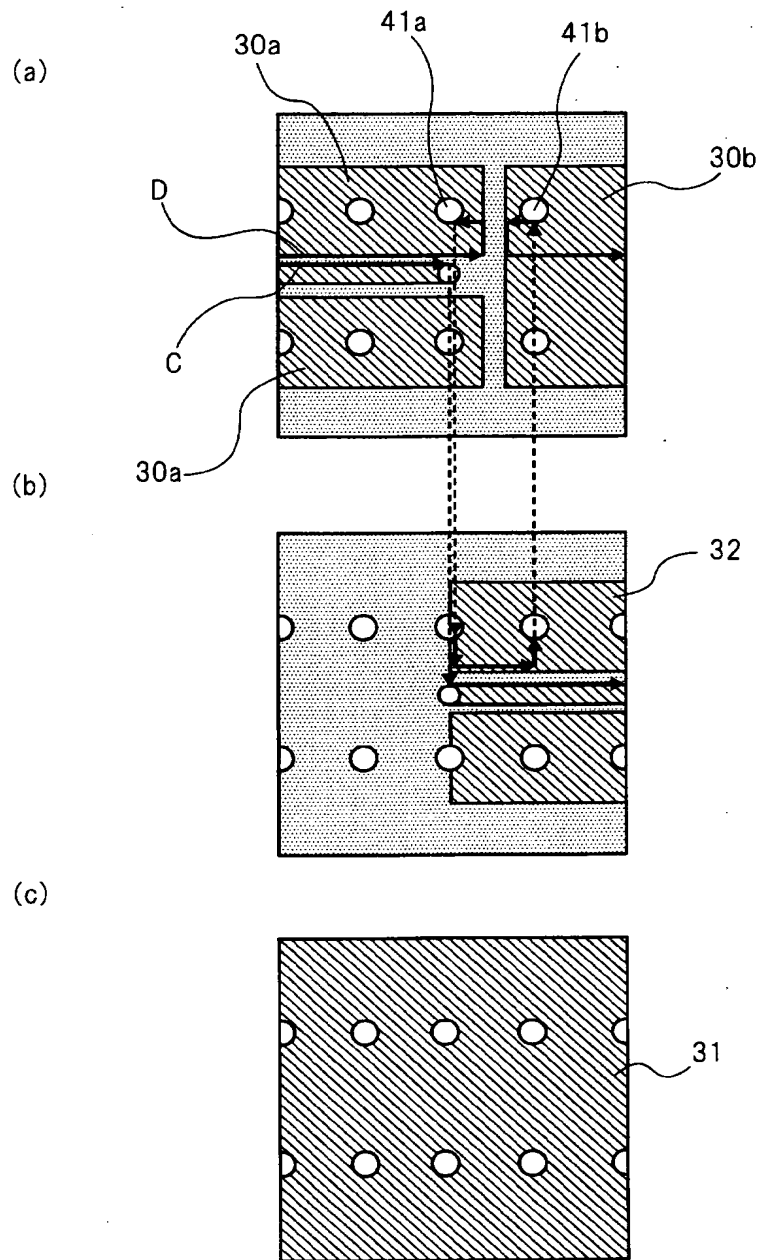
【図 1 G】



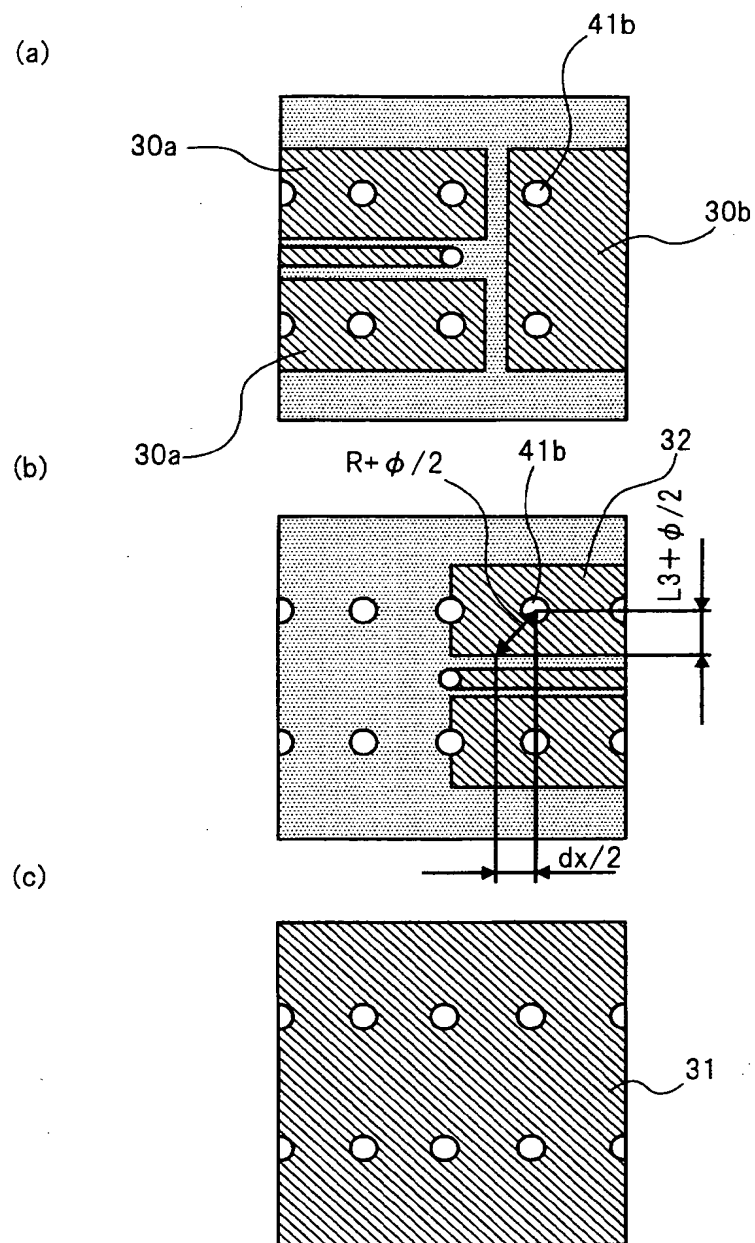
【図 1 H】



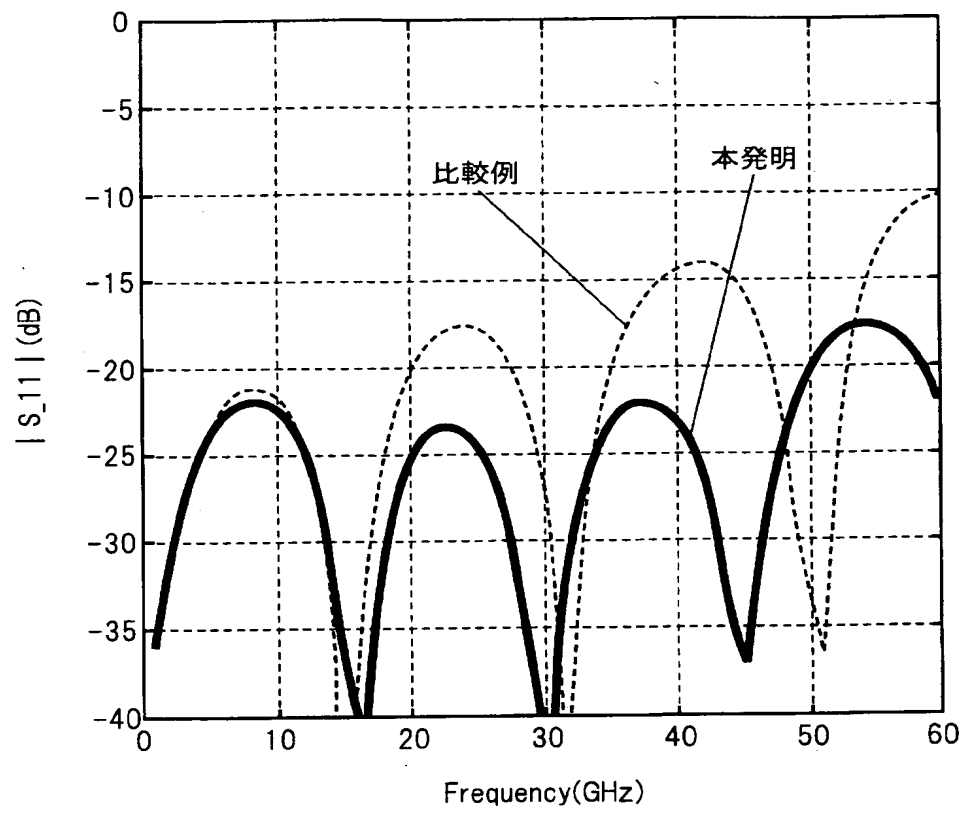
【図 2】



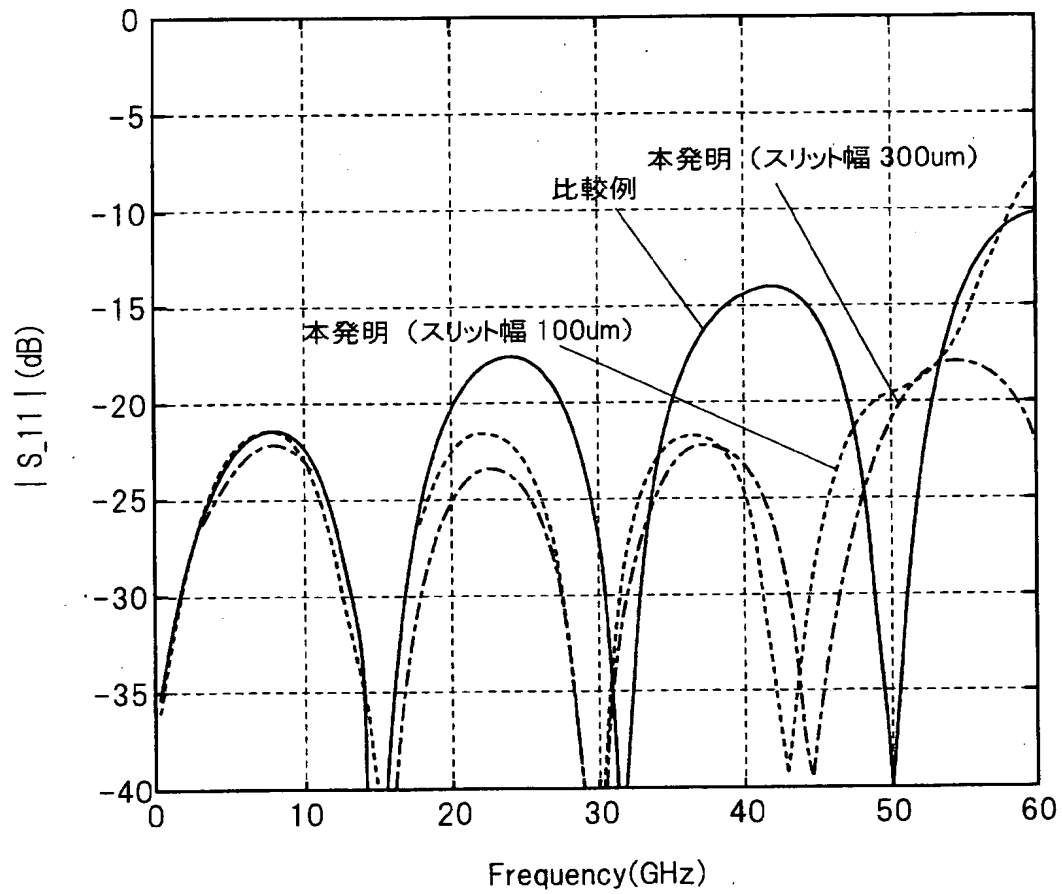
【図 3】



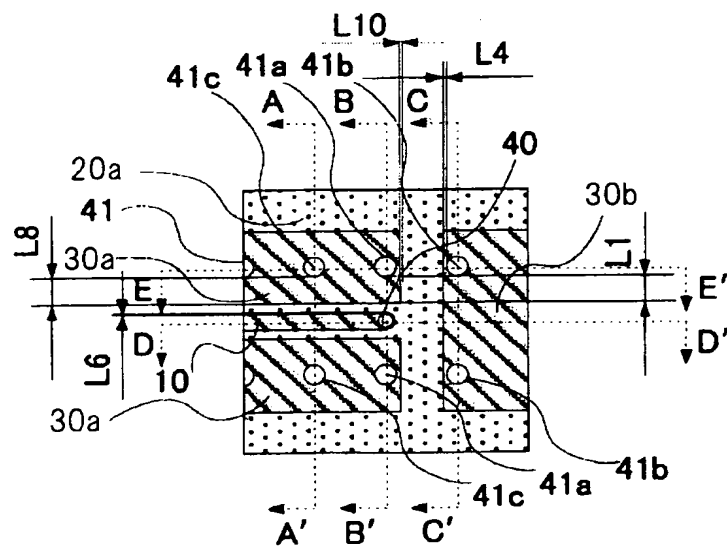
【図 4】



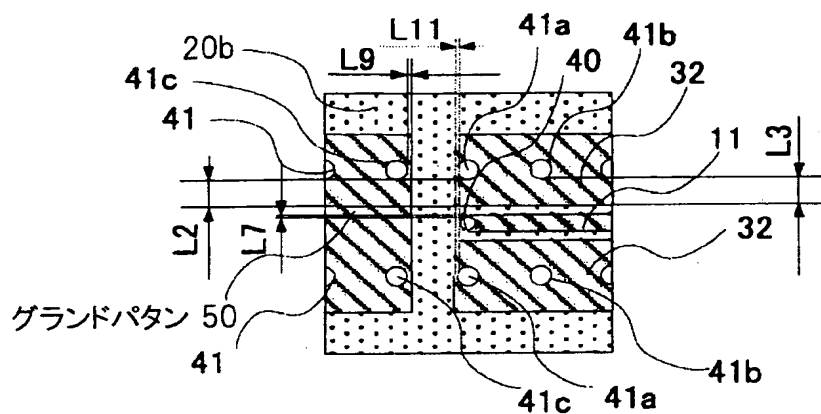
【図 5】



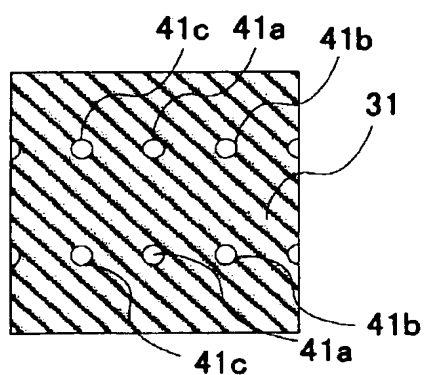
【図 6 A】



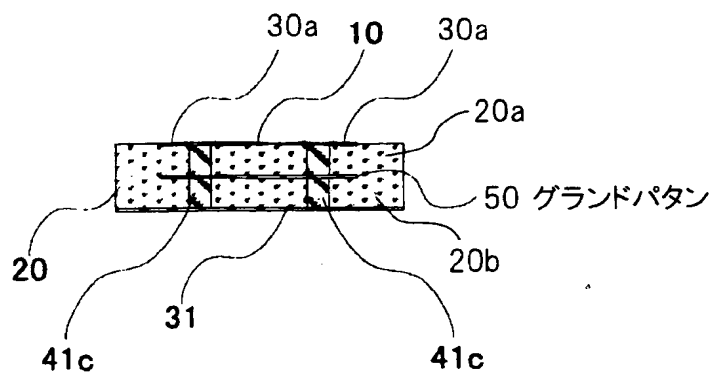
【図 6 B】



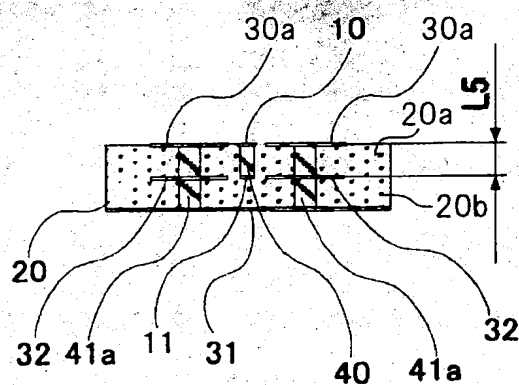
【図 6 C】



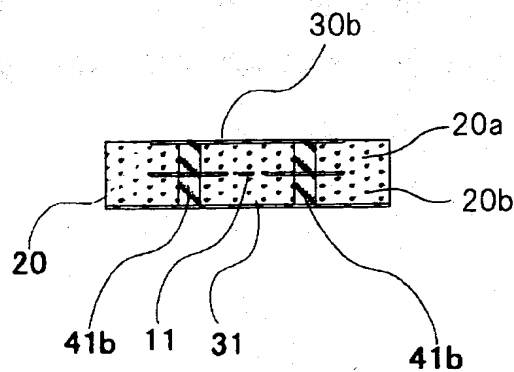
【図 6 D】



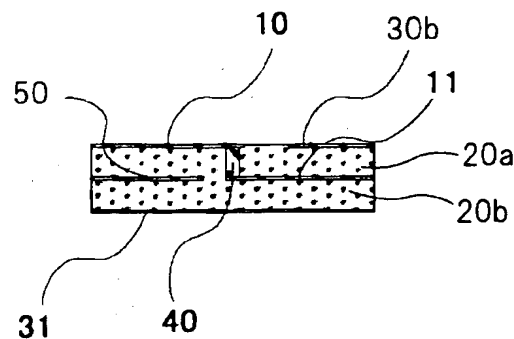
【図 6 E】



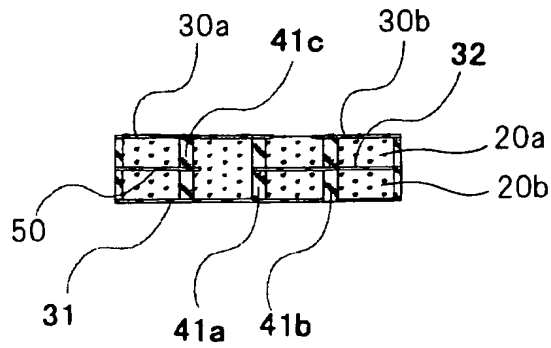
【図 6 F】



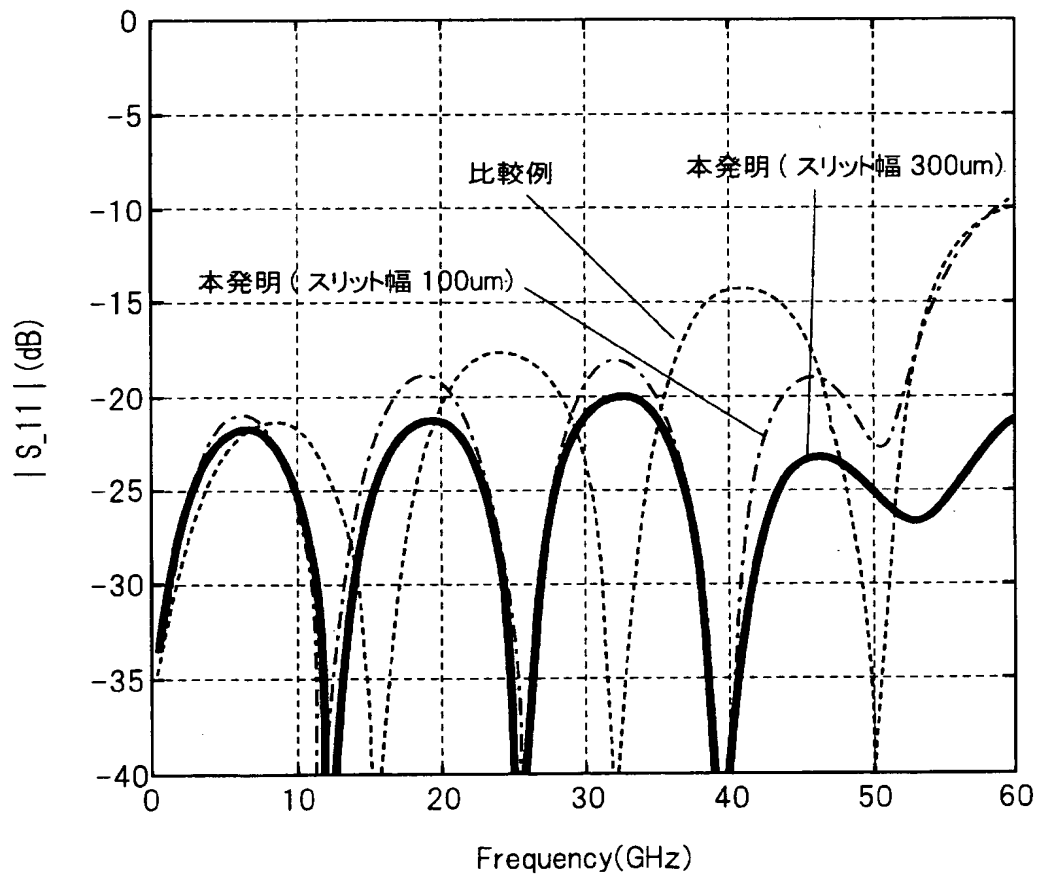
【図 6 G】



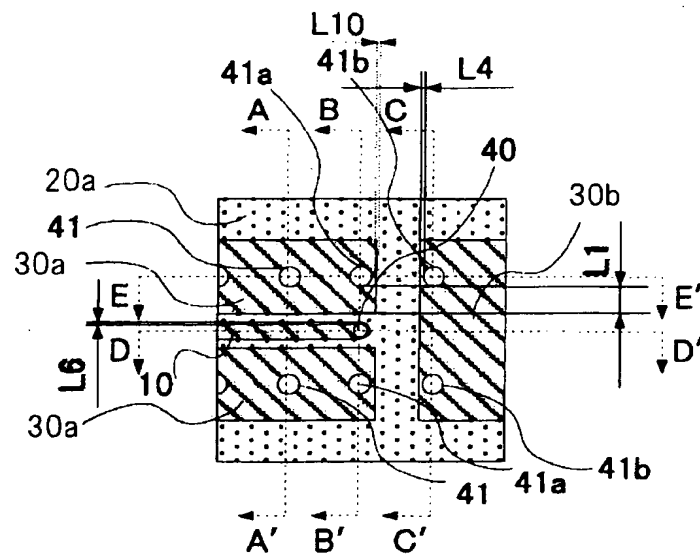
【図 6 H】



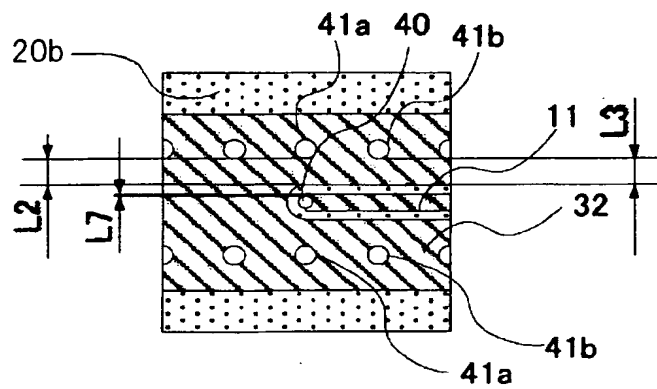
【図 7】



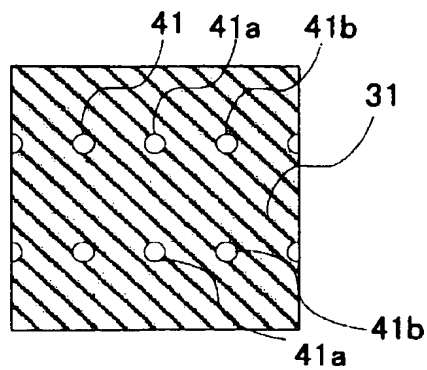
【図 8 A】



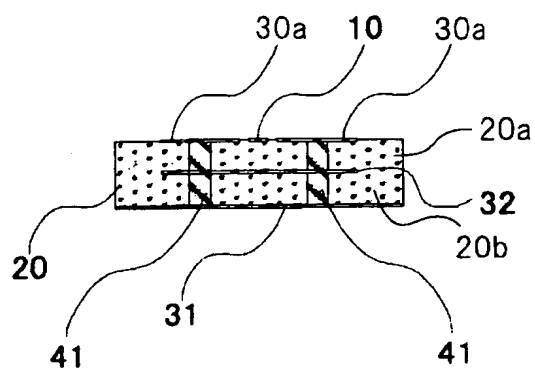
【図 8 B】



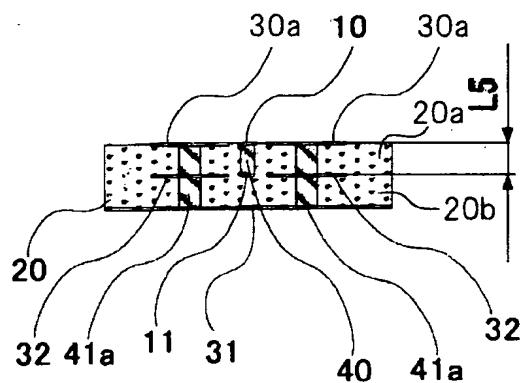
【図 8 C】



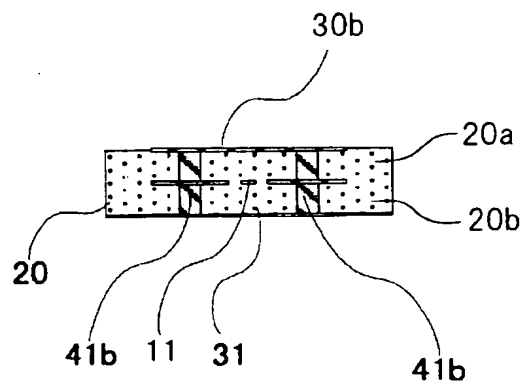
【図 8 D】



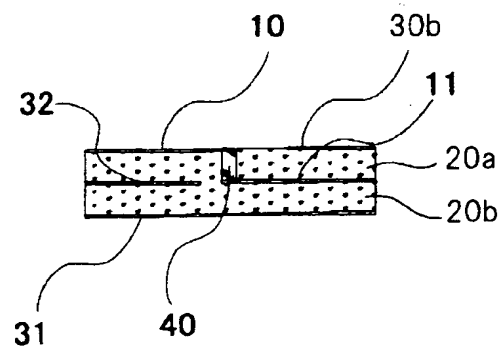
【図 8 E】



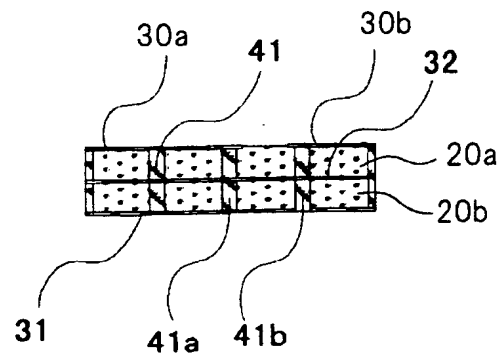
【図 8 F】



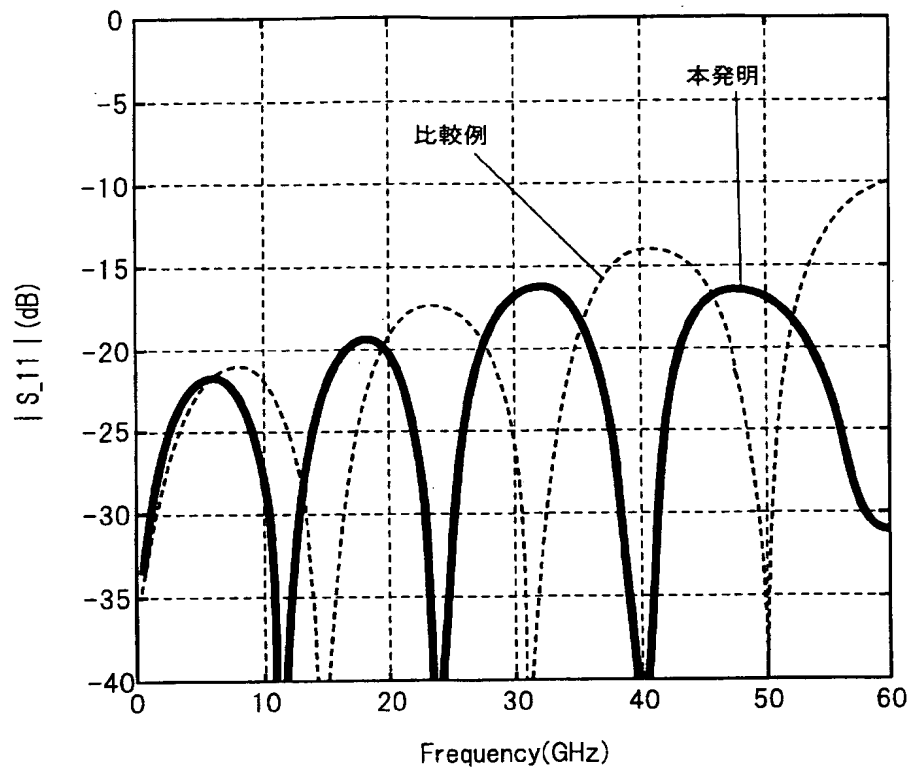
【図 8 G】



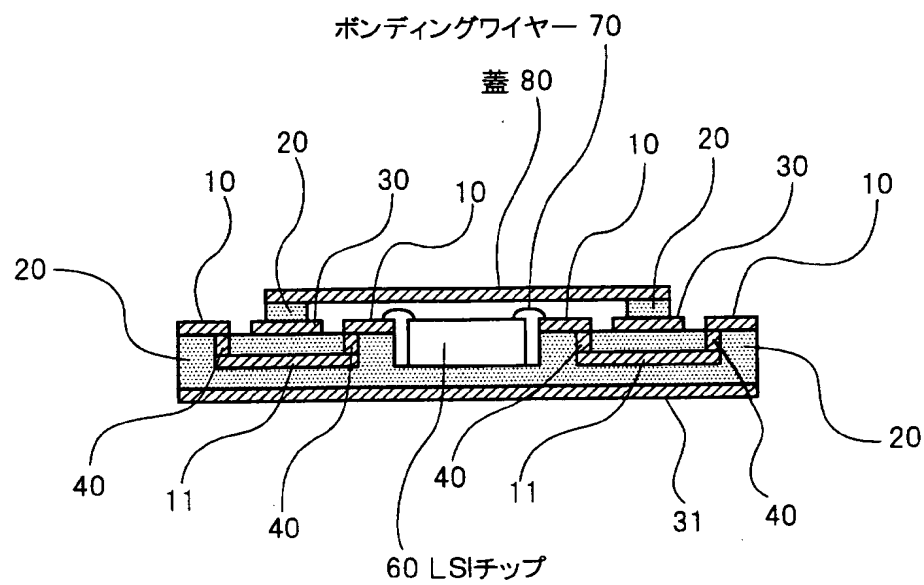
【図 8 H】



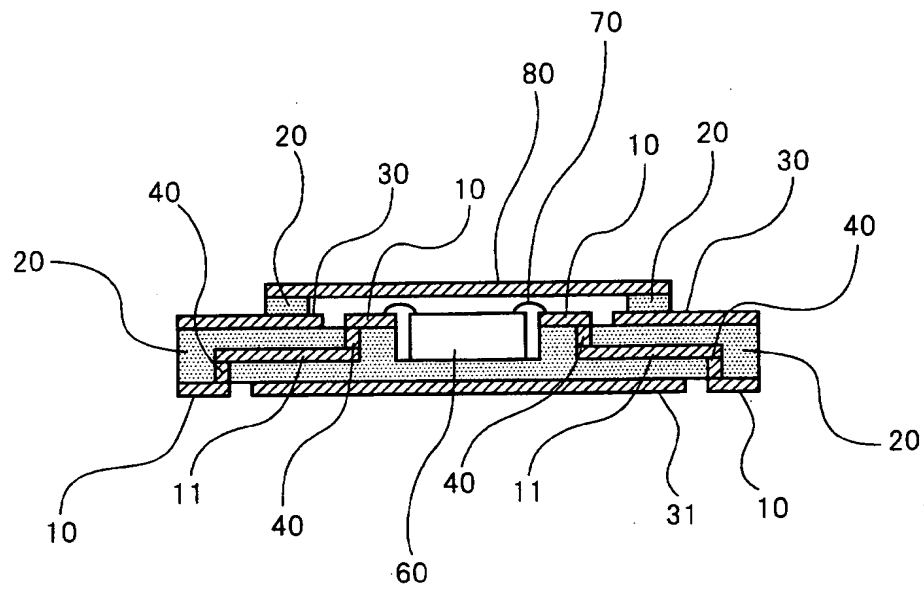
【図 9】



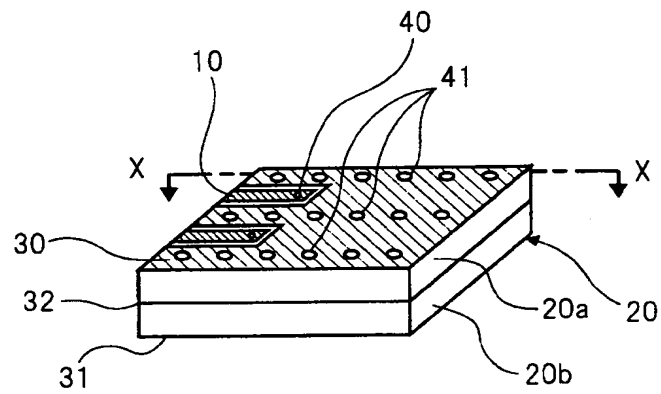
【図 10】



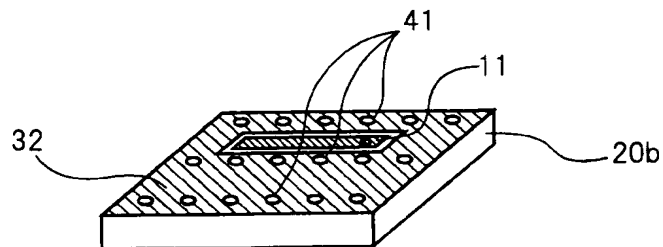
【図 1 1】



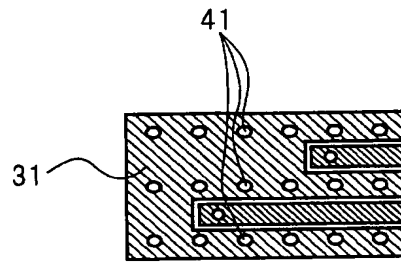
【図 1 2 A】



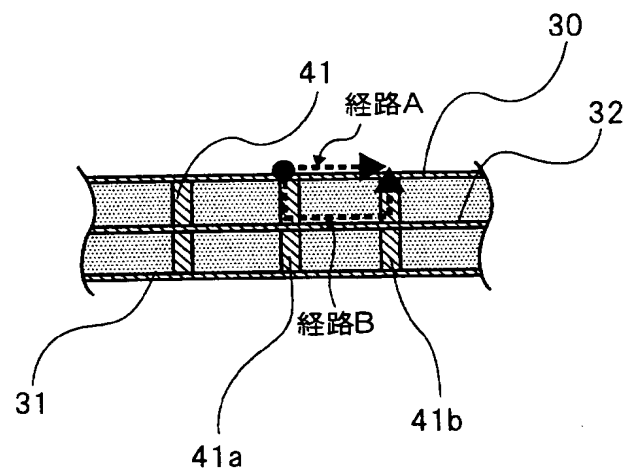
【図 1 2 B】



【図 1 2 C】



【図 1 2 D】



**【書類名】 要約書****【要約】**

**【課題】** 異なる層に形成され相互に接続された高周波伝送線路構造において伝送信号が高周波になるほど反射特性が劣化する課題がある。

**【解決手段】** 誘電体基板20の内部または表面に形成された第1のコプレーナ線路の第1の信号線路10と、これとは異なる配線層に形成された第2のコプレーナ線路の第2の信号線路とが、各々の線路端にて導電性ビア40で接続されている。第2のコプレーナ線路が形成されている領域と対向し、かつ、第1のコプレーナ線路と同じ配線層に第1のグランドパターン30 bが形成されている。信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のグランドパターン30 bと第1のコプレーナ線路の面状グランドパターン30 a とが所定の幅を介して分離されている。

**【選択図】 図1A**

特願 2 0 0 7 - 2 4 1 1 0 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2008/063283

International filing date: 24 July 2008 (24.07.2008)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2007-241104  
Filing date: 18 September 2007 (18.09.2007)

Date of receipt at the International Bureau: 21 August 2008 (21.08.2008)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

## 特許協力条約に基づく国際出願願書

紙面による写し (注意 電子データが原本となります)

0	受理官庁記入欄	
0-1	国際出願番号	PCT/JP2008/063283
0-2	国際出願日	2008年 07月 24日 (24. 07. 2008)
0-3	(受付印)	
0-4	様式 PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	JPO-PAS 0352
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	08-0175-NEC
I	発明の名称	高周波基板および、これを用いた高周波モジュール
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	日本電気株式会社
II-4en	Name:	NEC CORPORATION
II-5ja	あて名	1088001 日本国
II-5en	Address:	東京都港区芝五丁目 7 番 1 号 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-11	出願人登録番号	000004237

## 特許協力条約に基づく国際出願願書

紙面による写し (注意 電子データが原本となります)

III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 大平 理覚 OHHIRA, Risato 1088001 日本国 東京都港区芝五丁目7番1号 日本電気株式会社内 c/o NEC Corporation, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 Japan 日本国 JP 日本国 JP
III-1-1	この欄に記載した者は	
III-1-2	右の指定国についての出願人である。	
III-1-4ja	氏名(姓名)	
III-1-4en	Name (LAST, First):	
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	
III-1-7	住所(国名)	
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent) 宮崎 昭夫 MIYAZAKI, Teruo 1070052 日本国 東京都港区赤坂1丁目9番20号 第16興和ビル8階 8th Floor, 16th Kowa Bldg., 9-20, Akasaka 1-chome, Minato-ku, Tokyo 1070052 Japan 03-3585-1878 03-3587-2388 waka@patent.wpa.co.jp 100123788
IV-1-1ja	氏名(姓名)	
IV-1-1en	Name (LAST, First):	
IV-1-2ja	あて名	
IV-1-2en	Address:	
IV-1-3	電話番号	
IV-1-4	ファクシミリ番号	
IV-1-5	電子メール	
IV-1-6	代理人登録番号	
IV-2	その他の代理人	
IV-2-1ja	氏名	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with the same address as first named agent) 石橋 政幸(100106138); 緒方 雅昭(100127454) ISHIBASHI, Masayuki(100106138); OGATA, Masaaki(100127454)
IV-2-1en	Name(s)	
V	国の指定	
V-1	この願書を用いてされた国際出願は、規則4.9(a)に基づき、国際出願の時点で拘束される全てのPCT締約国を指定し、取得しうるあらゆる種類の保護を求め、及び該当する場合には広域と国内特許の両方を求める国際出願となる。	
VI-1	先の国内出願に基づく優先権主張	2007年 09月 18日 (18. 09. 2007) 2007-241104 日本国 JP
VI-1-1	出願日	
VI-1-2	出願番号	
VI-1-3	国名	

## 特許協力条約に基づく国際出願願書

紙面による写し (注意 電子データが原本となります)

VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	—	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	—	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	—	
VIII-4	発明者である旨の申立て (米国を指定国とする場合)	—	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	—	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書 (申立てを含む)	4	✓
IX-2	明細書	27	✓
IX-3	請求の範囲	5	✓
IX-4	要約	1	✓
IX-5	図面	13	✓
IX-7	合計	50	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	—	✓
IX-11	包括委任状の写し	—	✓
IX-17	PCT-SAFE 電子出願	—	—
IX-19	要約とともに提示する図の番号	2A	
IX-20	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	/100123788/	
X-1-1	氏名(姓名)	宮崎 昭夫	
X-1-2	署名者の氏名		
X-1-3	権限		

## 受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	2008年 07月 24日 (24. 07. 2008)
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日 (訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

特許協力条約に基づく国際出願願書  
紙面による写し（注意 電子データが原本となります）

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>PATENT APPLICATION FEE DETERMINATION RECORD</b> Substitute for Form PTO-875					Application or Docket Number <b>12/674,221</b>		Filing Date <b>02/19/2010</b>		<input type="checkbox"/> To be Mailed							
<b>APPLICATION AS FILED – PART I</b>																
(Column 1)			(Column 2)			SMALL ENTITY <input type="checkbox"/>		OR		OTHER THAN SMALL ENTITY						
FOR		NUMBER FILED		NUMBER EXTRA		RATE (\$)		FEE (\$)		RATE (\$)		FEE (\$)				
<input type="checkbox"/> BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A		N/A		N/A				N/A						
<input type="checkbox"/> SEARCH FEE (37 CFR 1.16(k), (l), or (m))		N/A		N/A		N/A				N/A						
<input type="checkbox"/> EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A		N/A		N/A				N/A						
TOTAL CLAIMS (37 CFR 1.16(j))		12 minus 20 =		*		X \$ =				X \$ =						
INDEPENDENT CLAIMS (37 CFR 1.16(h))		2 minus 3 =		*		X \$ =				X \$ =						
<input type="checkbox"/> APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$250 (\$125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).														
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))																
* If the difference in column 1 is less than zero, enter "0" in column 2.																
<b>APPLICATION AS AMENDED – PART II</b>																
(Column 1)			(Column 2)			(Column 3)			SMALL ENTITY		OR		OTHER THAN SMALL ENTITY			
<b>AMENDMENT</b>	<b>02/19/2010</b>		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR		PRESENT EXTRA		RATE (\$)		ADDITIONAL FEE (\$)		RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))		* 12 Minus		** 20		=		X \$ =				X \$ =			
	Independent (37 CFR 1.16(h))		* 2 Minus		*** 3		=		X \$ =				X \$ =			
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))												OR			
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))												OR			
	TOTAL ADD'L FEE												OR		TOTAL ADD'L FEE	
<b>AMENDMENT</b>			CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR		PRESENT EXTRA		RATE (\$)		ADDITIONAL FEE (\$)		RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))		* Minus		**		=		X \$ =				X \$ =			
	Independent (37 CFR 1.16(h))		* Minus		***		=		X \$ =				X \$ =			
	<input type="checkbox"/> Application Size Fee (37 CFR 1.16(s))												OR			
	<input type="checkbox"/> FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))												OR			
	TOTAL ADD'L FEE												OR		TOTAL ADD'L FEE	
<p>* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.</p> <p>** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".</p> <p>*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".</p> <p>The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.</p>												<b>Legal Instrument Examiner:</b> /PEGGY YARBOROUGH/				

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

31.07.2008

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2007年 9月18日

出願番号  
Application Number: 特願2007-241104

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号  
The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

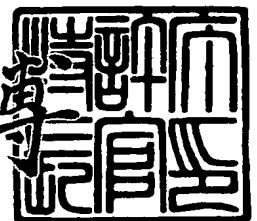
JP2007-241104

出願人  
Applicant(s): 日本電気株式会社

2008年 6月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

肥塚雅博



【書類名】 特許願  
【整理番号】 34602322  
【提出日】 平成19年 9月18日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01P 5/08  
【発明者】  
    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内  
    【氏名】 大平 理覚  
【特許出願人】  
    【識別番号】 000004237  
    【氏名又は名称】 日本電気株式会社  
【代理人】  
    【識別番号】 100123788  
    【弁理士】  
    【氏名又は名称】 宮崎 昭夫  
    【電話番号】 03-3585-1882  
【選任した代理人】  
    【識別番号】 100106138  
    【弁理士】  
    【氏名又は名称】 石橋 政幸  
【選任した代理人】  
    【識別番号】 100127454  
    【弁理士】  
    【氏名又は名称】 緒方 雅昭  
【手数料の表示】  
    【予納台帳番号】 201087  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0414989

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 の信号線路と、該第 1 の信号線路と同じ配線層に形成された第 1 の面状グランドパターンを備える第 1 のコプレーナ線路と、

前記第 1 の信号線路とは異なる配線層に形成された第 2 の信号線路と、該第 2 の信号線路と同じ配線層に形成された第 2 の面状グランドパターンを備える第 2 のコプレーナ線路と

、  
前記第 1 のコプレーナ線路と同じ配線層に形成された第 1 のグランドパターンと、を有し

、  
前記第 1 のコプレーナ線路と前記第 2 のコプレーナ線路が接続されている高周波基板であって、

少なくとも、前記第 1 の信号線路と前記第 2 の信号線路の端部どうしの接続部から前記第 2 の信号線路に沿った領域で、前記第 1 のグランドパターンと前記第 1 の面状グランドパターンが分離されていることを特徴とする高周波基板。

**【請求項 2】**

第 1 の信号線路と、該第 1 の信号線路と同じ配線層に形成された第 1 の面状グランドパターンを備える第 1 のコプレーナ線路と、

前記第 1 の信号線路とは異なる配線層に形成された第 2 の信号線路と、該第 2 の信号線路と同じ配線層に形成された第 2 の面状グランドパターンを備える第 2 のコプレーナ線路と

、  
前記第 1 のコプレーナ線路と同じ配線層に形成された第 1 のグランドパターンと、を有し

、  
前記第 1 のコプレーナ線路から前記第 2 のコプレーナ線路へ信号を伝送するよう前記第 1 のコプレーナ線路と前記第 2 のコプレーナ線路が接続されている高周波基板であって、

前記第 1 のコプレーナ線路から前記第 2 のコプレーナ線路へ信号が伝送されていく際に前記第 1 の面状グランドパターンから前記第 1 のグランドパターンに伝わる高周波電流の経路が前記第 2 の面状グランドパターンを介してのみとなる箇所を含むことを特徴とする高周波基板。

**【請求項 3】**

前記第 1 のコプレーナ線路における前記第 1 の信号線路は、誘電体基板の内部または表面に形成され、前記第 1 の面状グランドパターンは、該第 1 の信号線路と同じ配線層において前記第 1 の信号線路を挟む両側位置の少なくとも一方に形成されており、

前記第 2 のコプレーナ線路における前記第 2 の面状グランドパターンは、前記第 2 の信号線路と同じ配線層において前記第 2 の信号線路を挟む両側位置の少なくとも一方に形成されていることを特徴とする請求項 1 または 2 に記載の高周波基板。

**【請求項 4】**

前記第 1 の信号線路と前記第 2 の信号線路を各々の線路端にて接続する第 1 の導電性ビアと、

前記第 2 のコプレーナ線路が形成されている配線層に対し、前記第 1 のグランドパターンの層とは反対側の配線層に形成された第 2 のグランドパターンと、

前記第 1 および第 2 のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で配設された複数の第 2 の導電性ビアであり、その中に、前記第 1 の面状グランドパターンと前記第 2 の面状グランドパターンを接続する導電性ビア a、前記第 1 のグランドパターンと前記第 2 の面状グランドパターンを接続する導電性ビア b、および前記第 1 の面状グランドパターンと前記第 2 のグランドパターンを接続する導電性ビア c を含む第 2 の導電性ビアと、を有し、

前記第 1 の信号線路と前記第 1 の導電性ビアとの接続部付近から前記第 2 のコプレーナ線路の信号伝送方向にかけて、前記第 1 のグランドパターンが、前記第 1 の面状グランドパターンから分離されていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の高周波基板。

**【請求項 5】**

分離されている前記第1のグラウンドパタンと前記第1の面状グラウンドパタンとの間の幅は、前記第2のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅であることを特徴とする請求項4に記載の高周波基板。

【請求項6】

請求項3または4に記載の高周波基板であって、

前記第1のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記第1の面状グラウンドパタンと前記第2の面状グラウンドパタンを相互接続している前記導電性ビアaの外周から、前記第1の面状グラウンドパタンの前記第1の信号線路側の外周辺への最短距離をL1、

前記導電性ビアaの外周から、前記第2の面状グラウンドパタンの前記第2の信号線路側の外周辺への最短距離をL2、

前記第2のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記導電性ビアaを除いて、前記第1の導電性ビアに最も近い前記導電性ビアbの外周から、前記第2の面状グラウンドパタンの前記第2の信号線路側の外周辺への最短距離L3、

前記導電性ビアbの外周から、前記第1のグラウンドパタンの前記第1のコプレーナ線路側の外周辺への最短距離をL4、

前記第1のグラウンドパタンと前記第2の面状グラウンドパタンの間の誘電体層厚をL5、

前記第1の導電性ビアの外周から、前記第1の信号線路の外周辺への最短距離をL6、

前記第1の導電性ビアの外周から、前記第2の信号線路の外周辺への最短距離をL7、

前記導電性ビアaの外周から、前記第1の面状グラウンドパタンの前記第1のグラウンドパタン側の外周辺への最短距離をL10、

前記第1のコプレーナ線路の実効比誘電率を $\epsilon_1$ 、

前記第2のコプレーナ線路の実効比誘電率を $\epsilon_2$ 、

前記第2の導電性ビアの直径を $\phi$ 、

伝送する信号帯域における真空中での最小波長を $\lambda_0$ としたとき、次の関係式

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\} < \lambda_0 / 2$$

を満足するように、前記第1の面状グラウンドパタンと、これと同一層に設けられた前記第1のグラウンドパタンとの間を分離していることを特徴とする請求項3または4に記載の高周波基板。

【請求項7】

前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成された第3のグラウンドパタンをさらに備え、

前記第1の信号線路と前記第2の信号線路の端部どうしの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグラウンドパタンが前記第2の面状グラウンドパタンから分離されていることを特徴とする請求項1から6のいずれかに記載の高周波基板。

【請求項8】

前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成され、かつ、前記第1の面状グラウンドパタンと前記第2のグラウンドパタンの両方に前記第2の導電性ビアにより電氣的に接続された第3のグラウンドパタンをさらに備え、

前記第2の信号線路と前記第1の導電性ビアとの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグラウンドパタンが、前記第2の面状グラウンドパタンから分離されていることを特徴とする請求項4から6のいずれかに記載の高周波基板。

【請求項9】

分離されている前記第3のグラウンドパタンと前記第2の面状グラウンドパタンとの間の幅が、前記第1のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅であることを特徴とする請求項8に記載の高周波基板。

【請求項10】

請求項 8 または 9 に記載の高周波基板であって、

前記第 1 のコプレーナ線路に備わる複数の前記第 2 の導電性ビアのうちの、前記導電性ビア a を除いて、前記第 1 の導電性ビアに最も近い前記導電性ビア c の外周から、前記第 1 の面状グランドパタンの前記第 1 の信号線路側の外周辺への最短距離 L 8、

前記導電性ビア c の外周から、前記第 3 のグランドパタンの前記第 2 のコプレーナ線路側の外周辺への最短距離を L 9、

前記導電性ビア a の外周から、前記第 2 の面状グランドパターンにおける前記第 3 のグランドパターン側の外周辺への最短距離を L 11、

伝送する信号帯域における真空中での最小波長を  $\lambda_0$  としたとき、次の関係式

$$\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\} < \lambda_0 / 2$$

を満足するように、前記第 2 の面状グランドパターンと、これと同一層に設けられた前記第 3 のグランドパターンとの間を分離していることを特徴とする請求項 8 または 9 に記載の高周波基板。

【請求項 11】

前記第 2 の面状グランドパターンが、前記第 2 の信号線路を挟む両側位置の少なくとも一方に形成されているだけでなく、前記第 2 のコプレーナ線路と同じ配線層の、前記第 1 のコプレーナ線路が形成されている領域と対向する領域にも延在していることを特徴とする請求項 1 から 10 のいずれかに記載の高周波基板。

【請求項 12】

請求項 1 から 11 のいずれかに記載の高周波基板に半導体集積回路チップが実装された高周波モジュール。

**【書類名】 明細書**

**【発明の名称】** 高周波基板および、これを用いた高周波モジュール

**【技術分野】****【0001】**

本発明は、高周波伝送線路が形成された高周波基板に関し、特に、基板の異なる層に形成された高周波伝送線路間の相互接続に関する。

**【背景技術】****【0002】**

高周波半導体素子用パッケージや回路素子実装用配線基板等に用いられている高周波伝送線路においては、電子部品の実装位置により、誘電体基板の表面に形成された表層線路と、誘電体基板の内部に形成された内層線路を相互に接続する場合が多々ある。

**【0003】**

誘電体基板の表面に形成される表層線路としてはマイクロストリップ線路やコプレーナ線路が代表的であり、また、誘電体基板の内部に形成される内層線路としてはストリップ線路およびコプレーナ線路が代表的に用いられている。そして、表層線路と内層線路間の相互接続は、導電性のあるビアやスルーホール等により接続されている。

**【0004】**

例えば、特許文献1に記載されている高周波基板は、図12A～図12Dに示すような高周波伝送線路を有する。なお、図12Aはこの高周波基板の全体斜視図、図12Bはこの高周波基板の第2の誘電体層部分の斜視図、図12Cはこの高周波基板の裏面導体パタンの上面図である。図12Dは、図12Aに示す高周波基板の、伝送信号方向に沿ったX-X断面図を示している。

**【0005】**

これらの図により示される高周波基板は2層の誘電体層20a、20bを積層してなる誘電体基板20からなり、異なる層に高周波伝送線路が形成されている。

**【0006】**

第1の高周波伝送線路は、誘電体基板20の表面である第1の誘電体層20aの上面上に形成された第1の信号線路10と、この信号線路10の周りにこれと同一面上に配置された第1のグランドパタン30と、第2の誘電体層20bの上面に形成された第2のグランドパタン32とから構成されている。一方、第2の高周波伝送線路は、上記第1のグランドパタン30と、誘電体基板20の裏面である第2の誘電体層20bの下面に形成された第3のグランドパタン31と、これらの間に配置され第2の誘電体層20bの上面上に形成された第2の信号線路11と、この信号線路11の周りにこれと同一面上に配置された第2のグランドパタン32とから構成されている。

**【0007】**

第1の高周波伝送線路の第1の信号線路10の端部と、第2の高周波伝送線路の第2の信号線路11の端部とは、導電性のあるビア40により接続されている。さらに、第1のグランドパタン30、第2のグランドパタン32、および第3のグランドパタン31は、第1の信号線路10および第2の信号線路11の信号伝送方向に沿って配置される複数の導電性ビア41によって電氣的に接続されている。

**【0008】**

ところで、第1の高周波伝送線路と第2の高周波伝送線路のように、異なった線路構造同士を接続する場合、接続部付近では、不整合が生じやすく、その結果として、高周波信号になるほど信号反射が生じやすい。

**【0009】**

そのため、例えば特許文献2に、上記第1の高周波伝送線路を構成する第1の信号線路10に相当する信号線路の端部幅、すなわち、導電性ビア40との接続部近傍の幅を変えることによって、インピーダンス不整合を抑制し、信号反射を低減する方法が提案されている。

**【特許文献1】** 特開2003-133472号公報（図5）

【特許文献2】特開2004-320109号公報(図1、段落[0095])

【発明の開示】

【発明が解決しようとする課題】

【0010】

以上のように、図12A～図12Dにより示される構成において信号線路が異なった層に形成されている異種線路を接続する場合、信号線路間を接続する導電性ビア付近の信号線路幅を変えることにより、信号通過特性(反射特性とも呼ぶ。)を改善していた。しかしながら、この従来技術では、伝送信号が低周波から高周波になればなるほど信号通過特性(反射特性とも呼ぶ。)が劣化していく問題を解決できないことが分かった。

【0011】

その理由について、図12Dを参照して説明する。

【0012】

図12A～図12Dにより示される構成では、第1の高周波伝送線路から第2の高周波伝送線路へ信号が伝送されていく際に、第1の高周波伝送線路の第1の信号線路10と第1のグランドパタン30を伝わってきた高周波電流のうちの信号線路側の電流は、第2の高周波伝送線路の第2の信号線路11に沿って流れる。ところが、そのグランドパタン側の電流は、第2の高周波伝送線路の第2のグランドパタン32を流れるだけでなく、第1のグランドパタン30にも2つの経路で伝わる。すなわち、図12Dに図示するように、第1のグランドパタン30のみを伝わる経路Aと、第1のグランドパタン30から導電性ビア41a、第2のグランドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して再び第1のグランドパタン30に戻ってくる経路Bとで伝わる。

【0013】

ここで、2つの物理的な経路長を各々L1、L2、経路長差L1-L2を $\Delta L$ 、伝送信号の真空中における波長を $\lambda_0$ 、各々の経路の波数を同一のk、各々の経路における実効比誘電率を同一の $\epsilon$ とした場合を考えると、2つの経路A、B間の位相差は、

【0014】

【数1】

$$k \times L1 - k \times L2 = k \times \Delta L = \left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon}} \right) \times \Delta L = (2\pi \times \sqrt{\epsilon}) \times \left( \frac{\Delta L}{\lambda_0} \right) \quad \dots (1)$$

【0015】

と表され、 $\Delta L / \lambda_0$ に比例する。

【0016】

そのため、物理的な経路長差 $\Delta L$ が一定であったとしても、伝送信号が低周波から高周波になるほど、すなわち、波長 $\lambda_0$ が短くなるほど、経路間位相差が大きくなり、位相干渉を引き起こしやすくなる。

【0017】

つまり、特許文献2に教示された方法をとっても、図12A～図12Dにより示される構成の場合は、第1の高周波伝送線路から第2の高周波伝送線路への伝送信号が高周波になればなるほど反射特性を改善できないことが分かった。

【0018】

そこで本発明の目的は、上記問題を解決することにある。詳しくは、異なった層に形成され相互に接続されている高周波異種線路を備える高周波基板において、低周波域から高周波域にわたって反射特性を改善できる構造を提供することにある。

【課題を解決するための手段】

【0019】

本発明の高周波基板は、第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板である。第1のコプレーナ線路は、第1の信号線路と、該第1の信号線

路と同じ配線層に形成された第1の面状グランドパタンを備える線路である。第2のコプレーナ線路は、第1の信号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパタンを備える線路である。そして、第1のコプレーナ線路と同じ配線層に第1のグランドパタンが形成されている。この高周波基板において、少なくとも、前記第1の信号線路と前記第2の信号線路の端部どうしの接続部から前記第2の信号線路に沿った領域で、前記第1のグランドパタンと前記第1の面状グランドパタンが分離されていることが本発明の特徴である。

#### 【0020】

さらに本発明では、第1の信号線路と第2の信号線路どうしが各々の線路端にて第1の導電性ビアにより接続されている。そして、第1および第2のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で複数の第2の導電性ビアが配設され、これらの中には、第1のコプレーナ線路の面状グランドパタンと第2のコプレーナ線路の面状グランドパタンを接続する導電性ビアaや、第1のグランドパタンと第2のコプレーナ線路の面状グランドパタンを接続する導電性ビアbや、第1のコプレーナ線路の面状グランドパタンと第2のグランドパタンを接続する導電性ビアc等が含まれている。

#### 【0021】

このような構成では、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタンに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパタンに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパタンから第2の導電性ビアa、第2のコプレーナ線路の面状グランドパタン、信号伝送方向に沿った次の第2の導電性ビアbを順次経由して第1のグランドパタンに向かう経路のみとなる。

#### 【0022】

これにより、第1のグランドパタンに伝わる高周波電流の位相干渉が抑制されるので、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0023】

さらに、第1のグランドパタンに伝わる高周波電流の位相と信号線路を伝わる高周波電流の位相の差、すなわち、波長に換算した電気長差を小さくすることにより、低周波から高周波にかけて劣化していく反射特性をより一層改善することができる。

#### 【発明の効果】

#### 【0024】

本発明によれば、異なった層に形成され相互に接続されている高周波異種線路を備える高周波基板において、低周波域から高周波域にわたって反射特性を改善することができる。

#### 【発明を実施するための最良の形態】

#### 【0025】

以下、本発明の実施例について図面を参照して詳細に説明する。

#### 【0026】

(第1の実施例)

図1A～1Hは、本発明の第1の実施例による高周波基板の構成を示したものである。詳しく言うと、図1Aは本実施例の高周波基板の第1配線層を示す平面図、図1Bはその第2配線層の平面図、図1Cはその第3配線層の平面図である。図1Dは図1AのA-A'における基板断面図、図1Eは図1AのB-B'における基板断面図、図1Fは図1AのC-C'における基板断面図、図1Gは図1AのD-D'における基板断面図、図1Hは図1AのE-E'における基板断面図である。なお、各図において、図12A～図12Dに示される構成要素と同じ機能部位には同一符号を用いている。

#### 【0027】

本実施例の高周波基板は2層の誘電体層20a、20bを積層してなる誘電体基板20からなる。誘電体基板20の表面（第1配線層）である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている（図1A）。この第1のコプレーナ線路は、第1の信号線路

10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層（第2配線層）である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている（図1B）。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a、32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

#### 【0028】

第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

#### 【0029】

第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層（誘電体基板20の裏面）には、面状の第1のグランドパターン30bと、面状の第2のグランドパターン31が形成されている。この第2のグランドパターン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

#### 【0030】

一方、第1のグランドパターン30bは、背景技術のように第1のコプレーナ線路のグランドパターンを兼ねることなく、そのグランドパターン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅（誘電体幅）を介して分離されている。

#### 【0031】

さらに、第1のコプレーナ線路の面状グランドパターン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパターン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の面状グランドパターン32との間も相互接続している。

#### 【0032】

その上、第2のコプレーナ線路の上層にある第1のグランドパターン30bと、第2のコプレーナ線路の面状グランドパターン32と、第2のグランドパターン31は、第2のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41（41b）によって、相互に接続されている。

#### 【0033】

以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパターン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41a、第2のコプレーナ線路の面状グランドパターン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグランドパターン30bに向かう経路のみとなる。これにより、第1のグランドパターン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0034】

尚、この効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間が分離されていれば得られるので、分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間

の分離部分を形成する対向辺は図示されているような平行で且つ一定間隔に形成する必要はない。

#### 【0035】

次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパターン30aと第1のグランドパターン30bの間を一定間隔の幅で分離した構成を前提とする。

#### 【0036】

本実施例では、反射特性をより良くする追加条件として、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとの間の分離の程度を以下のように規定している。すなわち、その分離幅は0よりも大きく、かつ、第1の信号線路10の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41bまでの間隔dx以下に規定している。

#### 【0037】

このような条件で本実施例の反射特性の更なる改善を図れる理由について、図2を用いて説明する。図2は、本実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線路10、11を伝わる信号線路側高周波電流経路Cと、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わるグランドパターン側高周波電流経路Dを模式的に表したものである。尚、この図の(a)、(b)、(c)はそれぞれ図1A、図1B、図1Cに対応し、図中のグランドパターン側高周波電流経路Dは、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41aを経由して第2のコプレーナ線路の上層の第1のグランドパターン30bを伝わる様子を示す。この図から分かるように、対向する信号線路とグランドパターンの外周にそれぞれ沿った信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの間には経路長差がある。そして、上記の分離幅を大きくする程、導電性ビア41aとグランドパターン30aの外周の間および/または導電性ビア41bとグランドパターン30bの外周の間が縮まるため、図2中のグランドパターン側高周波電流経路Dの長さは短くなり、信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの経路長差も短くなる。よって、分離幅が大きくなる程、つまり電流経路C、D間の経路長差が短くなる程、前述した(1)式から分かるように、信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの位相差を小さくすることができる。

#### 【0038】

そのため、分離幅の上限を、グランドパターン30a、30b間を最大限分離できる導電性ビア41の間隔dxに設定することにより、反射特性を更に改善することができる。

#### 【0039】

なお、間隔dxは、第1のコプレーナ線路ではなく第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔で規定することになる。また、第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔は、第2のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。

#### 【0040】

ここで、ビア間隔dxの算出法を述べる。

#### 【0041】

本願発明者は、第2のコプレーナ線路の面状グランドパターン32の任意の点から、最寄りの導電性ビアへの最短距離と層厚の和がある所定値以下になるようにすることで、周波数増加に伴う面状グランドパターン32上のインピーダンス偏差の増大が抑制され、その結果として、コプレーナ伝送線路の反射特性が広帯域に渡って改善される旨見いだしている。そこで、この概念に基づいて、ビア間隔dxを規定する式として、式変形も含めて、具体的に以下に記載する。

#### 【0042】

第2のコプレーナ線路における面状グランドパターン32の外周上の任意の点から最寄りのビア外周までの最短距離をR、導電性ビア41bの外周から第2の信号線路11側の面状グランドパターン32の外周上への最短距離をL3、配線層間の誘電体層20aの厚さをL5、第

2 のコプレーナ線路の実効比誘電率を  $\epsilon_2$ 、伝送信号の真空中における波長を  $\lambda_0$  とした場合、

【0043】

【数2】

$$\left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon_2}} \right) \times (R + L5) < \frac{\pi}{2} \quad , \text{すなわち、} R + L5 < \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} \quad \dots (2)$$

【0044】

を満足するよう、ビア間隔  $dx$  を設定する。本実施例では、最も長い最短距離  $R$  は、導電性ビア41の直径を  $\phi$  としたとき、図3により、

【0045】

【数3】

$$R = \sqrt{(L3 + \phi/2)^2 + (dx/2)^2} - \phi/2 \quad \dots (3)$$

【0046】

と表される。

【0047】

上記の(2)式を(3)式に代入して計算すると、ビア間隔  $dx$  が満たすべき式は、

【0048】

【数4】

$$dx < 2 \times \sqrt{\left( \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} + \phi/2 - L5 \right)^2 - (L3 + \phi/2)^2} \quad \dots (4)$$

【0049】

となる。

【0050】

また、上記の分離幅については、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号伝送の際に、グランドパタンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差（実効比誘電率で換算した電気長差）が大ききずれない条件が望ましいので、ある信号波長  $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、グランドパタン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

【0051】

具体的には、図1A、1B、1Eに図示したように、第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパタン30の外周辺上への最短距離（つまり導電性ビア41aの外周から、第1の信号線路10側に位置する面状グランドパタン30の外周辺上への最短距離）を  $L1$  とする。

【0052】

さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離を  $L2$  とする。

【0053】

第2のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41bの外周から、第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離を  $L3$  とする。

【0054】

上記の導電性ビア41bの外周から、第1のコプレーナ線路側の第1のグランドパタン30bの外周辺上への最短距離をL4とする。

【0055】

第1のグランドパタン30bと面状グランドパタン32間の誘電体層厚をL5とする。

【0056】

信号線路10, 11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離をL6とする。

【0057】

上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離をL7とする。

【0058】

さらに、導電性ビア41aの外周から第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離をL10とする。

【0059】

以上のように寸法設定したとき、ある信号波長 $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、図2に示した2つの電流経路C, Dを通る各高周波電流の位相が反転しない範囲は、

【0060】

【数5】

$$\left[ \sqrt{\epsilon_1} \times \left\{ 2 \times \left( \frac{\phi}{2} + L10 \right) + L1 \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times L5 + L2 + 2 \times L3 + dx + 2 \times \left( L4 + \frac{\phi}{2} \right) \right\} \right] - \left[ \sqrt{\epsilon_1} \times L6 + \sqrt{\epsilon_2} \times (L5 + L7 + dx) \right] < \frac{\lambda_0}{2}$$

【0061】

すなわち、

【0062】

【数6】

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + \phi + L10 \times 2 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5 \} < \frac{\lambda_0}{2} \cdots (5)$$

【0063】

と規定することができる。但し、 $\epsilon_1$ は第1のコプレーナ線路の実効比誘電率、 $\epsilon_2$ は第2のコプレーナ線路の実効比誘電率、 $\phi$ は導電性ビア41の直径を表す。

【0064】

よって、本実施例では、この式(5)を満足するように、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとの間を分離することが望ましい。

【0065】

次に、本実施例による反射特性について述べる。

【0066】

反射特性を検証するにあたって、以下の数値条件とした。誘電体基板20には、比誘電率7.1のLTCC(Low temperature co-fired ceramic)基板からなる3層配線板を用いる。この誘電体基板20の第1および第2の誘電体層20a, 20bは同一材料で、各誘電体層厚L5を250 [ $\mu\text{m}$ ]、導体厚を15 [ $\mu\text{m}$ ]とする。さらに、第1の信号線路10の信号幅を150 [ $\mu\text{m}$ ]、第1の信号線路10と面状グランドパタン30aのギャップ間隔を66 [ $\mu\text{m}$ ]、第2の信号線路11の信号線路幅を100 [ $\mu\text{m}$ ]、第2の信号線路11と面状グランドパタン32のギャップ間隔を120 [ $\mu\text{m}$ ]、導電性ビア40の直径を100 [ $\mu\text{m}$ ]、導電性ビア41の直径 $\phi$ を150 [ $\mu\text{m}$ ]、複数の導電性ビア41の信号伝送方向に沿った全てのビア間隔を500 [ $\mu\text{m}$ ]とする。また、導電性ビア41aの外周から第1の信号線路10側の面状グランドパタン30aの外周辺上への最短距離L1を135 [ $\mu\text{m}$ ]とする。導電性ビア41aの外周から第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離L2を106 [ $\mu\text{m}$ ]とする。導電

性ビア41bの外周から第2の信号線路11側の面状グランドパタン32の外周辺上への最短距離L3を106 [ $\mu\text{m}$ ] とする。

#### 【0067】

このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300 [ $\mu\text{m}$ ] で分離した場合を考える。

#### 【0068】

この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパタン30bの外周辺上への最短距離L4は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離L6は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離L7は0 [ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離L10は25 [ $\mu\text{m}$ ] となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.723、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

#### 【0069】

以上の数値条件を上記の式(5)に代入すると、その左辺は、

$$\sqrt{3.723} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ = 2645 [\mu\text{m}]$$

となる。

#### 【0070】

よって、本実施例では、2645 [ $\mu\text{m}$ ] <  $\lambda_0/2$  を満足するように、第1配線層にある面状グランドパタン30aと第1のグランドパタン30bを分離している。

#### 【0071】

ここで、周波数は次式(6)より導き出すことができる。

#### 【0072】

$$c = f \cdot \lambda_0 \quad \text{すなわち、} \quad f = c / \lambda_0 \quad \dots (6)$$

(但し、cは光速で $3.0 \times 10^8 \text{ m/s}$ 、fは周波数とする。)

2645 [ $\mu\text{m}$ ] <  $\lambda_0/2$  の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2645 \times 10^{-6}$  とすると、上記式(6)より、 $f = 57 \times 10^9 [\text{Hz}] = 57 [\text{GHz}]$  が算出される。

#### 【0073】

つまり、300 [ $\mu\text{m}$ ] の分離幅の場合、2645 [ $\mu\text{m}$ ] <  $\lambda_0/2$  を満たす周波数範囲は57 [GHz] 未満であり、57 [GHz] 程度まで反射特性を改善できる分離幅を設定していることになる。

#### 【0074】

また、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の第1のグランドパタン30bとが分離されていない比較例と、これらのグランドパタン30a、30bを導電性ビア41a、41bの中間において、300 [ $\mu\text{m}$ ] のスリット状の分離幅で分離した本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。この電磁界解析結果を図4に示す。この図から分かるように、低周波域から60 [GHz] 付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。

#### 【0075】

尚、第2のコプレーナ線路に形成された複数の導電性ビア41の間隔dxを満たすべき範囲は、前述した式(4)において $\phi = 150 [\mu\text{m}]$ 、 $L_3 = 106 [\mu\text{m}]$ 、 $L_5 = 250 [\mu\text{m}]$ 、 $\epsilon_2 = 7.1$ 、 $\lambda_0 = 5450 [\mu\text{m}]$  を代入すると、 $dx < 568 [\mu\text{m}]$  となる。しかし、複数の導電性ビア41の信号伝送方向に沿ったビア間隔dxは500 [ $\mu\text{m}$ ] が設計においてリーズナブルな値であるため、実施例の解析では、 $dx = 500 [\mu\text{m}]$  としている。

#### 【0076】

さらに、図5に、本実施例において、上記の分離幅を変えた場合の電磁界解析結果を示す。この図から分かるように、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から55 [GHz] 付近までは比較例と比べてスリット幅 $100\mu\text{m}$ の方が低く抑えられ、またスリット幅 $300\mu\text{m}$ の場合は低周波域から60 [GHz] 付近まで比較例よりも低く抑えられている。

#### 【0077】

以上説明した第1の実施例の技術思想は以下の実施例にも反映できるものである。

#### 【0078】

(第2の実施例)

図6A～6Hは、本発明の第2の実施例による高周波基板の構成を示したものである。詳しく言うと、図6Aは本実施例の高周波基板の第1配線層を示す平面図、図6Bはその第2配線層の平面図、図6Cはその第3配線層の平面図である。図6Dは図6AのA-A'における基板断面図、図6Eは図6AのB-B'における基板断面図、図6Fは図6AのC-C'における基板断面図、図6Gは図6AのD-D'における基板断面図、図6Hは図6AのE-E'における基板断面図である。なお、各図において、図12A～図12Dに示される構成要素と同じ機能部位には同一符号を用いている。

#### 【0079】

本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図6A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図6B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a, 32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

#### 【0080】

第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

#### 【0081】

第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグランドパターン30bと、面状の第2のグランドパターン31が形成されている。この第2のグランドパターン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

#### 【0082】

一方、第1のグランドパターン30bは、背景技術のように第1のコプレーナ線路のグランドパターンを兼ねることなく、そのグランドパターン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

#### 【0083】

さらに、第1のコプレーナ線路の面状グランドパターン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパターン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の面状グランドパターン32との間も相互接続している。

#### 【0084】

その上、第2のコプレーナ線路の上層にある第1のグランドパターン30bと、第2のコプレーナ線路の下層にある第2のグランドパターン31とが、第2の信号線路11の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。

レーナ線路の面状グランドパタン32と、第2のグランドパタン31は、第2のコプレーナ線路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41 (41b) によって、相互に接続されている。

#### 【0085】

以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第1の信号線路10と面状グランドパタン30aを備える第1のコプレーナ線路に対向する領域で、且つ、第2のコプレーナ線路の面状グランドパタン32と同じ層に、グランドパタン50を備えている。このグランドパタン50は、第1のコプレーナ線路の面状グランドパタン30aと第2のグランドパタン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

#### 【0086】

このグランドパタン50は、背景技術のように第2のコプレーナ線路の面状グランドパタンを兼ねることなく、そのグランドパタン32とは分かれている。詳しくは、第2のコプレーナ線路の面状グランドパタン32と、第1のコプレーナ線路の下層のグランドパタン50とが、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、所定の幅（誘電体幅）を介して分離されている。

#### 【0087】

以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の上層の第1のグランドパタン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパタン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパタン30aから導電性ビア41a、第2のコプレーナ線路の面状グランドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグランドパタン30bに向かう経路のみとなる。これにより、第1のグランドパタン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0088】

さらに、本実施例では、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、第2のコプレーナ線路の面状グランドパタン32と、第1のコプレーナ線路の下層のグランドパタン50とが、所定の幅（誘電体幅）を介して分離されている。そのため、仮に第2のコプレーナ線路から第1のコプレーナ線路へ信号を伝送したとしても、第1のコプレーナ線路の下層のグランドパタン50に伝わる高周波電流経路が一つに限定される。つまり、第1のコプレーナ線路への信号伝送時にグランドパタン50に伝わる高周波電流経路は、第2のコプレーナ線路の面状グランドパタン32から導電性ビア41a、第1のコプレーナ線路の面状グランドパタン30a、信号伝送方向に沿った次の導電性ビア41cを順次経由してグランドパタン50に向かう経路のみとなる。これにより、グランドパタン50に伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

#### 【0089】

つまり、本実施例によれば、第1のコプレーナ線路と第2のコプレーナ線路の間の信号伝送方向が高周波基板の適用状態に応じて変更されても、良好な反射特性を維持することが可能となる。

#### 【0090】

尚、このような効果は、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとの間、ならびに第2のコプレーナ線路の面状グランドパタン32と第1のコプレーナ線路の下層のグランドパタン50との間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパ

タン30aと第1のグランドパターン30bの間、ならびに面状グランドパターン32とグランドパターン50の間の分離部分を形成する対向辺は、図示されているような平行で且つ一定間隔に形成されている必要はない。

#### 【0091】

次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパターン30aと第1のグランドパターン30bの間、ならびに面状グランドパターン32とグランドパターン50の間の一定間隔の幅で分離した構成を前提とする。

#### 【0092】

本実施例では、反射特性をより良くする追加条件として、面状グランドパターン30aと第1のグランドパターン30bとの間の第1の分離幅、ならびに、面状グランドパターン32とグランドパターン50との間の第2の分離幅について以下のように規定している。

#### 【0093】

すなわち、上記の第1の分離幅の上限は、第2のコプレーナ線路にて形成されている導電性ビア41の間隔（導電性ビア41a、41bの配列間隔）に規定され、その理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

#### 【0094】

一方、上記の第2の分離幅についても、第1の分離幅の規定方法と同じ考え方を採り、第1のコプレーナ線路にて形成されている導電性ビア41の間隔（導電性ビア41a、41cの配列間隔）に規定される。つまり、第2の分離幅は0よりも大きく、かつ、第2の信号線路11の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41cまでの間隔以下に規定している。また、第1のコプレーナ線路にて形成されている導電性ビア41a、41c等の配列間隔は、第1のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。この値については詳述しないが、第1の実施例で説明した算出法と同じ考え方を用いて求めることができる。

#### 【0095】

また、上記の第1および第2の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、あるコプレーナ線路から他のコプレーナ線路への信号伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電気的な経路長差（実効比誘電率で換算した電気長差）が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に、第1および第2の分離幅を規定する。この考え方による第1の分離幅の規定方法については第1の実施例に説明したので、ここでは第2の分離幅の規定方法について説明する。

#### 【0096】

まず、図6A、6B、6Eに図示したように、第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパターン30の外周辺上への最短距離を $L_1$ とする。

#### 【0097】

さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパターン32の外周辺上への最短距離を $L_2$ とする。

#### 【0098】

第1のグランドパターン30bと面状グランドパターン32間の誘電体層厚を $L_5$ とする。

#### 【0099】

信号線路10、11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離を $L_6$ とする。

#### 【0100】

上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離を $L_7$ とする。

#### 【0101】

第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41cの外周から、第1の信号線路10側の面状グランドパタン30aの外周辺上への最短距離をL8とする。

【0102】

上記の導電性ビア41cの外周から、第2のコプレーナ線路側のグランドパタン50の外周辺上への最短距離をL9とする。

【0103】

上記の導電性ビア41aの外周から、第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離をL10とする。

【0104】

上記の導電性ビア41aの外周から、グランドパタン50側の面状グランドパタン32の外周辺上への最短距離をL11とする。

【0105】

そして、導電性ビア41a、41cの間隔をdx2とする。

【0106】

以上のように寸法設定したとき、ある信号波長λ0（所望の信号帯域の最小波長（最大周波数））において、信号線路10、11を伝わる信号線路側高周波電流経路と、第2のコプレーナ線路の面状グランドパタン32から導電性ビア41aを経由して第1のコプレーナ線路の下層のグランドパタン50を伝わるグランドパタン側高周波電流経路とを通る各高周波電流の位相が反転しない範囲は、

【0107】

【数7】

$$\left[ \sqrt{\epsilon_1} \times \left\{ L1 + dx + 2 \times L8 + L5 + 2 \times \left( \frac{\phi}{2} + L9 \right) \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times \left( L11 + \frac{\phi}{2} \right) + L2 + L5 \right\} \right] - \left[ \sqrt{\epsilon_1} \times (L6 + dx) + \sqrt{\epsilon_2} \times (L5 + L7) \right] < \frac{\lambda_0}{2}$$

【0108】

すなわち、

【0109】

【数8】

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + 2 \times L11 + \phi \} < \frac{\lambda_0}{2}$$

【0110】

と規定することができる。

【0111】

よって、本実施例では、この式(7)を満足するように、第2のコプレーナ線路の面状グランドパタン32と、第1のコプレーナ線路の下層のグランドパタン50との間を分離することが望ましい。

【0112】

次に、本実施例による反射特性について述べる。

【0113】

反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層のグランドパタン50が備えられているため、第1の信号線路10と面状グランドパタン30aのギャップ間隔を78[μm]に変更した。尚、導電性ビア41cの外周から第1の信号線路10側の面状グランドパタン30aの外周辺上への最短距離L8は距離L1と同じ135[μm]である。

【0114】

このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300[μm]

」で分離する。さらに、第2のコプレーナ線路の面状グランドパターン32と、第1のコプレーナ線路の下層のグランドパターン50とを、導電性ビア41aと導電性ビア41cの中間において、スリット状の分離幅300 [ $\mu\text{m}$ ] で分離する。

#### 【0115】

この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパターン30bの外周辺上への最短距離 $L_4$ は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離 $L_6$ は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離 $L_7$ は0 [ $\mu\text{m}$ ]となる。さらに、導電性ビア41cの外周から第2のコプレーナ線路側のグランドパターン50の外周辺上への最短距離 $L_9$ は25 [ $\mu\text{m}$ ]となる。導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離 $L_{10}$ は25 [ $\mu\text{m}$ ]となる。導電性ビア41aの外周から、グランドパターン50側の面状グランドパターン32の外周辺上への最短距離 $L_{11}$ は25 [ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

#### 【0116】

このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ = 2658 [\mu\text{m}]$$

となる。

#### 【0117】

よって、本実施例では、 $2658 [\mu\text{m}] < \lambda_0/2$ を満足するように、第1配線層にある面状グランドパターン30aと第1のグランドパターン30bを分離している。 $2658 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2658 \times 10^{-6}$ とすると、第1の実施例で説明した式(6)より、 $f = 56 \times 10^9 [\text{Hz}] = 56 [\text{GHz}]$ が算出される。つまり、上記第1の分離幅が300 [ $\mu\text{m}$ ]である場合、 $2658 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は56 [GHz]未満であり、56 [GHz]程度まで反射特性を改善できる第1の分離幅を設定していることになる。

#### 【0118】

さらに、上記のような数値条件を、第2の分離幅を規定する上記の式(7)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 2 \times 135 + 250 + 150 + 2 \times 25\} + \sqrt{7.1} \times \{(106 - 0) + 2 \times 25 + 150\} \\ = 2453 [\mu\text{m}]$$

となる。

#### 【0119】

よって、本実施例では、 $2453 [\mu\text{m}] < \lambda_0/2$ を満足するように、第2配線層にある面状グランドパターン32とグランドパターン50を分離している。 $2453 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2453 \times 10^{-6}$ とすると、上記式(6)より、 $f = 61 \times 10^9 [\text{Hz}] = 61 [\text{GHz}]$ が算出される。つまり、上記第2の分離幅が300 [ $\mu\text{m}$ ]である場合、 $2453 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は61 [GHz]未満であり、61 [GHz]程度まで反射特性を改善できる第2の分離幅を設定していることになる。

#### 【0120】

また、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように300 [ $\mu\text{m}$ ]のスリット状の分離幅でグランドパターン30a、30b間およびグランドパターン32、50間を分離したものとした。

#### 【0121】

この電磁界解析結果を図7に示す。この図から分かるように、低周波域から60 [GHz] 付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。さらに、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、図7にて反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から53 [GHz] 付近までは比較例と比べてスリット幅 $100\mu\text{m}$ の方が低く抑えられ、またスリット幅 $300\mu\text{m}$ の場合は低周波域から60 [GHz] 付近まで比較例よりも低く抑えられている。

#### 【0122】

##### (第3の実施例)

図8A～8Hは、本発明の第3の実施例による高周波基板の構成を示したものである。詳しく言うと、図8Aは本実施例の高周波基板の第1配線層を示す平面図、図8Bはその第2配線層の平面図、図8Cはその第3配線層の平面図である。図8Dは図8AのA-A'における基板断面図、図8Eは図8AのB-B'における基板断面図、図8Fは図8AのC-C'における基板断面図、図8Gは図8AのD-D'における基板断面図、図8Hは図8AのE-E'における基板断面図である。なお、各図において、図12A～図12Dに示される構成要素と同じ機能部位には同一符号を用いている。

#### 【0123】

本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図8A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパタン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図8B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパタン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパタン30a, 32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

#### 【0124】

第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

#### 【0125】

第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグランドパタン30bと、面状の第2のグランドパタン31が形成されている。この第2のグランドパタン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

#### 【0126】

一方、第1のグランドパタン30bは、背景技術のように第1のコプレーナ線路のグランドパタンを兼ねることなく、そのグランドパタン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の上層の第1のグランドパタン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

#### 【0127】

さらに、第1のコプレーナ線路の面状グランドパタン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパタン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の面状グランドパタン32との間も相互接続している。

#### 【0128】

その上、第2のコプレーナ線路の上層にある第1のグランドパタン30bと、第2のコプレーナ線路の面状グランドパタン32と、第2のグランドパタン31は、第2のコプレーナ線

路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41 (41b) によって、相互に接続されている。

【0129】

以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第2のコプレーナ線路の面状グランドパターン32が、第1のコプレーナ線路に対向する領域全体にも形成され、第1のコプレーナ線路の下層グランドを兼ねている。つまり、面状グランドパターン32は、第2の信号線路11を挟む両側位置に形成されているだけでなく、第1のコプレーナ線路が形成されている領域と対向する領域にも形成されている。また、第2の実施例と比較した場合は、図6Bに示した第1のコプレーナ線路の下層のグランドパターン50と、これと同層の第2のコプレーナ線路の面状グランドパターン32とが分離されず、連続した一つのグランドパターンに形成されたものになっている。

【0130】

第1のコプレーナ線路の下層グランドを兼ねる第2のコプレーナ線路の面状グランドパターン32は、第1のコプレーナ線路の面状グランドパターン30aと第2のグランドパターン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

【0131】

以上のような高周波基板の高周波伝送線路では、第1の実施例と同様、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わる高周波電流経路が一つに限定される。これにより、第1のグランドパターン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

【0132】

尚、このような効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間の分離部分を形成する対向辺は、図示されているような平行で且つ一定間隔に形成する必要はない。

【0133】

また、本実施例のように面状グランドパターン30aと第1のグランドパターン30bの間を一定間隔の幅で分離した構成では、面状グランドパターン30aと第1のグランドパターン30bとの間の分離幅の上限を、第2のコプレーナ線路にて形成されている導電性ビア41の間隔（導電性ビア41a、41bの配列間隔）に規定することにより、反射特性の更なる改善が得られる。この理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

【0134】

また、上記の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差（実効比誘電率で換算した電気長差）が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ （所望の信号帯域の最小波長（最大周波数））において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

【0135】

具体的には、第1の実施例で説明した式（5）を満足するように、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとの間を分離している。

【0136】

この分離幅の規定方法については第1の実施例に説明したので、ここでは割愛する。

【0137】

次に、本実施例による反射特性について述べる。

【0138】

反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層にグランドパタンが備えられているため、第1の信号線路10と面状グランドパタン30aのギャップ間隔を78 [ $\mu\text{m}$ ]に変更した。

【0139】

このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300 [ $\mu\text{m}$ ]で分離する。

【0140】

この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパタン30bの外周辺上への最短距離L4は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離L6は25 [ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離L7は0 [ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパタン30b側の面状グランドパタン30aの外周辺上への最短距離L10は25 [ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

【0141】

このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ = 2658 [\mu\text{m}]$$

となる。

【0142】

よって、本実施例では、2658 [ $\mu\text{m}$ ]  $< \lambda_0/2$ を満足するように、第1配線層にある面状グランドパタン30aと第1のグランドパタン30bを分離している。つまり、分離幅が300 [ $\mu\text{m}$ ]である場合、第1の実施例で説明した式(6)より、2658 [ $\mu\text{m}$ ]  $< \lambda_0/2$ を満たす周波数範囲は56 [GHz]未満であり、56 [GHz]程度まで反射特性を改善できる分離幅を設定していることになる。

【0143】

また、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように300 [ $\mu\text{m}$ ]のスリット状の分離幅でグランドパタン30a、30b間を分離し、かつ、第2のコプレーナ線路の面状グランドパタン32が第1のコプレーナ線路の下層グランドを兼ねるものとした。

【0144】

この電磁界解析結果を図9に示す。この図から分かるように、低周波域から60 [GHz]付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。

【0145】

(その他の実施例)

上記の各実施例では、異なる層間を接続する手段として導電性ビアを用いているが、その限りではなく、スルーホール等のように、導電性を有する電氣的な接続手段であれば適用可能である。また、3層配線板の場合について説明したが、3層以上の多層配線板についても適用可能あり、また、第1の信号線路10およびグランドパタン30a、30bが誘電体基板20の内部にある構成においても適用可能である。

【0146】

また、各実施例を示す図において、第1の信号線路10と第2の信号線路11は直線上

でなくとも、多少ずれていても構わない。また、この場合、第1のコプレーナ線路の面状グラウンドパタン30aと第2のコプレーナ線路の上層の第1のグラウンドパタン30bとの間の分離幅を規定する対向辺や、第2のコプレーナ線路の面状グラウンドパタン32と第3のグラウンドパタン50との間の分離幅を規定する対向辺については、必ずしも一定間隔に形成されていなくてもよい。

#### 【0147】

また、各実施例に基づく本発明の高周波基板は、例えば携帯電話装置、PDA(Personal Digital Assistant) 端末およびその他多くの電子機器に組み込まれる高周波モジュールの基板として適用することができる。

#### 【0148】

例えば、高周波モジュールは、図10および図11に示すように、誘電体基板20に窪みを設けて、クロック信号により動作する電子装置であるLSIチップ60を收容し、誘電体基板20の表面に形成された第1のコプレーナ線路の第1の信号線路10とボンディングワイヤー70によって電気接続した後、蓋80でLSIチップ60を覆うことで得られる。但し、図10は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、これと同じ誘電体基板20の表面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。また、図11は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、誘電体基板20の裏面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。

#### 【0149】

いずれの構造においても、導電性ビア40で接続された第1のコプレーナ線路から第2のコプレーナ線路への配線方向において、第1のコプレーナ線路の面状グラウンドパタン(不図示)が、これと同一層の第1のグラウンドパタン30または第2のグラウンドパタン31から分離されていることを特徴とする。尚、図10および図11に示される形態ではLSIチップ60を高周波基板に埋め込んでいるが、本発明の高周波モジュールはこれらの形態に限定されない。したがって、用途に応じて、LSIチップを配線基板にフリップチップ接続方式やワイヤーボンディング方式等で表面実装してもよい。また、蓋80を使用しないで、モールド樹脂でLSIチップ60を封止する形態でも構わない。

#### 【0150】

以上のように本発明の高周波基板および、これを用いた高周波モジュールについて幾つかの実施例を示して説明したが、本願発明はこれらの実施例に限定されるものではなく、その技術思想を逸脱しない範囲で種々変更して実施することが可能であることは言うまでもない。

#### 【図面の簡単な説明】

#### 【0151】

【図1A】 第1の実施例の高周波基板の第1配線層を示す平面図。

【図1B】 第1の実施例の高周波基板の第2配線層を示す平面図。

【図1C】 第1の実施例の高周波基板の第3配線層を示す平面図。

【図1D】 図1AのA-A'における高周波基板の断面図。

【図1E】 図1AのB-B'における高周波基板の断面図。

【図1F】 図1AのC-C'における高周波基板の断面図。

【図1G】 図1AのD-D'における高周波基板の断面図。

【図1H】 図1AのE-E'における高周波基板の断面図。

【図2】 第1の実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線路側高周波電流経路とグラウンドパタン側高周波電流経路を模式的に表した図。

【図3】 第1の実施例の高周波伝送線路構造において信号伝送方向に沿って配置された導電性ビアの間隔範囲を説明するための図である。

【図4】 比較例と第1の実施例の入力反射特性の比較を行った電磁界解析結果を示す

図。

【図 5】第 1 の実施例にて分離幅を変えて入力反射特性の比較を行った電磁界解析結果を示す図。

【図 6 A】第 2 の実施例の高周波基板の第 1 配線層を示す平面図。

【図 6 B】第 2 の実施例の高周波基板の第 2 配線層を示す平面図。

【図 6 C】第 2 の実施例の高周波基板の第 3 配線層を示す平面図。

【図 6 D】図 6 A の A-A' における高周波基板の断面図。

【図 6 E】図 6 A の B-B' における高周波基板の断面図。

【図 6 F】図 6 A の C-C' における高周波基板の断面図。

【図 6 G】図 6 A の D-D' における高周波基板の断面図。

【図 6 H】図 6 A の E-E' における高周波基板の断面図。

【図 7】比較例と第 2 の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

【図 8 A】第 3 の実施例の高周波基板の第 1 配線層を示す平面図。

【図 8 B】第 3 の実施例の高周波基板の第 2 配線層を示す平面図。

【図 8 C】第 3 の実施例の高周波基板の第 3 配線層を示す平面図。

【図 8 D】図 8 A の A-A' における高周波基板の断面図。

【図 8 E】図 8 A の B-B' における高周波基板の断面図。

【図 8 F】図 8 A の C-C' における高周波基板の断面図。

【図 8 G】図 8 A の D-D' における高周波基板の断面図。

【図 8 H】図 8 A の E-E' における高周波基板の断面図。

【図 9】比較例と第 3 の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

【図 10】本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した断面図。

【図 11】本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した断面図。

【図 12 A】特許文献 1 に開示される高周波基板の全体斜視図。

【図 12 B】図 12 A の高周波基板の第 2 の誘電体層部分の斜視図。

【図 12 C】図 12 A の高周波基板の裏面導体パタンの上面図。

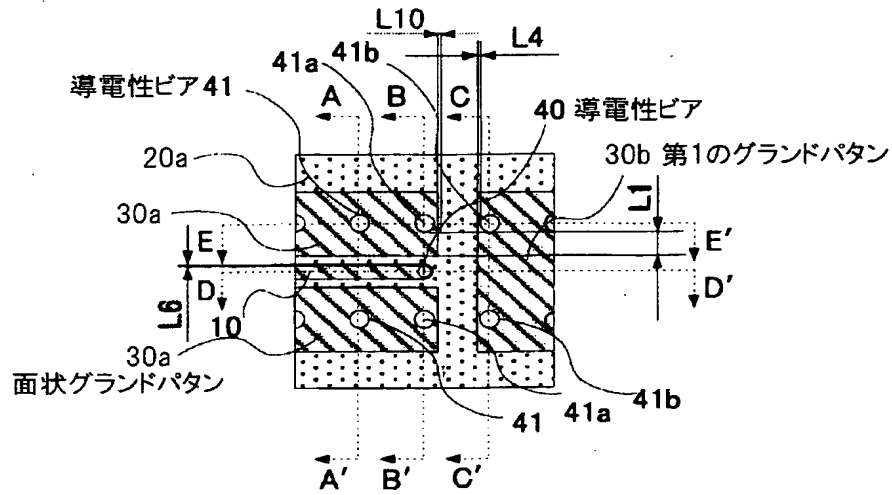
【図 12 D】図 12 A に示す高周波基板の、伝送信号方向に沿った X-X 断面図。

#### 【符号の説明】

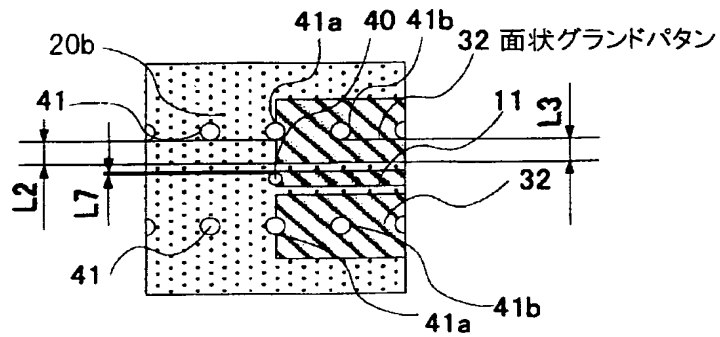
##### 【0152】

- 10 第 1 のコプレーナ線路の第 1 の信号線路
- 11 第 2 のコプレーナ線路の第 2 の信号線路
- 20 誘電体基板
  - 20 a 第 1 の誘電体層
  - 20 b 第 2 の誘電体層
- 30 a 第 1 のコプレーナ線路の面状グランドパターン
- 30 b 第 2 のコプレーナ線路の上層の第 1 のグランドパターン
- 31 第 2 のコプレーナ線路の下層の第 2 のグランドパターン
- 32 第 2 のコプレーナ線路の面状グランドパターン
- 40、41、41 a、41 b、41 c 導電性ビア
- 50 第 1 のコプレーナ線路の下層のグランドパターン
- 60 LSI チップ
- 70 ボンディングワイヤー
- 80 蓋

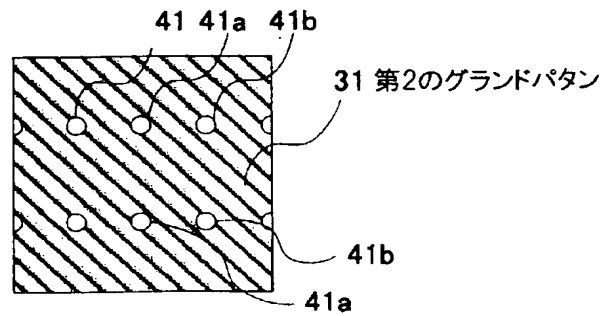
【書類名】 図面  
【図 1 A】



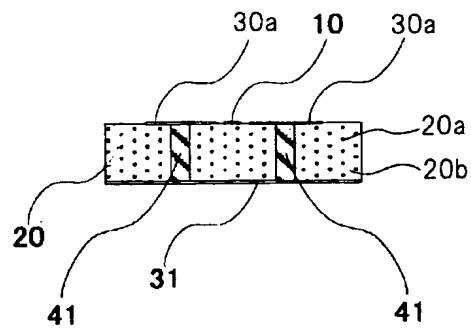
【図 1 B】



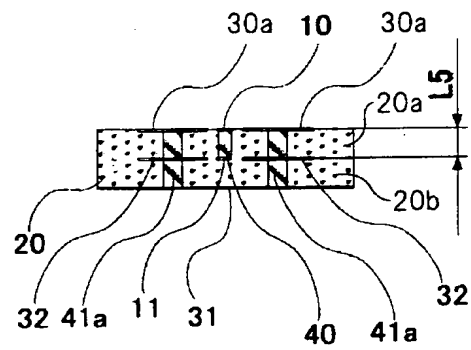
【図 1 C】



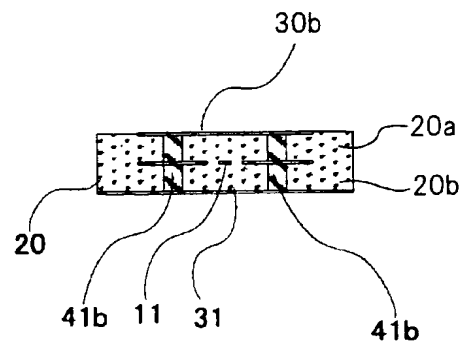
【図 1 D】



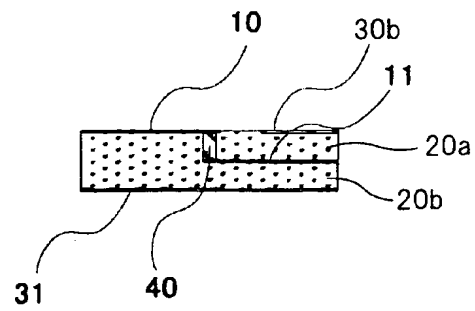
【図 1 E】



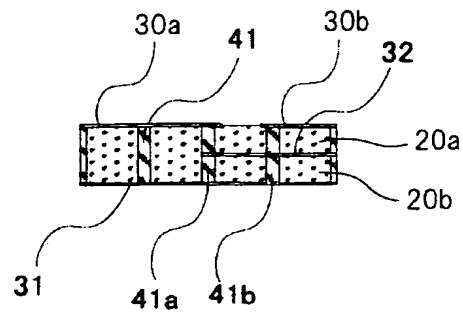
【図 1 F】



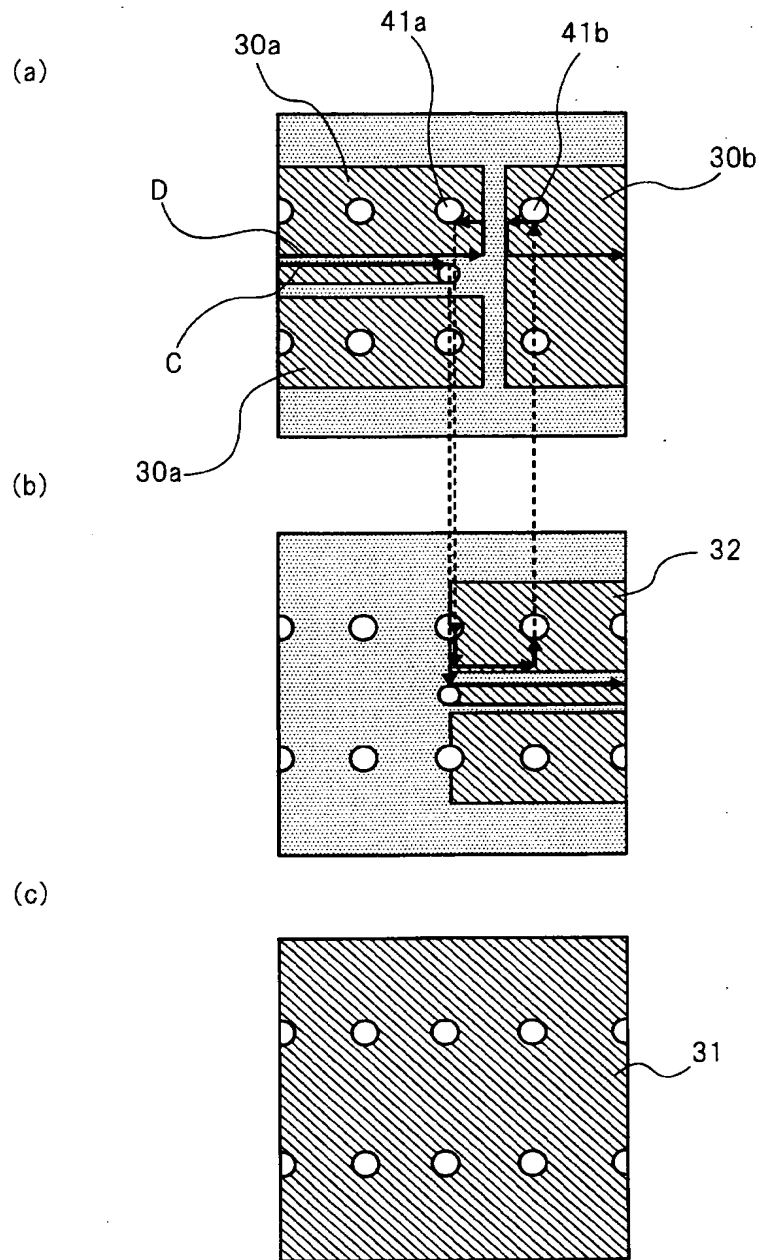
【図 1 G】



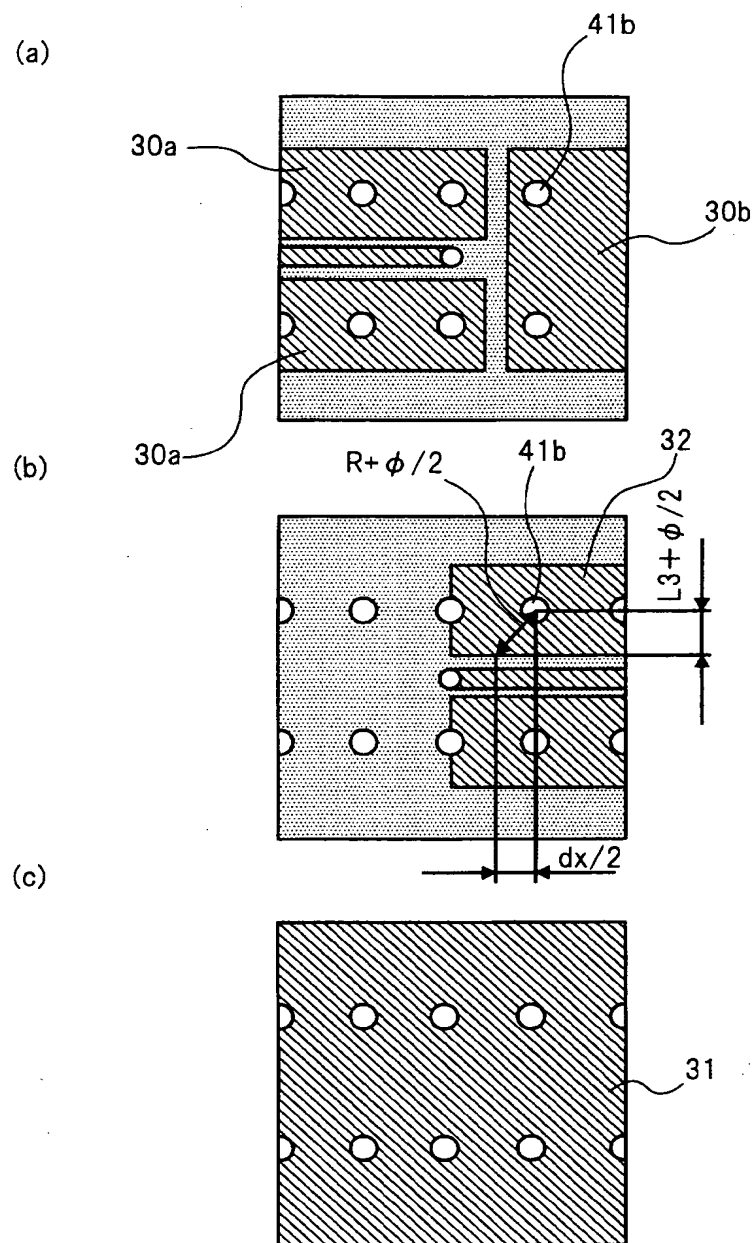
【図 1 H】



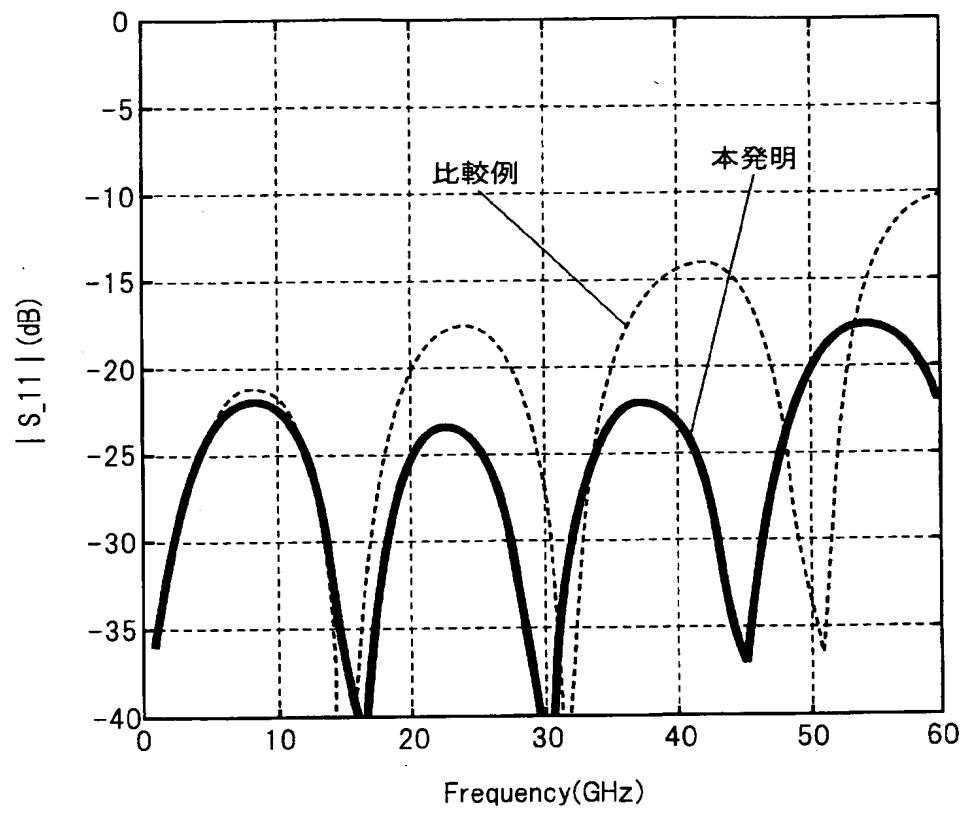
【図 2】



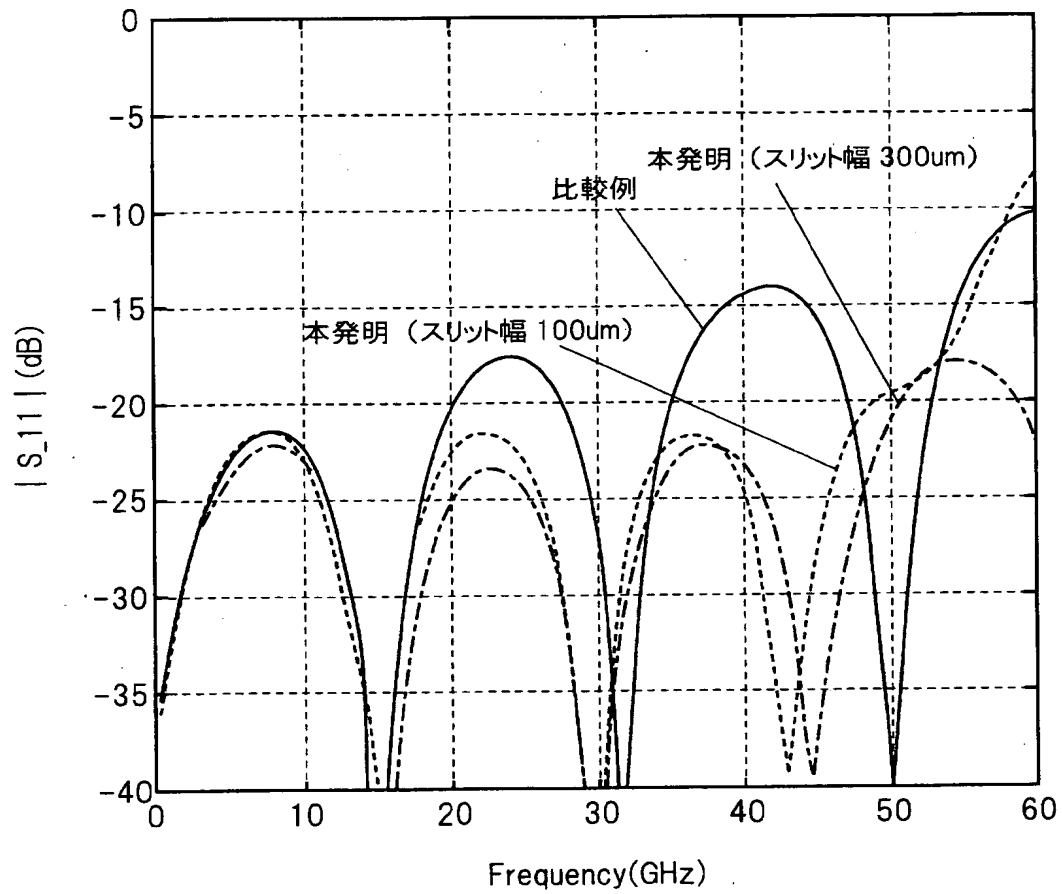
【図 3】



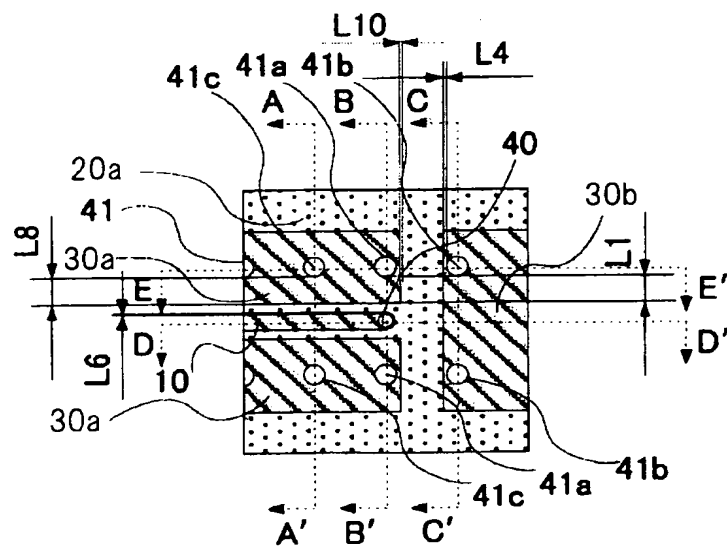
【図 4】



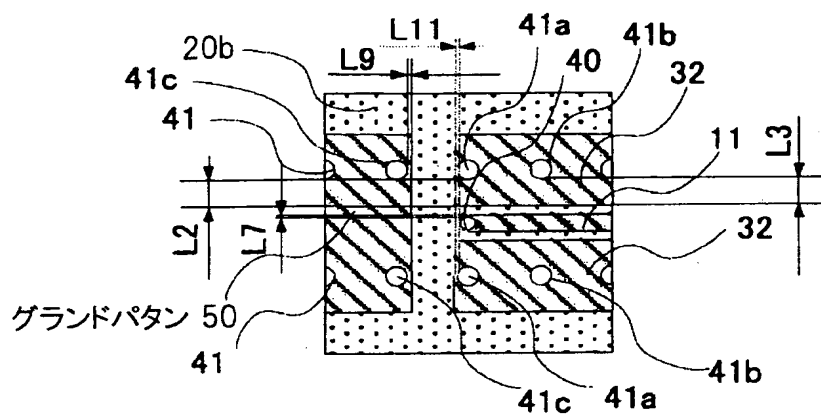
【図 5】



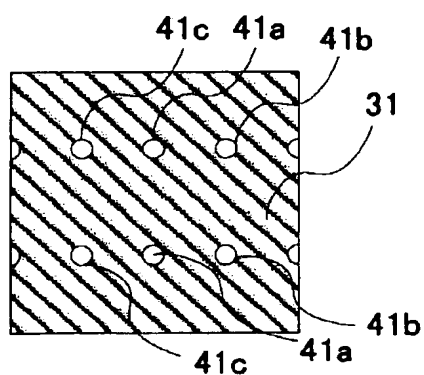
【図 6 A】



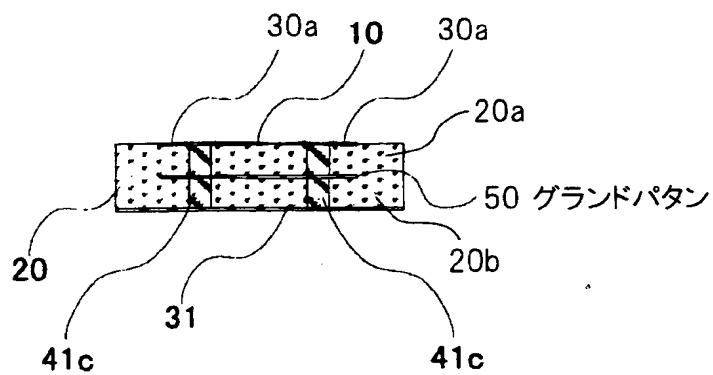
【図 6 B】



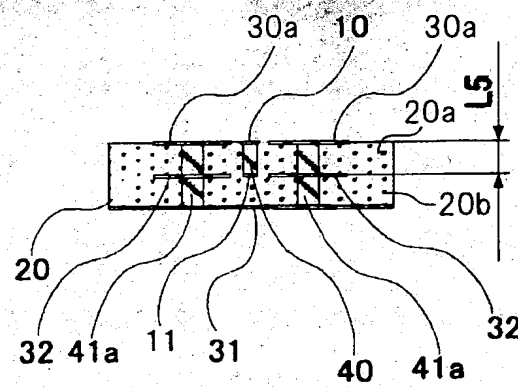
【図 6 C】



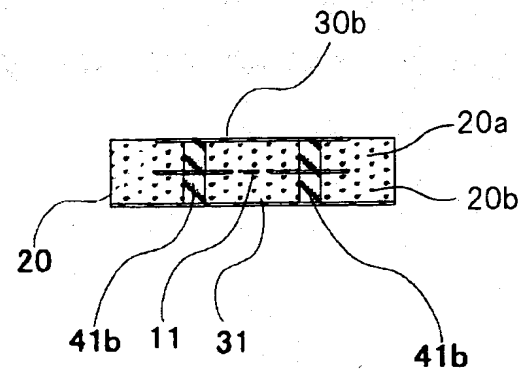
【図 6 D】



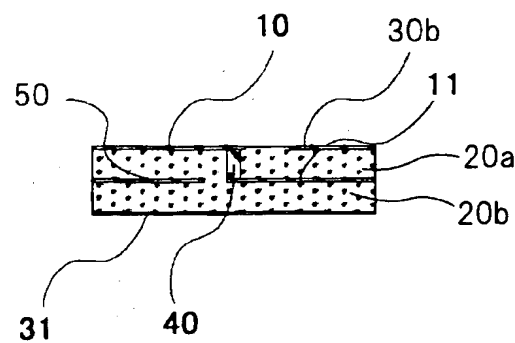
【図 6 E】



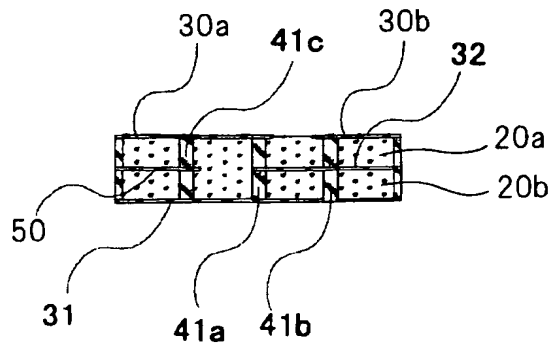
【図 6 F】



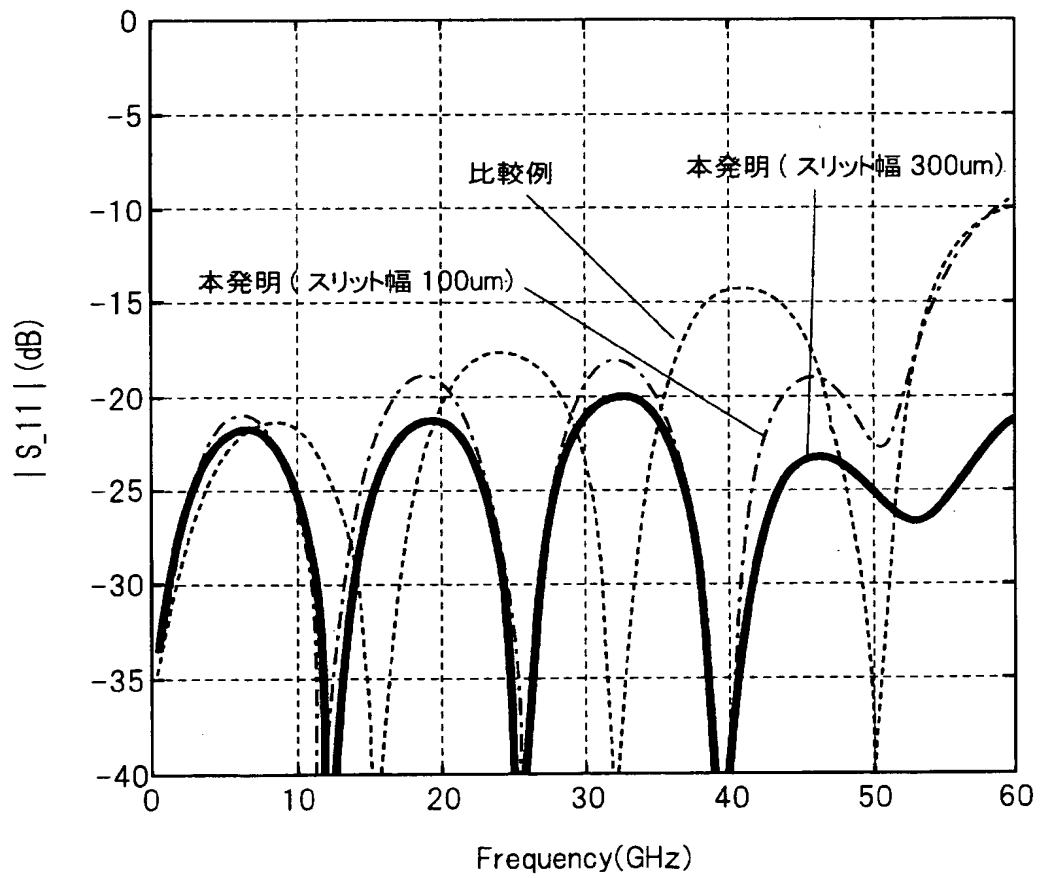
【図 6 G】



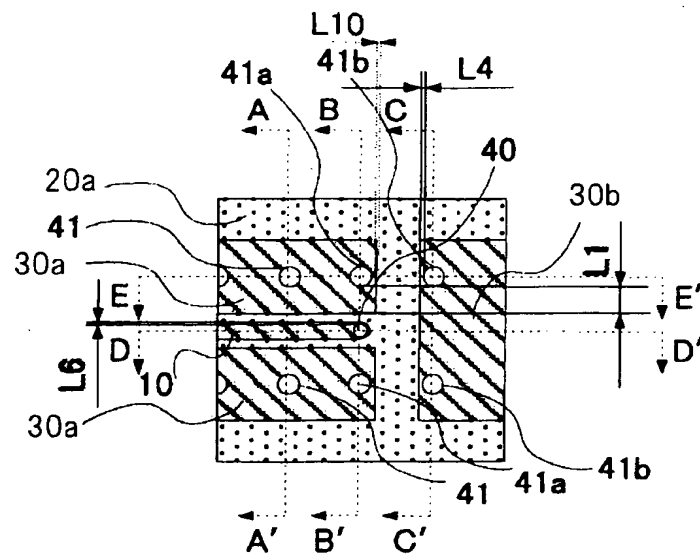
【図 6 H】



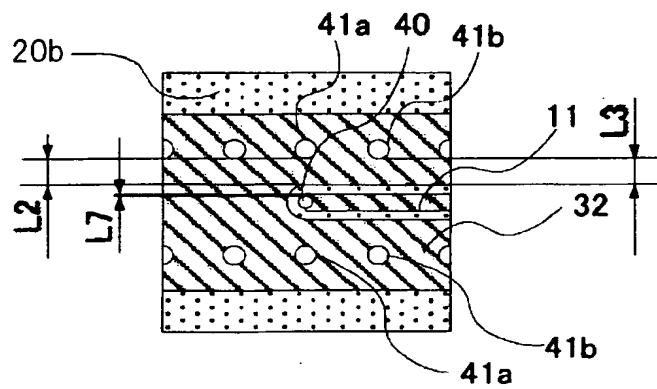
【図 7】



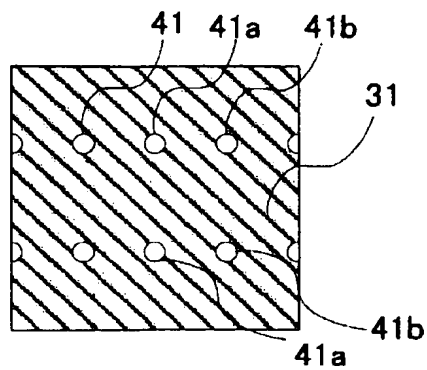
【図 8 A】



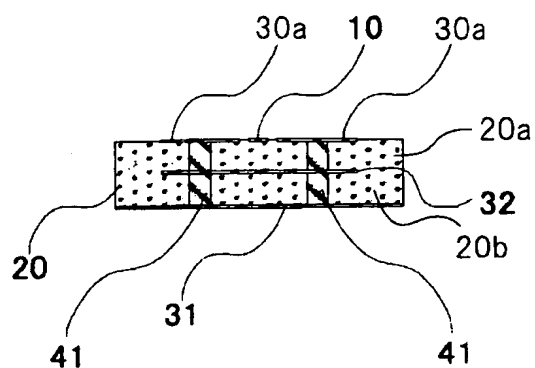
【図 8 B】



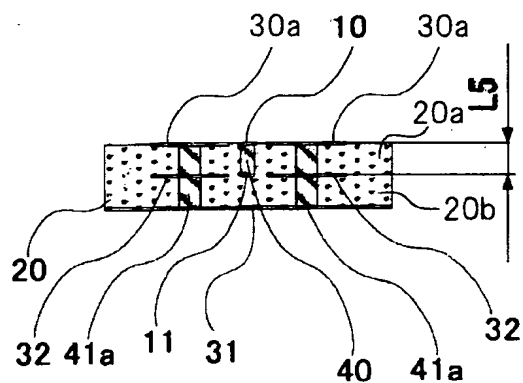
【図 8 C】



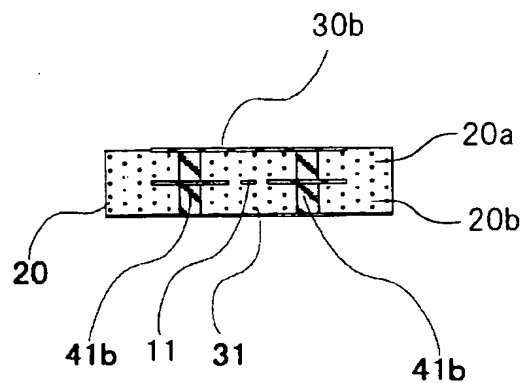
【図 8 D】



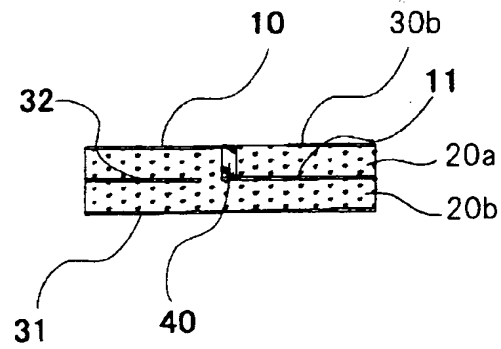
【図 8 E】



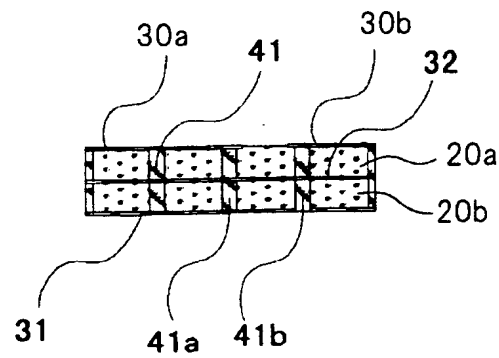
【図 8 F】



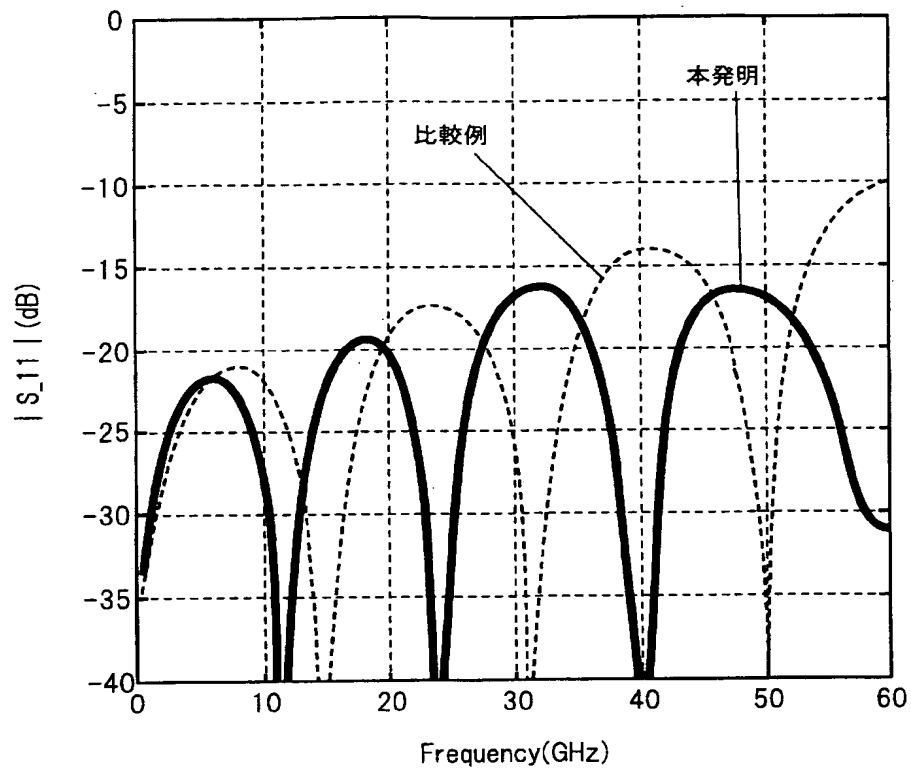
【図 8 G】



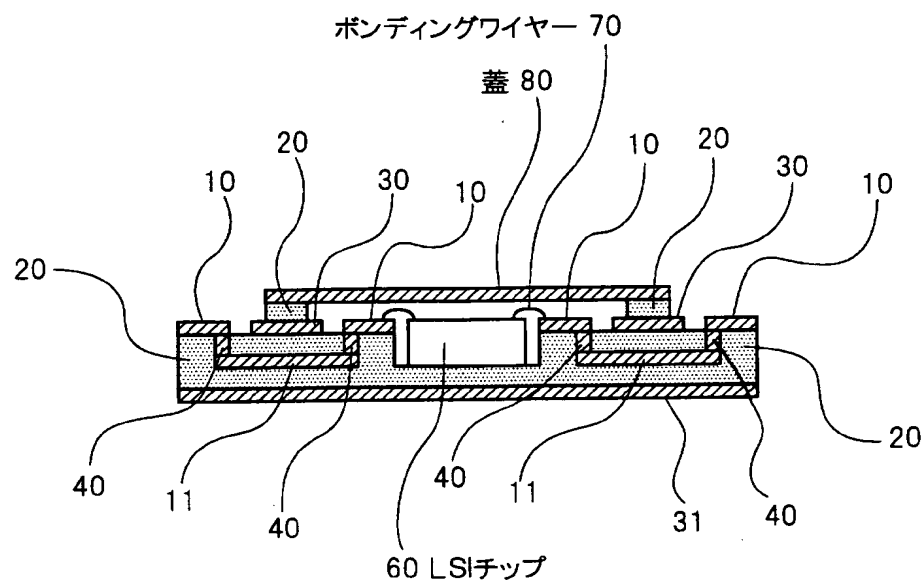
【図 8 H】



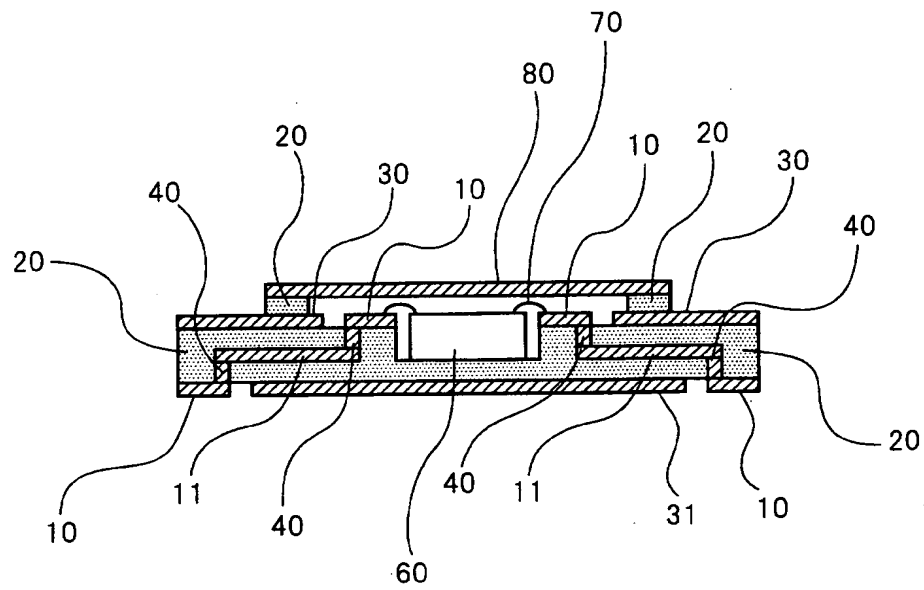
【図 9】



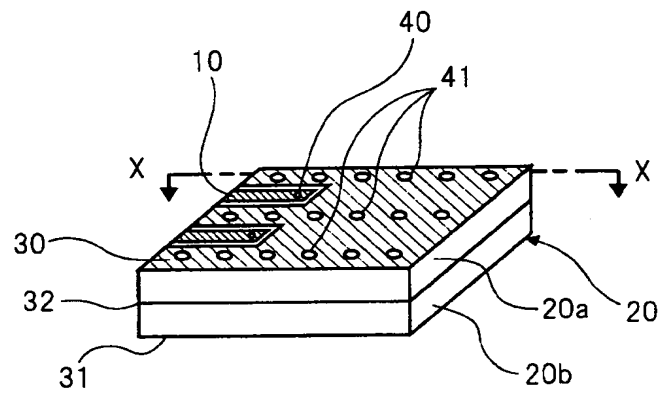
【図 10】



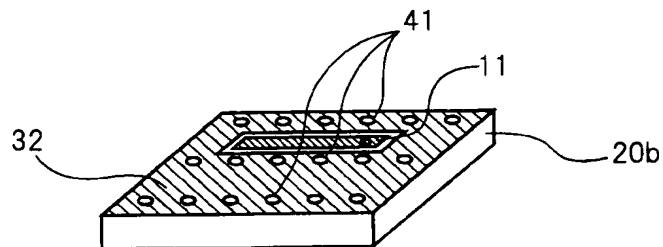
【図 11】



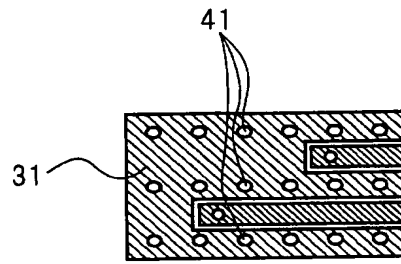
【図 12 A】



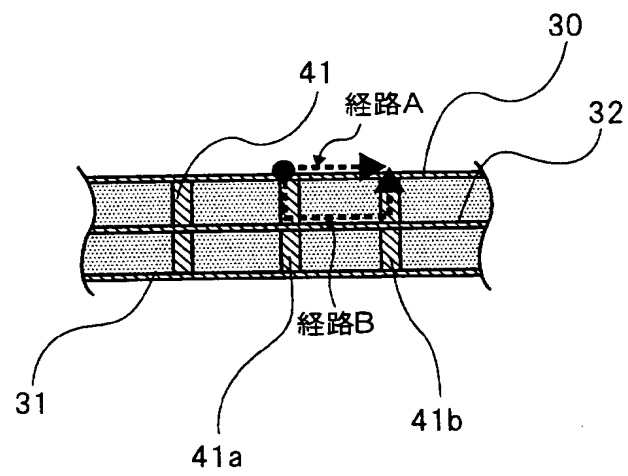
【図 12 B】



【図 1 2 C】



【図 1 2 D】



**【書類名】 要約書****【要約】**

**【課題】**異なる層に形成され相互に接続された高周波伝送線路構造において伝送信号が高周波になるほど反射特性が劣化する課題がある。

**【解決手段】**誘電体基板20の内部または表面に形成された第1のコプレーナ線路の第1の信号線路10と、これとは異なる配線層に形成された第2のコプレーナ線路の第2の信号線路とが、各々の線路端にて導電性ビア40で接続されている。第2のコプレーナ線路が形成されている領域と対向し、かつ、第1のコプレーナ線路と同じ配線層に第1のグランドパターン30 bが形成されている。信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のグランドパターン30 bと第1のコプレーナ線路の面状グランドパターン30 a とが所定の幅を介して分離されている。

**【選択図】 図1A**

特願 2 0 0 7 - 2 4 1 1 0 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2008/063283

International filing date: 24 July 2008 (24.07.2008)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2007-241104  
Filing date: 18 September 2007 (18.09.2007)

Date of receipt at the International Bureau: 21 August 2008 (21.08.2008)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

## 特許協力条約に基づく国際出願願書

紙面による写し (注意 電子データが原本となります)

0	受理官庁記入欄	
0-1	国際出願番号	PCT/JP2008/063283
0-2	国際出願日	2008年 07月 24日 (24. 07. 2008)
0-3	(受付印)	
0-4	様式 PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	JPO-PAS 0352
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	08-0175-NEC
I	発明の名称	高周波基板および、これを用いた高周波モジュール
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	日本電気株式会社
II-4en	Name:	NEC CORPORATION
II-5ja	あて名	1088001 日本国
II-5en	Address:	東京都港区芝五丁目 7 番 1 号 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-11	出願人登録番号	000004237

## 特許協力条約に基づく国際出願願書

紙面による写し (注意 電子データが原本となります)

III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 大平 理覚 OHHIRA, Risato 1088001 日本国 東京都港区芝五丁目7番1号 日本電気株式会社内 c/o NEC Corporation, 7-1, Shiba 5-chome, Minato-ku, Tokyo 1088001 Japan 日本国 JP 日本国 JP
III-1-1	この欄に記載した者は	
III-1-2	右の指定国についての出願人である。	
III-1-4ja	氏名(姓名)	
III-1-4en	Name (LAST, First):	
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	
III-1-7	住所(国名)	
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent) 宮崎 昭夫 MIYAZAKI, Teruo 1070052 日本国 東京都港区赤坂1丁目9番20号 第16興和ビル8階 8th Floor, 16th Kowa Bldg., 9-20, Akasaka 1-chome, Minato-ku, Tokyo 1070052 Japan 03-3585-1878 03-3587-2388 waka@patent.wpa.co.jp 100123788
IV-1-1ja	氏名(姓名)	
IV-1-1en	Name (LAST, First):	
IV-1-2ja	あて名	
IV-1-2en	Address:	
IV-1-3	電話番号	
IV-1-4	ファクシミリ番号	
IV-1-5	電子メール	
IV-1-6	代理人登録番号	
IV-2	その他の代理人	
IV-2-1ja	氏名	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with the same address as first named agent) 石橋 政幸(100106138); 緒方 雅昭(100127454) ISHIBASHI, Masayuki(100106138); OGATA, Masaaki(100127454)
IV-2-1en	Name(s)	
V	国の指定	
V-1	この願書を用いてされた国際出願は、規則4.9(a)に基づき、国際出願の時点で拘束される全てのPCT締約国を指定し、取得しうるあらゆる種類の保護を求め、及び該当する場合には広域と国内特許の両方を求める国際出願となる。	
VI-1	先の国内出願に基づく優先権主張	2007年 09月 18日 (18. 09. 2007) 2007-241104 日本国 JP
VI-1-1	出願日	
VI-1-2	出願番号	
VI-1-3	国名	

## 特許協力条約に基づく国際出願願書

紙面による写し (注意 電子データが原本となります)

VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	—	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	—	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	—	
VIII-4	発明者である旨の申立て (米国を指定国とする場合)	—	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	—	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書 (申立てを含む)	4	✓
IX-2	明細書	27	✓
IX-3	請求の範囲	5	✓
IX-4	要約	1	✓
IX-5	図面	13	✓
IX-7	合計	50	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	—	✓
IX-11	包括委任状の写し	—	✓
IX-17	PCT-SAFE 電子出願	—	—
IX-19	要約とともに提示する図の番号	2A	
IX-20	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	/100123788/	
X-1-1	氏名(姓名)	宮崎 昭夫	
X-1-2	署名者の氏名		
X-1-3	権限		

## 受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	2008年 07月 24日 (24. 07. 2008)
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日 (訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

特許協力条約に基づく国際出願願書  
紙面による写し(注意 電子データが原本となります)

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2009年3月26日 (26.03.2009)

PCT

(10) 国際公開番号  
WO 2009/037918 A1

(51) 国際特許分類:

H01P 1/04 (2006.01) H05K 1/02 (2006.01)  
H01L 23/12 (2006.01) H05K 3/46 (2006.01)  
H01P 3/02 (2006.01)

(21) 国際出願番号: PCT/JP2008/063283

(22) 国際出願日: 2008年7月24日 (24.07.2008)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願2007-241104 2007年9月18日 (18.09.2007) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001  
東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大平 理覚

(OHHIRA, Risato) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

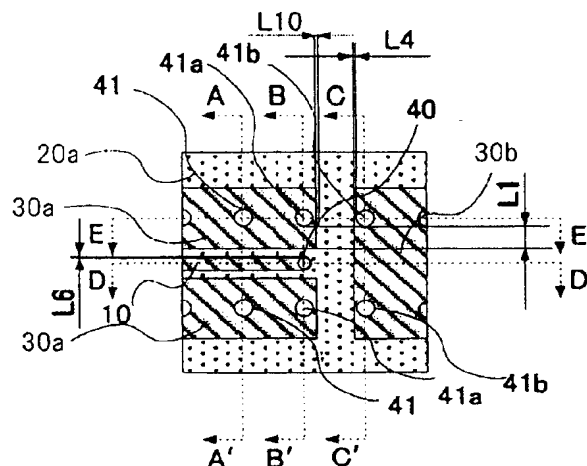
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: HIGH FREQUENCY SUBSTRATE AND HIGH FREQUENCY MODULE USING SAME

(54) 発明の名称: 高周波基板および、これを用いた高周波モジュール

[図2A]



(57) Abstract: A high frequency substrate is provided with a first signal line, a first coplanar line having a first plane-like ground pattern formed at the same wiring layer as that of the first signal line, a second signal line formed at a wiring layer different from that of the first signal line, a second coplanar line having a second plane-like ground pattern formed at the same wiring layer as that of the second signal line, and a first ground pattern formed at the same wiring layer as that of the first coplanar line. In at least a region from a connecting portion at both edges of the first and second signal lines to the second signal line, the first ground pattern and the first plane-like ground pattern are separated.

[続葉有]

WO 2009/037918 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,  
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

---

(57) 要約: 本発明の高周波基板は、第 1 の信号線路と、該第 1 の信号線路と同じ配線層に形成された第 1 の面状グランドパターンを備える第 1 のコプレーナ線路と、前記第 1 の信号線路とは異なる配線層に形成された第 2 の信号線路と、該第 2 の信号線路と同じ配線層に形成された第 2 の面状グランドパターンを備える第 2 のコプレーナ線路と、前記第 1 のコプレーナ線路と同じ配線層に形成された第 1 のグランドパターンと、を有する。前記第 1 のコプレーナ線路と前記第 2 のコプレーナ線路が接続されている。少なくとも、前記第 1 の信号線路と前記第 2 の信号線路の端部どうしの接続部から前記第 2 の信号線路に沿った領域で、前記第 1 のグランドパターンと前記第 1 の面状グランドパターンが分離されている。

## 明 細 書

### 高周波基板および、これを用いた高周波モジュール 技術分野

[0001] 本発明は、高周波伝送線路が形成された高周波基板に関し、特に、基板の異なる層に形成された高周波伝送線路間の相互接続に関する。

### 背景技術

[0002] 高周波半導体素子用パッケージや回路素子実装用配線基板等に用いられている高周波伝送線路においては、電子部品の実装位置により、誘電体基板の表面に形成された表層線路と、誘電体基板の内部に形成された内層線路を相互に接続する場合が多々ある。

[0003] 誘電体基板の表面に形成される表層線路としてはマイクロストリップ線路やコプレーナ線路が代表的である。また、誘電体基板の内部に形成される内層線路としてはストリップ線路およびコプレーナ線路が代表的に用いられている。そして、表層線路と内層線路間の相互接続は、導電性のあるビアやスルーホール等により接続されている。

[0004] 例えば、特開2003-133472号公報(以下、特許文献1と称す)に記載されている高周波基板は、図1A～図1Dに示すような高周波伝送線路を有する。なお、図1Aはこの高周波基板の全体斜視図、図1Bはこの高周波基板の第2の誘電体層部分の斜視図、図1Cはこの高周波基板の裏面導体パタンの上面図である。図1Dは、図1Aに示す高周波基板の、伝送信号方向に沿ったX-X断面図を示している。

[0005] これらの図により示される高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。そして、異なる層に高周波伝送線路が形成されている。

[0006] 第1の高周波伝送線路は、誘電体基板20の表面である第1の誘電体層20aの上面上に形成された第1の信号線路10と、この信号線路10の周りにこれと同一面上に配置された第1のグランドパターン30と、第2の誘電体層20bの上面に形成された第2のグランドパターン32とから構成されている。一方、第2の高周波伝送線路は、上記第1のグランドパターン30と、誘電体基板20の裏面である第2の誘電体層20bの下面に形成され

た第3のグランドパタン31と、これらの間に配置され第2の誘電体層20bの上面上に形成された第2の信号線路11と、この信号線路11の周りにこれと同一面上に配置された第2のグランドパタン32とから構成されている。

[0007] 第1の高周波伝送線路の第1の信号線路10の端部と、第2の高周波伝送線路の第2の信号線路11の端部とは、導電性のあるビア40により接続されている。さらに、第1のグランドパタン30、第2のグランドパタン32、および第3のグランドパタン31は、第1の信号線路10および第2の信号線路11の信号伝送方向に沿って配置される複数の導電性ビア41によって電氣的に接続されている。

[0008] ところで、第1の高周波伝送線路と第2の高周波伝送線路のように、異なった線路構造同士を接続する場合、接続部付近では、不整合が生じやすく、その結果として、高周波信号になるほど信号反射が生じやすい。

[0009] そのため、例えば特開2004-320109号公報（以下、特許文献2と称す）のように、上記第1の高周波伝送線路を構成する第1の信号線路10に相当する信号線路の端部幅、すなわち、導電性ビア40との接続部近傍の幅を変えることによって、インピーダンス不整合を抑制し、信号反射を低減する方法が提案されている。

[0010] [特許文献1]特開2003-133472号公報(図5)

[特許文献2]特開2004-320109号公報(図1、段落[0095])

以上のように、図1A～図1Dにより示される構成において信号線路が異なった層に形成されている異種線路を接続する場合、信号線路間を接続する導電性ビア付近の信号線路幅を変えることにより、信号通過特性(反射特性とも呼ぶ。)を改善していた。しかしながら、この従来技術では、伝送信号が低周波から高周波になればなるほど信号通過特性(反射特性とも呼ぶ。)が劣化していく問題を解決できないことが分かった。

[0011] その理由について、図1Dを参照して説明する。

[0012] 図1A～図1Dにより示される構成では、第1の高周波伝送線路から第2の高周波伝送線路へ信号が伝送されていく際に、第1の高周波伝送線路の第1の信号線路10と第1のグランドパタン30を伝わってきた高周波電流のうちの信号線路側の電流は、第2の高周波伝送線路の第2の信号線路11に沿って流れる。ところが、そのグランドパ

タン側の電流は、第2の高周波伝送線路の第2のグランドパタン32を流れるだけでなく、第1のグランドパタン30にも2つの経路で伝わる。すなわち、図1Dに図示するように、第1のグランドパタン30のみを伝わる経路Aと、第1のグランドパタン30から導電性ビア41a、第2のグランドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して再び第1のグランドパタン30に戻ってくる経路Bとで伝わる。

[0013] ここで、2つの物理的な経路長を各々 $L1$ 、 $L2$ 、経路長差 $L1-L2$ を $\Delta L$ 、伝送信号の真空中における波長を $\lambda_0$ 、各々の経路の波数を同一の $k$ 、各々の経路における実効比誘電率を同一の $\epsilon$ とした場合を考えると、2つの経路A、B間の位相差は、

[0014] [数1]

$$k \times L1 - k \times L2 = k \times \Delta L = \left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon}} \right) \times \Delta L = (2\pi \times \sqrt{\epsilon}) \times \left( \frac{\Delta L}{\lambda_0} \right) \quad \dots (1)$$

と表され、 $\Delta L / \lambda_0$ に比例する。

[0015] そのため、物理的な経路長差 $\Delta L$ が一定であったとしても、伝送信号が低周波から高周波になるほど、すなわち、波長 $\lambda_0$ が短くなるほど、経路間位相差が大きくなり、位相干渉を引き起こしやすくなる。

[0016] つまり、特許文献2に教示された方法をとっても、図1A～図1Dにより示される構成の場合は、第1の高周波伝送線路から第2の高周波伝送線路への伝送信号が高周波になればなるほど反射特性を改善できないことが分かった。

## 発明の開示

[0017] 本発明の目的は、上記背景技術が有する問題を解決することにある。その目的の一例は、異なった層に形成され相互に接続されている高周波異種線路を備える高周波基板において、低周波域から高周波域にわたって反射特性を改善できる構造を提供することにある。

[0018] 本発明の高周波基板は、第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板に係るものであり、その一つの態様は次のとおりである。第1のコプレーナ線路は、第1の信号線路と、該第1の信号線路と同じ配線層に形成された第1の面状グランドパタンを備える線路である。第2のコプレーナ線路は、第1の信

号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパターンを備える線路である。そして、第1のコプレーナ線路と同じ配線層に第1のグランドパターンが形成されている。この高周波基板において、少なくとも、前記第1の信号線路と前記第2の信号線路の端部どうしの接続部から前記第2の信号線路に沿った領域で、前記第1のグランドパターンと前記第1の面状グランドパターンが分離されていることが本発明の特徴である。

[0019] さらに本発明の別の態様では、第1の信号線路と第2の信号線路どうしが各々の線路端にて第1の導電性ビアにより接続されている。そして、第1および第2のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で複数の第2の導電性ビアが配設され、これらの中には、第1のコプレーナ線路の面状グランドパターンと第2のコプレーナ線路の面状グランドパターンを接続する導電性ビアaや、第1のグランドパターンと第2のコプレーナ線路の面状グランドパターンを接続する導電性ビアbや、第1のコプレーナ線路の面状グランドパターンと第2のグランドパターンを接続する導電性ビアc等が含まれている。

#### 図面の簡単な説明

[0020] [図1A]特許文献1に開示される高周波基板の全体斜視図。  
[図1B]図1Aの高周波基板の第2の誘電体層部分の斜視図。  
[図1C]図1Aの高周波基板の裏面導体パターンの上面図。  
[図1D]図1Aに示す高周波基板の、伝送信号方向に沿ったX-X断面図。  
[図2A]第1の実施例の高周波基板の第1配線層を示す平面図。  
[図2B]第1の実施例の高周波基板の第2配線層を示す平面図。  
[図2C]第1の実施例の高周波基板の第3配線層を示す平面図。  
[図2D]図2AのA-A'における高周波基板の断面図。  
[図2E]図2AのB-B'における高周波基板の断面図。  
[図2F]図2AのC-C'における高周波基板の断面図。  
[図2G]図2AのD-D'における高周波基板の断面図。  
[図2H]図2AのE-E'における高周波基板の断面図。  
[図3]第1の実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線

路側高周波電流経路とグランドパターン側高周波電流経路を模式的に表した図。

[図4]第1の実施例の高周波伝送線路構造において信号伝送方向に沿って配置された導電性ビアの間隔範囲を説明するための図である。

[図5]比較例と第1の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

[図6]第1の実施例にて分離幅を変えて入力反射特性の比較を行った電磁界解析結果を示す図。

[図7A]第2の実施例の高周波基板の第1配線層を示す平面図。

[図7B]第2の実施例の高周波基板の第2配線層を示す平面図。

[図7C]第2の実施例の高周波基板の第3配線層を示す平面図。

[図7D]図7AのA-A'における高周波基板の断面図。

[図7E]図7AのB-B'における高周波基板の断面図。

[図7F]図7AのC-C'における高周波基板の断面図。

[図7G]図7AのD-D'における高周波基板の断面図。

[図7H]図7AのE-E'における高周波基板の断面図。

[図8]比較例と第2の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

[図9A]第3の実施例の高周波基板の第1配線層を示す平面図。

[図9B]第3の実施例の高周波基板の第2配線層を示す平面図。

[図9C]第3の実施例の高周波基板の第3配線層を示す平面図。

[図9D]図9AのA-A'における高周波基板の断面図。

[図9E]図9AのB-B'における高周波基板の断面図。

[図9F]図9AのC-C'における高周波基板の断面図。

[図9G]図9AのD-D'における高周波基板の断面図。

[図9H]図9AのE-E'における高周波基板の断面図。

[図10]比較例と第3の実施例の入力反射特性の比較を行った電磁界解析結果を示す図。

[図11]本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した

断面図。

[図12]本発明の高周波基板を用いたモジュールの例を信号線路に沿って切断した断面図。

### 発明を実施するための最良の形態

[0021] 以下、本発明の実施例について図面を参照して詳細に説明する。

[0022] (第1の実施例)

図2A～2Hは、本発明の第1の実施例による高周波基板の構成を示したものである。詳しく言うと、図2Aは本実施例の高周波基板の第1配線層を示す平面図、図2Bはその第2配線層の平面図、図2Cはその第3配線層の平面図である。図2Dは図2AのA-A'における基板断面図、図2Eは図2AのB-B'における基板断面図、図2Fは図2AのC-C'における基板断面図、図2Gは図2AのD-D'における基板断面図、図2Hは図2AのE-E'における基板断面図である。なお、各図において、図1A～図1Dに示される構成要素と同じ機能部位には同一符号を用いている。

[0023] 本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図2A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図2B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a, 32は、信号線路を挟む両側位置の一方のみに形成されていてもよい。

[0024] 第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

[0025] 第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)には、面状の第1のグランドパターン30bと、面状の第2の

グラウンドパタン31が形成されている。この第2のグラウンドパタン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グラウンドを兼ねている。

[0026] 一方、第1のグラウンドパタン30bは、背景技術のように第1のコプレーナ線路のグラウンドパタンを兼ねることなく、そのグラウンドパタン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の上層の第1のグラウンドパタン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0027] さらに、第1のコプレーナ線路の面状グラウンドパタン30aと、第1のコプレーナ線路の下層グラウンドを兼ねる第2のグラウンドパタン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の面状グラウンドパタン32との間も相互接続している。

[0028] その上、第2のコプレーナ線路の上層にある第1のグラウンドパタン30bと、第2のコプレーナ線路の面状グラウンドパタン32と、第2のグラウンドパタン31は、第2のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41(41b)によって、相互に接続されている。

[0029] 以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グラウンドパタン30aと、第2のコプレーナ線路の上層の第1のグラウンドパタン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグラウンドパタン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグラウンドパタン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グラウンドパタン30aから導電性ビア41a、第2のコプレーナ線路の面状グラウンドパタン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグラウンドパタン30bに向かう経路のみとなる。これにより、第1のグラウンドパタン30bに

伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0030] 尚、この効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間が分離されていれば得られるので、分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間の分離部分を形成する対向辺は図示されているような平行で且つ一定間隔に形成する必要はない。

[0031] 次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパターン30aと第1のグランドパターン30bの間を一定間隔の幅で分離した構成を前提とする。

[0032] 本実施例では、反射特性をより良くする追加条件として、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとの間の分離の程度を以下のように規定している。すなわち、その分離幅は0よりも大きく、かつ、第1の信号線路10の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41bまでの間隔 $dx$ 以下に規定している。

[0033] このような条件で本実施例の反射特性の更なる改善を図れる理由について、図3を用いて説明する。図3は、本実施例の高周波伝送線路構造に対する電磁界解析結果を基に、信号線路10、11を伝わる信号線路側高周波電流経路Cと、第2のコプレーナ線路の上層の第1のグランドパターン30bに伝わるグランドパターン側高周波電流経路Dを模式的に表したものである。尚、この図の(a)、(b)、(c)はそれぞれ図2A、図2B、図2Cに対応し、図中のグランドパターン側高周波電流経路Dは、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41aを経由して第2のコプレーナ線路の上層の第1のグランドパターン30bを伝わる様子を示す。この図から分かるように、対向する信号線路とグランドパタンの外周辺にそれぞれ沿った信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの間には経路長差がある。そして、上記の分離幅を大きくする程、導電性ビア41aとグランドパターン30aの外周辺の間および／または導電性ビア41bとグランドパターン30bの外周辺の間が縮まるため、図3中のグランドパターン側高周波電流経路Dの長さは短くなり、信号線路側高周波電流経路Cと

グランドパターン側高周波電流経路Dとの経路長差も短くなる。よって、分離幅が大きくなる程、つまり電流経路C、D間の経路長差が短くなる程、前述した(1)式から分かるように、信号線路側高周波電流経路Cとグランドパターン側高周波電流経路Dとの位相差を小さくすることができる。

[0034] そのため、分離幅の上限を、グランドパターン30a、30b間を最大限分離できる導電性ビア41の間隔dxに設定することにより、反射特性を更に改善することができる。

[0035] なお、間隔dxは、第1のコプレーナ線路ではなく第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔で規定することになる。また、第2のコプレーナ線路において形成されている導電性ビア41a、41b等の配列間隔は、第2のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。

[0036] ここで、ビア間隔dxの算出法を述べる。

[0037] 本願発明者は、第2のコプレーナ線路の面状グランドパターン32の任意の点から、最寄りの導電性ビアへの最短距離と層厚の和がある所定値以下になるようにすることで、周波数増加に伴う面状グランドパターン32上のインピーダンス偏差の増大が抑制され、その結果として、コプレーナ伝送線路の反射特性が広帯域に渡って改善される旨見いだしている。そこで、この概念に基づいて、ビア間隔dxを規定する式として、式変形も含めて、具体的に以下に記載する。

[0038] 第2のコプレーナ線路における面状グランドパターン32の外周边上の任意の点から最寄りのビア外周までの最短距離をR、導電性ビア41bの外周から第2の信号線路11側の面状グランドパターン32の外周边上への最短距離をL3、配線層間の誘電体層20aの厚さをL5、第2のコプレーナ線路の実効比誘電率を $\epsilon_2$ 、伝送信号の真空中における波長を $\lambda_0$ とした場合、

[0039] [数2]

$$\left( \frac{2\pi}{\lambda_0 / \sqrt{\epsilon_2}} \right) \times (R + L5) < \frac{\pi}{2} \quad \text{、すなわち、} R + L5 < \frac{1}{4} \times \frac{\lambda_0}{\sqrt{\epsilon_2}} \quad \dots(2)$$

を満足するよう、ビア間隔dxを設定する。本実施例では、最も長い最短距離Rは、導電性ビア41の直径を $\phi$ としたとき、図4により、

[0040] [数3]

$$R = \sqrt{(L3 + \phi/2)^2 + (dx/2)^2} - \phi/2 \cdots (3)$$

と表される。

[0041] 上記の(2)式を(3)式に代入して計算すると、ビア間隔dxが満たすべき式は、

[0042] [数4]

$$dx < 2 \times \sqrt{\left( \frac{1}{4} \times \frac{\lambda 0}{\sqrt{\epsilon_2}} + \phi/2 - L5 \right)^2 - (L3 + \phi/2)^2} \cdots (4)$$

となる。

[0043] また、上記の分離幅については、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差(実効比誘電率で換算した電気長差)が大きくずれない条件が望ましい。したがって、ある信号波長 $\lambda 0$ (所望の信号帯域の最小波長(最大周波数))において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

[0044] 具体的には、図2A, 2B, 2Eに図示したように、第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパターン30の外周边上への最短距離(つまり導電性ビア41aの外周から、第1の信号線路10側に位置する面状グランドパターン30の外周边上への最短距離)をL1とする。

[0045] さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパターン32の外周边上への最短距離をL2とする。

[0046] 第2のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41bの外周から、第2の信号線路11側の面状グランドパターン32の外周边上への最短距離をL3とする。

[0047] 上記の導電性ビア41bの外周から、第1のコプレーナ線路側の第1のグランドパターン

30bの外周辺上への最短距離をL4とする。

[0048] 第1のグランドパターン30bと面状グランドパターン32間の誘電体層厚をL5とする。

[0049] 信号線路10, 11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離をL6とする。

[0050] 上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離をL7とする。

[0051] さらに、導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離をL10とする。

[0052] 以上のように寸法設定したとき、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、図3に示した2つの電流経路C, Dを通る各高周波電流の位相が反転しない範囲は、

[0053] [数5]

$$\left[ \sqrt{\epsilon_1} \times \left\{ 2 \times \left( \frac{\phi}{2} + L10 \right) + L1 \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times L5 + L2 + 2 \times L3 + dx + 2 \times \left( L4 + \frac{\phi}{2} \right) \right\} \right] - \left[ \sqrt{\epsilon_1} \times L6 + \sqrt{\epsilon_2} \times (L5 + L7 + dx) \right] < \frac{\lambda_0}{2}$$

すなわち、

[0054] [数6]

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + \phi + L10 \times 2 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5 \} < \frac{\lambda_0}{2} \cdots (5)$$

と規定することができる。但し、 $\epsilon_1$ は第1のコプレーナ線路の実効比誘電率、 $\epsilon_2$ は第2のコプレーナ線路の実効比誘電率、 $\phi$ は導電性ビア41の直径を表す。

[0055] よって、本実施例では、この式(5)を満足するように、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとの間を分離することが望ましい。

[0056] 次に、本実施例による反射特性について述べる。

[0057] 反射特性を検証するにあたって、以下の数値条件とした。誘電体基板20には、比誘電率7.1のLTCC(Low temperature co-fired ceramic)基板からなる3層配線板を用いる。この誘電体基板20の第1および第2の誘電体層20a, 20bは同一材料で、各誘電体層厚L5を250[ $\mu$ m]、導体厚を15[ $\mu$ m]とする。さらに、第1の信号線路10の

信号幅を150[ $\mu\text{m}$ ]、第1の信号線路10と面状グランドパターン30aのギャップ間隔を66[ $\mu\text{m}$ ]、第2の信号線路11の信号線路幅を100[ $\mu\text{m}$ ]、第2の信号線路11と面状グランドパターン32のギャップ間隔を120[ $\mu\text{m}$ ]、導電性ビア40の直径を100[ $\mu\text{m}$ ]、導電性ビア41の直径 $\phi$ を150[ $\mu\text{m}$ ]、複数の導電性ビア41の信号伝送方向に沿った全てのビア間隔を500[ $\mu\text{m}$ ]とする。また、導電性ビア41aの外周から第1の信号線路10側の面状グランドパターン30aの外周边上への最短距離L1を135[ $\mu\text{m}$ ]とする。導電性ビア41aの外周から第2の信号線路11側の面状グランドパターン32の外周边上への最短距離L2を106[ $\mu\text{m}$ ]とする。導電性ビア41bの外周から第2の信号線路11側の面状グランドパターン32の外周边上への最短距離L3を106[ $\mu\text{m}$ ]とする。

[0058] このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとを、導電性ビア41aと導電性ビア41bの間において、スリット状の分離幅300[ $\mu\text{m}$ ]で分離した場合を考える。

[0059] この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパターン30bの外周边上への最短距離L4は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周边上への最短距離L6は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周边上への最短距離L7は0[ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周边上への最短距離L10は25[ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.723、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

[0060] 以上の数値条件を上記の式(5)に代入すると、その左辺は、

$$\begin{aligned} & \sqrt{3.723} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\} \\ & = 2645 [\mu\text{m}] \end{aligned}$$

となる。

[0061] よって、本実施例では、 $2645 [\mu\text{m}] < \lambda 0/2$ を満足するように、第1配線層にある面状グランドパターン30aと第1のグランドパターン30bを分離している。

[0062] ここで、周波数は次式(6)より導き出すことができる。

[0063]  $c = f \cdot \lambda_0$  すなわち、 $f = c / \lambda_0 \dots (6)$

(但し、 $c$ は光速で $3.0 \times 10^8 \text{ m/s}$ 、 $f$ は周波数 とする。)

$2645 [\mu \text{ m}] < \lambda_0 / 2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2645 \times 10^{-6}$ とすると、上記式(6)より、 $f = 57 \times 10^9 [\text{Hz}] = 57 [\text{GHz}]$ が算出される。

[0064] つまり、 $300 [\mu \text{ m}]$ の分離幅の場合、 $2645 [\mu \text{ m}] < \lambda_0 / 2$ を満たす周波数範囲は57 [GHz]未満であり、57 [GHz]程度まで反射特性を改善できる分離幅を設定していることになる。

[0065] また、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の第1のグランドパターン30bとが分離されていない比較例と、これらのグランドパターン30a、30bを導電性ビア41a、41bの中間において、 $300 [\mu \text{ m}]$ のスリット状の分離幅で分離した本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。この電磁界解析結果を図5に示す。この図から分かるように、低周波域から60 [GHz]付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。

[0066] 尚、第2のコプレーナ線路に形成された複数の導電性ビア41の間隔 $dx$ を満たすべき範囲は、前述した式(4)において $\phi = 150 [\mu \text{ m}]$ 、 $L3 = 106 [\mu \text{ m}]$ 、 $L5 = 250 [\mu \text{ m}]$ 、 $\epsilon_2 = 7.1$ 、 $\lambda_0 = 5450 [\mu \text{ m}]$ を代入すると、 $dx < 568 [\mu \text{ m}]$ となる。しかし、複数の導電性ビア41の信号伝送方向に沿ったビア間隔 $dx$ は500 [ $\mu \text{ m}$ ]が設計においてリーズナブルな値であるため、実施例の解析では、 $dx = 500 [\mu \text{ m}]$ としている。

[0067] さらに、図6に、本実施例において、上記の分離幅を変えた場合の電磁界解析結果を示す。この図から分かるように、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から55 [GHz]付近までは比較例と比べてスリット幅100  $\mu \text{ m}$ の方が低く抑えられ、またスリット幅300  $\mu \text{ m}$ の場合は低周波域から60 [GHz]付近まで比較例よりも低く抑えられている。

[0068] 以上説明した第1の実施例の技術思想は以下の実施例にも反映できるものである。

[0069] (第2の実施例)

図7A～7Hは、本発明の第2の実施例による高周波基板の構成を示したものである。詳しく言うと、図7Aは本実施例の高周波基板の第1配線層を示す平面図、図7Bはその第2配線層の平面図、図7Cはその第3配線層の平面図である。図7Dは図7AのA-A'における基板断面図、図7Eは図7AのB-B'における基板断面図、図7Fは図7AのC-C'における基板断面図、図7Gは図7AのD-D'における基板断面図、図7Hは図7AのE-E'における基板断面図である。なお、各図において、図1A～図1Dに示される構成要素と同じ機能部位には同一符号を用いている。

[0070] 本実施例の高周波基板は2層の誘電体層20a, 20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図7A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図7B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面状グランドパターン30a, 32は、信号線路を挟む両側位置の一方のみに形成されているもよい。

[0071] 第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

[0072] 第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグランドパターン30bと、面状の第2のグランドパターン31が形成されている。この第2のグランドパターン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

[0073] 一方、第1のグランドパターン30bは、背景技術のように第1のコプレーナ線路のグランドパターンを兼ねることなく、そのグランドパターン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコブ

レーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0074] さらに、第1のコプレーナ線路の面状グランドパターン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパターン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の面状グランドパターン32との間も相互接続している。

[0075] その上、第2のコプレーナ線路の上層にある第1のグランドパターン30bと、第2のコプレーナ線路の面状グランドパターン32と、第2のグランドパターン31は、第2のコプレーナ線路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41(41b)によって、相互に接続されている。

[0076] 以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第1の信号線路10と面状グランドパターン30aを備える第1のコプレーナ線路に対向する領域で、且つ、第2のコプレーナ線路の面状グランドパターン32と同じ層に、グランドパターン50を備えている。このグランドパターン50は、第1のコプレーナ線路の面状グランドパターン30aと第2のグランドパターン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

[0077] このグランドパターン50は、背景技術のように第2のコプレーナ線路の面状グランドパターンを兼ねることなく、そのグランドパターン32とは分かれている。詳しくは、第2のコプレーナ線路の面状グランドパターン32と、第1のコプレーナ線路の下層のグランドパターン50とが、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0078] 以上のような高周波基板の高周波伝送線路では、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、第1のコプレーナ線路の面状グランドパターン30aと、第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されている。そのため、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタ

ン30bに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグランドパターン30bに伝わる高周波電流経路は、第1のコプレーナ線路の面状グランドパターン30aから導電性ビア41a、第2のコプレーナ線路の面状グランドパターン32、信号伝送方向に沿った次の導電性ビア41bを順次経由して第1のグランドパターン30bに向かう経路のみとなる。これにより、第1のグランドパターン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0079] さらに、本実施例では、第2の信号線路11と導電性ビア40の接続部付近から第1のコプレーナ線路の延在方向において、第2のコプレーナ線路の面状グランドパターン32と、第1のコプレーナ線路の下層のグランドパターン50とが、所定の幅(誘電体幅)を介して分離されている。そのため、仮に第2のコプレーナ線路から第1のコプレーナ線路へ信号を伝送したとしても、第1のコプレーナ線路の下層のグランドパターン50に伝わる高周波電流経路が一つに限定される。つまり、第1のコプレーナ線路への信号伝送時にグランドパターン50に伝わる高周波電流経路は、第2のコプレーナ線路の面状グランドパターン32から導電性ビア41a、第1のコプレーナ線路の面状グランドパターン30a、信号伝送方向に沿った次の導電性ビア41cを順次経由してグランドパターン50に向かう経路のみとなる。これにより、グランドパターン50に伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0080] つまり、本実施例によれば、第1のコプレーナ線路と第2のコプレーナ線路の間の信号伝送方向が高周波基板の適用状態に応じて変更されても、良好な反射特性を維持することが可能となる。

[0081] 尚、このような効果は、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとの間、ならびに第2のコプレーナ線路の面状グランドパターン32と第1のコプレーナ線路の下層のグランドパターン50との間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパターン30aと第1のグランドパターン30bの間、ならびに面状グランドパターン32とグランドパターン50の間の分離部分を形成する対向辺は、図示されているような平行で且

つ一定間隔に形成されている必要はない。

[0082] 次に、反射特性をさらに良くする追加条件について述べる。但し、以下は面状グランドパタン30aと第1のグランドパタン30bの間、ならびに面状グランドパタン32とグランドパタン50の間を一定間隔の幅で分離した構成を前提とする。

[0083] 本実施例では、反射特性をより良くする追加条件として、面状グランドパタン30aと第1のグランドパタン30bとの間の第1の分離幅、ならびに、面状グランドパタン32とグランドパタン50との間の第2の分離幅について以下のように規定している。

[0084] すなわち、上記の第1の分離幅の上限は、第2のコプレーナ線路にて形成されている導電性ビア41の間隔(導電性ビア41a、41bの配列間隔)に規定され、その理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

[0085] 一方、上記の第2の分離幅についても、第1の分離幅の規定方法と同じ考え方を採り、第1のコプレーナ線路にて形成されている導電性ビア41の間隔(導電性ビア41a、41cの配列間隔)に規定される。つまり、第2の分離幅は0よりも大きく、かつ、第2の信号線路11の接続端近傍における導電性ビア41aから信号伝送方向に向けた次の導電性ビア41cまでの間隔以下に規定している。また、第1のコプレーナ線路にて形成されている導電性ビア41a、41c等の配列間隔は、第1のコプレーナ線路で所望の周波数帯域を実現するために決められる値である。この値については詳述しないが、第1の実施例で説明した算出法と同じ考え方を用いて求めることができる。

[0086] また、上記の第1および第2の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、あるコプレーナ線路から他のコプレーナ線路への信号伝送の際に、グランドパタンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差(実効比誘電率で換算した電気長差)が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、グランドパタン側と信号線路側の高周波電流の位相が反転しない範囲に、第1および第2の分離幅を規定する。この考え方による第1の分離幅の規定方法については第1の実施例に説明したので、ここでは第2の分離幅の規定方法について説明する。

[0087] まず、図7A、7B、7Eに図示したように、第1のコプレーナ線路に備わった複数の導

電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aの外周から、第1の信号線路10側の面状グランドパターン30の外周辺上への最短距離をL1とする。

[0088] さらに、上記の導電性ビア41aの外周から、第2の信号線路11側の面状グランドパターン32の外周辺上への最短距離をL2とする。

[0089] 第1のグランドパターン30bと面状グランドパターン32間の誘電体層厚をL5とする。

[0090] 信号線路10, 11を相互接続する導電性ビア40の外周から、第1の信号線路10の外周辺上への最短距離をL6とする。

[0091] 上記の導電性ビア40の外周から、第2の信号線路11の外周辺上への最短距離をL7とする。

[0092] 第1のコプレーナ線路に備わった複数の導電性ビア41のうち、第1のコプレーナ線路と第2のコプレーナ線路のグランドを相互接続している導電性ビア41aを除いて、導電性ビア40に最も近い導電性ビア41cの外周から、第1の信号線路10側の面状グランドパターン30aの外周辺上への最短距離をL8とする。

[0093] 上記の導電性ビア41cの外周から、第2のコプレーナ線路側のグランドパターン50の外周辺上への最短距離をL9とする。

[0094] 上記の導電性ビア41aの外周から、第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離をL10とする。

[0095] 上記の導電性ビア41aの外周から、グランドパターン50側の面状グランドパターン32の外周辺上への最短距離をL11とする。

[0096] そして、導電性ビア41a, 41cの間隔を $dx_2$ とする。

[0097] 以上のように寸法設定したとき、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、信号線路10, 11を伝わる信号線路側高周波電流経路と、第2のコプレーナ線路の面状グランドパターン32から導電性ビア41aを経由して第1のコプレーナ線路の下層のグランドパターン50を伝わるグランドパターン側高周波電流経路とを通る各高周波電流の位相が反転しない範囲は、

[0098] [数7]

$$\left[ \sqrt{\epsilon_1} \times \left\{ L1 + dx + 2 \times L8 + L5 + 2 \times \left( \frac{\phi}{2} + L9 \right) \right\} + \sqrt{\epsilon_2} \times \left\{ 2 \times \left( L11 + \frac{\phi}{2} \right) + L2 + L5 \right\} \right] - \left[ \sqrt{\epsilon_1} \times (L6 + dx) + \sqrt{\epsilon_2} \times (L5 + L7) \right] < \frac{4\phi}{2}$$

すなわち、

[0099] [数8]

$$\sqrt{\epsilon_1} \times \{ (L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9 \} + \sqrt{\epsilon_2} \times \{ (L2 - L7) + 2 \times L11 + \phi \} < \frac{4\phi}{2}$$

と規定することができる。

[0100] よって、本実施例では、この式(7)を満足するように、第2のコプレーナ線路の面状グラウンドパタン32と、第1のコプレーナ線路の下層のグラウンドパタン50との間を分離することが望ましい。

[0101] 次に、本実施例による反射特性について述べる。

[0102] 反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層のグラウンドパタン50が備えられているため、第1の信号線路10と面状グラウンドパタン30aのギャップ間隔を78[μm]に変更した。尚、導電性ビア41cの外周から第1の信号線路10側の面状グラウンドパタン30aの外周辺上への最短距離L8は距離L1と同じ135[μm]である。

[0103] このような数値条件による構成に対し、第1のコプレーナ線路の面状グラウンドパタン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグラウンドパタン30bとを、導電性ビア41aと導電性ビア41bの中間において、スリット状の分離幅300[μm]で分離する。さらに、第2のコプレーナ線路の面状グラウンドパタン32と、第1のコプレーナ線路の下層のグラウンドパタン50とを、導電性ビア41aと導電性ビア41cの中間において、スリット状の分離幅300[μm]で分離する。

[0104] この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグラウンドパタン30bの外周辺上への最短距離L4は25[μm]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離L6は25[μm]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離L7は0[μm]となる。さらに、導電性ビア41cの外周から第2のコプレーナ線路側のグラウンドパタン50の外周辺上への最短距離L9は

25[ $\mu\text{m}$ ]となる。導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離L10は25[ $\mu\text{m}$ ]となる。導電性ビア41aの外周から、グランドパターン50側の面状グランドパターン32の外周辺上への最短距離L11は25[ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

[0105] このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\}$$

$$= 2658 [\mu\text{m}]$$

となる。

[0106] よって、本実施例では、 $2658 [\mu\text{m}] < \lambda_0/2$ を満足するように、第1配線層にある面状グランドパターン30aと第1のグランドパターン30bを分離している。 $2658 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2658 \times 10^{-6}$ とすると、第1の実施例で説明した式(6)より、 $f = 56 \times 10^9 [\text{Hz}] = 56 [\text{GHz}]$ が算出される。つまり、上記第1の分離幅が300[ $\mu\text{m}$ ]である場合、 $2658 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は56[GHz]未満であり、56[GHz]程度まで反射特性を改善できる第1の分離幅を設定していることになる。

[0107] さらに、上記のような数値条件を、第2の分離幅を規定する上記の式(7)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 2 \times 135 + 250 + 150 + 2 \times 25\} + \sqrt{7.1} \times \{(106 - 0) + 2 \times 25 + 150\}$$

$$= 2453 [\mu\text{m}]$$

となる。

[0108] よって、本実施例では、 $2453 [\mu\text{m}] < \lambda_0/2$ を満足するように、第2配線層にある面状グランドパターン32とグランドパターン50を分離している。 $2453 [\mu\text{m}] < \lambda_0/2$ の関係式において左辺と右辺が等しい場合を考えて、 $\lambda_0 = 2 \times 2453 \times 10^{-6}$ とすると、上記式(6)より、 $f = 61 \times 10^9 [\text{Hz}] = 61 [\text{GHz}]$ が算出される。つまり、上記第2の分離幅が300[ $\mu\text{m}$ ]である場合、 $2453 [\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は61[GHz]未満であり

、61[GHz]程度まで反射特性を改善できる第2の分離幅を設定していることになる。

[0109] また、第1のコプレーナ線路の面状グランドパターン30aと第2のコプレーナ線路の上層の第1のグランドパターン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように300[ $\mu$ m]のスリット状の分離幅でグランドパターン30a、30b間およびグランドパターン32、50間を分離したものとした。

[0110] この電磁界解析結果を図8に示す。この図から分かるように、低周波域から60[GHz]付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。さらに、分離幅が大きい程、広帯域における反射特性の改善効果を奏している。つまり、図8にて反射の程度を表すSパラメータ $|S_{11}|$ は、低周波域から53[GHz]付近までは比較例と比べてスリット幅100 $\mu$ mの方が低く抑えられ、またスリット幅300 $\mu$ mの場合は低周波域から60[GHz]付近まで比較例よりも低く抑えられている。

[0111] (第3の実施例)

図9A～9Hは、本発明の第3の実施例による高周波基板の構成を示したものである。詳しく言うと、図9Aは本実施例の高周波基板の第1配線層を示す平面図、図9Bはその第2配線層の平面図、図9Cはその第3配線層の平面図である。図9Dは図9AのA-A'における基板断面図、図9Eは図9AのB-B'における基板断面図、図9Fは図9AのC-C'における基板断面図、図9Gは図9AのD-D'における基板断面図、図9Hは図9AのE-E'における基板断面図である。なお、各図において、図1A～図1Dに示される構成要素と同じ機能部位には同一符号を用いている。

[0112] 本実施例の高周波基板は2層の誘電体層20a、20bを積層してなる誘電体基板20からなる。誘電体基板20の表面(第1配線層)である第1の誘電体層20aの上面に、第1のコプレーナ線路が形成されている(図9A)。この第1のコプレーナ線路は、第1の信号線路10と、第1の信号線路10と同じ層にこれを挟んで形成された面状グランドパターン30aとで構成される。さらに、誘電体基板20の内部層(第2配線層)である第2の誘電体層20bの上面に、第2のコプレーナ線路が形成されている(図9B)。第2のコプレーナ線路は、第2の信号線路11と、第2の信号線路11と同じ層にこれを挟んで形成された面状グランドパターン32とで構成される。尚、第1および第2のコプレーナ線路の面

状グランドパタン30a, 32は、信号線路を挟む両側位置の一方のみに形成されているもよい。

[0113] 第1のコプレーナ線路の第1の信号線路10と、これと異なる配線層にある第2のコプレーナ線路の第2の信号線路11とは、各々の線路端にて導電性ビア40にて接続されている。

[0114] 第2の信号線路11が形成されている層を上下から挟むように、第1配線層と第3配線層(誘電体基板20の裏面)に、面状の第1のグランドパタン30bと、面状の第2のグランドパタン31が形成されている。この第2のグランドパタン31は第1のコプレーナ線路に対向する領域にも延在し、第1のコプレーナ線路の下層グランドを兼ねている。

[0115] 一方、第1のグランドパタン30bは、背景技術のように第1のコプレーナ線路のグランドパタンを兼ねることなく、そのグランドパタン30aと分かれている。詳しくは、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の上層の第1のグランドパタン30bとが、第1の信号線路10と導電性ビア40との接続部付近から第2のコプレーナ線路の延在方向において、所定の幅(誘電体幅)を介して分離されている。

[0116] さらに、第1のコプレーナ線路の面状グランドパタン30aと、第1のコプレーナ線路の下層グランドを兼ねる第2のグランドパタン31は、第1のコプレーナ線路の信号伝送方向に沿って所定の間隔で配置された複数の導電性ビア41によって、相互に接続されている。但し、複数の導電性ビア41のうち、第1の信号線路10と第2の信号線路11の接続部近傍における導電性ビア41aは、第1のコプレーナ線路の面状グランドパタン30aと、第2のコプレーナ線路の面状グランドパタン32との間も相互接続している。

[0117] その上、第2のコプレーナ線路の上層にある第1のグランドパタン30bと、第2のコプレーナ線路の面状グランドパタン32と、第2のグランドパタン31は、第2のコプレーナ線路の信号伝送方向に沿った所定の間隔で配置された複数の導電性ビア41(41b)によって、相互に接続されている。

[0118] 以上の構成は第1の実施例と同じであるが、本実施例では、第1の実施例に対して以下の変更を加えている。すなわち、第2のコプレーナ線路の面状グランドパタン32が、第1のコプレーナ線路に対向する領域全体にも形成され、第1のコプレーナ線路の下層グランドを兼ねている。つまり、面状グランドパタン32は、第2の信号線路11を

挟む両側位置に形成されているだけでなく、第1のコプレーナ線路が形成されている領域と対向する領域にも形成されている。また、第2の実施例と比較した場合は、図7Bに示した第1のコプレーナ線路の下層のグランドパタン50と、これと同層の第2のコプレーナ線路の面状グランドパタン32とが分離されず、連続した一つのグランドパタンに形成されたものになっている。

[0119] 第1のコプレーナ線路の下層グランドを兼ねる第2のコプレーナ線路の面状グランドパタン32は、第1のコプレーナ線路の面状グランドパタン30aと第2のグランドパタン31の両方に、信号伝送方向に沿って所定の間隔で配設された複数の導電性ビア41により電氣的に接続されている。

[0120] 以上のような高周波基板の高周波伝送線路では、第1の実施例と同様、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグランドパタン30bに伝わる高周波電流経路が一つに限定される。これにより、第1のグランドパタン30bに伝わる高周波電流の位相干渉が生じない。その結果、低周波から高周波にかけて劣化していく反射特性を改善することができる。

[0121] 尚、このような効果は、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとの間が分離されていれば得られるので、これらの分離部分は任意形状でよい。つまり、面状グランドパタン30aと第1のグランドパタン30bの間の分離部分を形成する対向辺は、図示されているような平行で且つ一定間隔に形成する必要はない。

[0122] また、本実施例のように面状グランドパタン30aと第1のグランドパタン30bの間を一定間隔の幅で分離した構成では、面状グランドパタン30aと第1のグランドパタン30bとの間の分離幅の上限を、第2のコプレーナ線路にて形成されている導電性ビア41の間隔(導電性ビア41a、41bの配列間隔)に規定することにより、反射特性の更なる改善が得られる。この理由および、ビア間隔の算出法については第1の実施例で説明したとおりである。

[0123] また、上記の分離幅については、第1の実施例と同様に、以下のように規定することも可能である。すなわち、第1のコプレーナ線路から第2のコプレーナ線路への信号

伝送の際に、グランドパターンを伝わる高周波電流と信号線路を伝わる高周波電流との電氣的な経路長差(実効比誘電率で換算した電気長差)が大きくずれない条件が望ましいので、ある信号波長 $\lambda_0$ (所望の信号帯域の最小波長(最大周波数))において、グランドパターン側と信号線路側の高周波電流の位相が反転しない範囲に分離幅を規定する。

[0124] 具体的には、第1の実施例で説明した式(5)を満足するように、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとの間を分離している。

[0125] この分離幅の規定方法については第1の実施例に説明したので、ここでは割愛する。

[0126] 次に、本実施例による反射特性について述べる。

[0127] 反射特性を検証するにあたって、以下の変更点を除いて、第1の実施例と同じ数値条件とした。すなわち、本実施例では第1のコプレーナ線路の下層にグランドパターンが備えられているため、第1の信号線路10と面状グランドパターン30aのギャップ間隔を78[ $\mu\text{m}$ ]に変更した。

[0128] このような数値条件による構成に対し、第1のコプレーナ線路の面状グランドパターン30aと、これと同一層に設けられた、第2のコプレーナ線路の第1のグランドパターン30bとを、導電性ビア41aと導電性ビア41bの間において、スリット状の分離幅300[ $\mu\text{m}$ ]で分離する。

[0129] この場合、導電性ビア41bの外周から第1のコプレーナ線路側の第1のグランドパターン30bの外周辺上への最短距離L4は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第1の信号線路10の外周辺上への最短距離L6は25[ $\mu\text{m}$ ]、導電性ビア40の外周から第2の信号線路11の外周辺上への最短距離L7は0[ $\mu\text{m}$ ]、導電性ビア41aの外周から第1のグランドパターン30b側の面状グランドパターン30aの外周辺上への最短距離L10は25[ $\mu\text{m}$ ]となる。また、第1のコプレーナ線路の実効比誘電率 $\epsilon_1$ は3.892、第2のコプレーナ線路の実効比誘電率 $\epsilon_2$ は7.1である。

[0130] このような数値条件を、第1の実施例で説明した式(5)に代入すると、その左辺は、

$$\sqrt{3.892} \times \{(135 - 25) + 150 + 25 \times 2\} + \sqrt{7.1} \times \{(106 - 0) + 135 \times 2 + 25 \times 2 + 150 + 250\}$$

$$=2658[\mu\text{m}]$$

となる。

- [0131] よって、本実施例では、 $2658[\mu\text{m}] < \lambda_0/2$ を満足するように、第1配線層にある面状グラウンドパターン30aと第1のグラウンドパターン30bを分離している。つまり、分離幅が $300[\mu\text{m}]$ である場合、第1の実施例で説明した式(6)より、 $2658[\mu\text{m}] < \lambda_0/2$ を満たす周波数範囲は $56[\text{GHz}]$ 未満であり、 $56[\text{GHz}]$ 程度まで反射特性を改善できる分離幅を設定していることになる。
- [0132] また、第1のコプレーナ線路の面状グラウンドパターン30aと第2のコプレーナ線路の上層の第1のグラウンドパターン30bとが分離されていない上記第1の実施例で説明した比較例と、本実施例とを、上記の数値条件で構成し、入力反射特性の比較を行った。比較する本実施例は、前述したように $300[\mu\text{m}]$ のスリット状の分離幅でグラウンドパターン30a、30b間を分離し、かつ、第2のコプレーナ線路の面状グラウンドパターン32が第1のコプレーナ線路の下層グラウンドを兼ねるものとした。
- [0133] この電磁界解析結果を図10に示す。この図から分かるように、低周波域から $60[\text{GHz}]$ 付近までの広帯域にわたって、本実施例により反射特性の改善効果が得られている。
- [0134] 以上、本発明の各実施例では、第1のコプレーナ線路から第2のコプレーナ線路へ信号が伝送されていく際に、第2のコプレーナ線路の上層の第1のグラウンドパターンに伝わる高周波電流経路が一つに限定される。つまり、第2のコプレーナ線路への信号伝送時に第1のグラウンドパターンに伝わる高周波電流経路は、第1のコプレーナ線路の面状グラウンドパターンから第2の導電性ビアa、第2のコプレーナ線路の面状グラウンドパターン、信号伝送方向に沿った次の第2の導電性ビアbを順次経由して第1のグラウンドパターンに向かう経路のみとなる。
- [0135] これにより、第1のグラウンドパターンに伝わる高周波電流の位相干渉が抑制されるので、低周波から高周波にかけて劣化していく反射特性を改善することができる。
- [0136] さらに、第1のグラウンドパターンに伝わる高周波電流の位相と信号線路を伝わる高周波電流の位相の差、すなわち、波長に換算した電気長差を小さくすることにより、低周波から高周波にかけて劣化していく反射特性をより一層改善することができる。

[0137] (その他の実施例)

上記の各実施例では、異なる層間を接続する手段として導電性ビアを用いているが、その限りではなく、スルーホール等のように、導電性を有する電氣的な接続手段であれば適用可能である。また、3層配線板の場合について説明したが、3層以上の多層配線板についても適用可能あり、また、第1の信号線路10およびグランドパタン30a, 30bが誘電体基板20の内部にある構成においても適用可能である。

[0138] また、各実施例を示す図において、第1の信号線路10と第2の信号線路11は直線上でなくても、多少ずれていても構わない。また、この場合、第1のコプレーナ線路の面状グランドパタン30aと第2のコプレーナ線路の上層の第1のグランドパタン30bとの間の分離幅を規定する対向辺や、第2のコプレーナ線路の面状グランドパタン32と第3のグランドパタン50との間の分離幅を規定する対向辺については、必ずしも一定間隔に形成されていなくてもよい。

[0139] また、各実施例に基づく本発明の高周波基板は、例えば携帯電話装置、PDA(Personal Digital Assistant)端末およびその他多くの電子機器に組み込まれる高周波モジュールの基板として適用することができる。

[0140] 例えば、高周波モジュールは、図11および図12に示すように、誘電体基板20に窪みを設けて、クロック信号により動作する電子装置であるLSIチップ60を収容し、誘電体基板20の表面に形成された第1のコプレーナ線路の第1の信号線路10とボンディングワイヤー70によって電気接続した後、蓋80でLSIチップ60を覆うことで得られる。但し、図11は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、これと同じ誘電体基板20の表面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。また、図12は、LSIチップ60に接続された第1のコプレーナ線路の第1の信号線路10を、誘電体基板20の裏面に形成された別の第1のコプレーナ線路の第1の信号線路10に、誘電体基板20の内部に形成された第2のコプレーナ線路の第2の信号線路11を介して接続した構造を示している。

[0141] いずれの構造においても、導電性ビア40で接続された第1のコプレーナ線路から第2のコプレーナ線路への配線方向において、第1のコプレーナ線路の面状グランドパ

タン(不図示)が、これと同一層の第1のグランドパタン30または第2のグランドパタン31から分離されていることを特徴とする。尚、図11および図12に示される形態ではLSIチップ60を高周波基板に埋め込んでいるが、本発明の高周波モジュールはこれらの形態に限定されない。したがって、用途に応じて、LSIチップを配線基板にフリップチップ接続方式やワイヤーボンディング方式等で表面実装してもよい。また、蓋80を使用しないで、モールド樹脂でLSIチップ60を封止する形態でも構わない。

[0142] 以上のように本発明の高周波基板および、これを用いた高周波モジュールについて幾つかの実施例を示して説明したが、本願発明はこれらの実施例に限定されるものではなく、その技術思想を逸脱しない範囲で種々変更して実施することが可能であることは言うまでもない。

[0143] この出願は、2007年9月18日に出願された日本出願特願2007-241104を基礎とする優先権を主張し、その開示の全てをここに取り込む。

## 請求の範囲

- [1] 第1の信号線路と、該第1の信号線路と同じ配線層に形成された第1の面状グランドパターンを備える第1のコプレーナ線路と、
- 前記第1の信号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパターンを備える第2のコプレーナ線路と、
- 前記第1のコプレーナ線路と同じ配線層に形成された第1のグランドパターンと、を有し、
- 前記第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板であって、
- 少なくとも、前記第1の信号線路と前記第2の信号線路の端部どうしの接続部から前記第2の信号線路に沿った領域で、前記第1のグランドパターンと前記第1の面状グランドパターンが分離されている、高周波基板。
- [2] 第1の信号線路と、該第1の信号線路と同じ配線層に形成された第1の面状グランドパターンを備える第1のコプレーナ線路と、
- 前記第1の信号線路とは異なる配線層に形成された第2の信号線路と、該第2の信号線路と同じ配線層に形成された第2の面状グランドパターンを備える第2のコプレーナ線路と、
- 前記第1のコプレーナ線路と同じ配線層に形成された第1のグランドパターンと、を有し、
- 前記第1のコプレーナ線路から前記第2のコプレーナ線路へ信号を伝送するよう前記第1のコプレーナ線路と前記第2のコプレーナ線路が接続されている高周波基板であって、
- 前記第1のコプレーナ線路から前記第2のコプレーナ線路へ信号が伝送されていく際に前記第1の面状グランドパターンから前記第1のグランドパターンに伝わる高周波電流の経路が前記第2の面状グランドパターンを介してのみとなる箇所を含んでいる、高周波基板。
- [3] 前記第1のコプレーナ線路における前記第1の信号線路は、誘電体基板の内部ま

たは表面に形成され、前記第1の面状グランドパターンは、該第1の信号線路と同じ配線層において前記第1の信号線路を挟む両側位置の少なくとも一方に形成されており、

前記第2のコプレーナ線路における前記第2の面状グランドパターンは、前記第2の信号線路と同じ配線層において前記第2の信号線路を挟む両側位置の少なくとも一方に形成されている、請求項1または2に記載の高周波基板。

- [4] 前記第1の信号線路と前記第2の信号線路を各々の線路端にて接続する第1の導電性ビアと、

前記第2のコプレーナ線路が形成されている配線層に対し、前記第1のグランドパターンの層とは反対側の配線層に形成された第2のグランドパターンと、

前記第1および第2のコプレーナ線路を通る信号伝送方向に沿って所定の間隔で配設された複数の第2の導電性ビアであり、その中に、前記第1の面状グランドパターンと前記第2の面状グランドパターンを接続する導電性ビアa、前記第1のグランドパターンと前記第2の面状グランドパターンを接続する導電性ビアb、および前記第1の面状グランドパターンと前記第2のグランドパターンを接続する導電性ビアcを含む第2の導電性ビアと、を有し、

前記第1の信号線路と前記第1の導電性ビアとの接続部付近から前記第2のコプレーナ線路の信号伝送方向にかけて、前記第1のグランドパターンが、前記第1の面状グランドパターンから分離されている、請求項1から3のいずれか1項に記載の高周波基板。

- [5] 分離されている前記第1のグランドパターンと前記第1の面状グランドパターンとの間の幅は、前記第2のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅である、請求項4に記載の高周波基板。

- [6] 請求項3または4に記載の高周波基板であって、

前記第1のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記第1の面状グランドパターンと前記第2の面状グランドパターンを相互接続している前記導電性ビアaの外周から、前記第1の面状グランドパターンの前記第1の信号線路側の外周辺への最短距離をL1、

前記導電性ビアaの外周から、前記第2の面状グランドパタンの前記第2の信号線路側の外周辺への最短距離をL2、

前記第2のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記導電性ビアaを除いて、前記第1の導電性ビアに最も近い前記導電性ビアbの外周から、前記第2の面状グランドパタンの前記第2の信号線路側の外周辺への最短距離L3、

前記導電性ビアbの外周から、前記第1のグランドパタンの前記第1のコプレーナ線路側の外周辺への最短距離をL4、

前記第1のグランドパターンと前記第2の面状グランドパタンの間の誘電体層厚をL5、前記第1の導電性ビアの外周から、前記第1の信号線路の外周辺への最短距離をL6、

前記第1の導電性ビアの外周から、前記第2の信号線路の外周辺への最短距離をL7、

前記導電性ビアaの外周から、前記第1の面状グランドパタンの前記第1のグランドパターン側の外周辺への最短距離をL10、

前記第1のコプレーナ線路の実効比誘電率を $\varepsilon_1$ 、

前記第2のコプレーナ線路の実効比誘電率を $\varepsilon_2$ 、

前記第2の導電性ビアの直径を $\phi$ 、

伝送する信号帯域における真空中での最小波長を $\lambda_0$ としたとき、次の関係式

$$\sqrt{\varepsilon_1} \times \{(L1 - L6) + \phi + L10 \times 2\} + \sqrt{\varepsilon_2} \times \{(L2 - L7) + L3 \times 2 + L4 \times 2 + \phi + L5\}$$

$$< \lambda_0 / 2$$

を満足するように、前記第1の面状グランドパターンと、これと同一層に設けられた前記第1のグランドパターンとの間を分離している、請求項3または4に記載の高周波基板。

[7] 前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成された第3のグランドパターンをさらに備え、

前記第1の信号線路と前記第2の信号線路の端部どうしの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグランドパターンが前記第2の面

状グラウンドパターンから分離されている、請求項1から6のいずれかに記載の高周波基板。

- [8] 前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域に形成され、かつ、前記第1の面状グラウンドパターンと前記第2のグラウンドパタンの両方に前記第2の導電性ビアにより電氣的に接続された第3のグラウンドパターンをさらに備え、

前記第2の信号線路と前記第1の導電性ビアとの接続部付近から前記第1のコプレーナ線路の伝送方向にかけて、前記第3のグラウンドパターンが、前記第2の面状グラウンドパターンから分離されている、請求項4から6のいずれかに記載の高周波基板。

- [9] 分離されている前記第3のグラウンドパターンと前記第2の面状グラウンドパターンとの間の幅が、前記第1のコプレーナ線路にて設定される前記第2の導電性ビアの間隔以下の幅である、請求項8に記載の高周波基板。

- [10] 請求項8または9に記載の高周波基板であって、

前記第1のコプレーナ線路に備わる複数の前記第2の導電性ビアのうちの、前記導電性ビアaを除いて、前記第1の導電性ビアに最も近い前記導電性ビアcの外周から、前記第1の面状グラウンドパタンの前記第1の信号線路側の外周辺への最短距離L8、

前記導電性ビアcの外周から、前記第3のグラウンドパタンの前記第2のコプレーナ線路側の外周辺への最短距離をL9、

前記導電性ビアaの外周から、前記第2の面状グラウンドパターンにおける前記第3のグラウンドパターン側の外周辺への最短距離をL11、

伝送する信号帯域における真空中での最小波長を $\lambda_0$ としたとき、次の関係式

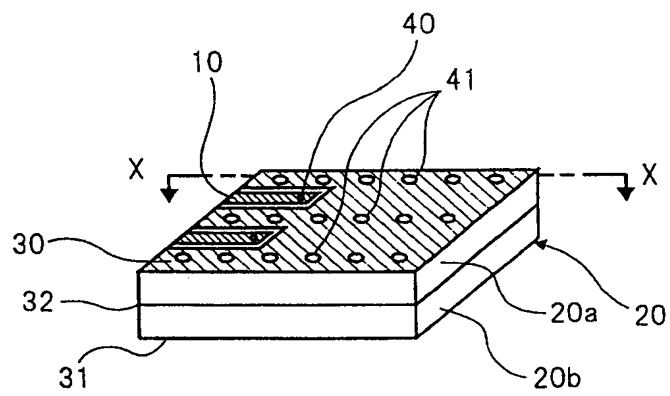
$$\sqrt{\epsilon_1} \times \{(L1 - L6) + 2 \times L8 + L5 + \phi + 2 \times L9\} + \sqrt{\epsilon_2} \times \{(L2 - L7) + 2 \times L11 + \phi\}$$

$$< \lambda_0 / 2$$

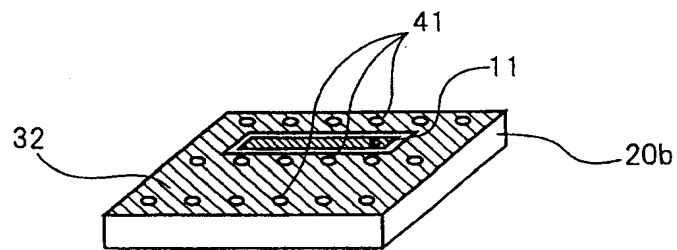
を満足するように、前記第2の面状グラウンドパターンと、これと同一層に設けられた前記第3のグラウンドパターンとの間が分離されている、請求項8または9に記載の高周波基板。

- [11] 前記第2の面状グランドパタンが、前記第2の信号線路を挟む両側位置の少なくとも一方に形成されているだけでなく、前記第2のコプレーナ線路と同じ配線層の、前記第1のコプレーナ線路が形成されている領域と対向する領域にも延在している、請求項1から10のいずれかに記載の高周波基板。
- [12] 請求項1から11のいずれかに記載の高周波基板に半導体集積回路チップが実装された高周波モジュール。

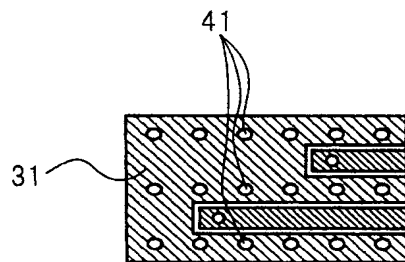
[図1A]



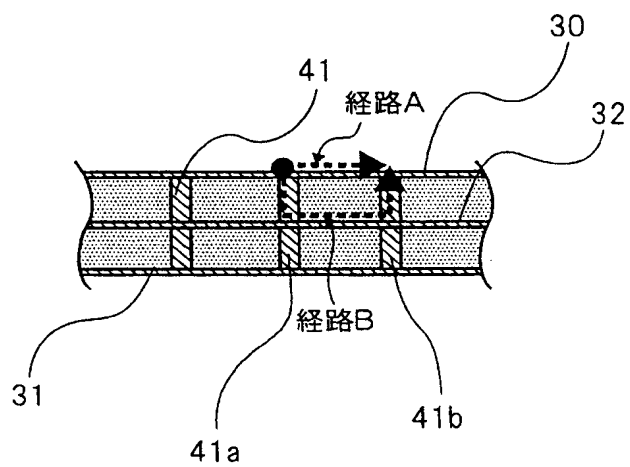
[図1B]



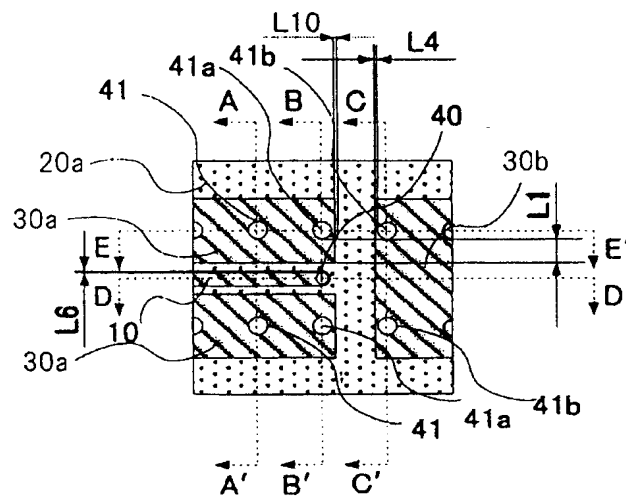
[図1C]



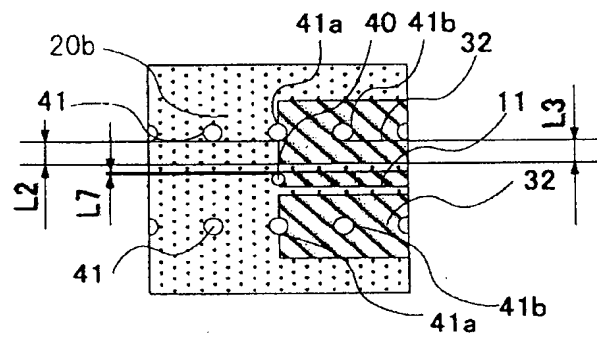
[図1D]



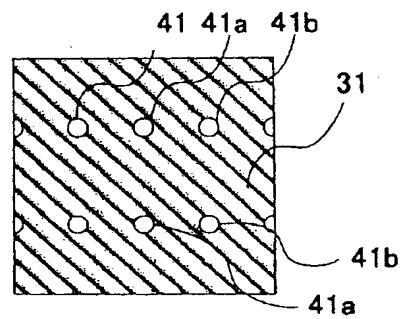
[[図2A]]



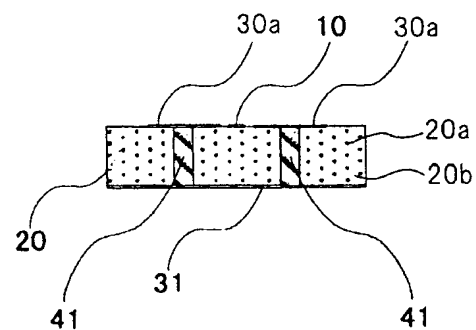
[[図2B]]



[[図2C]]



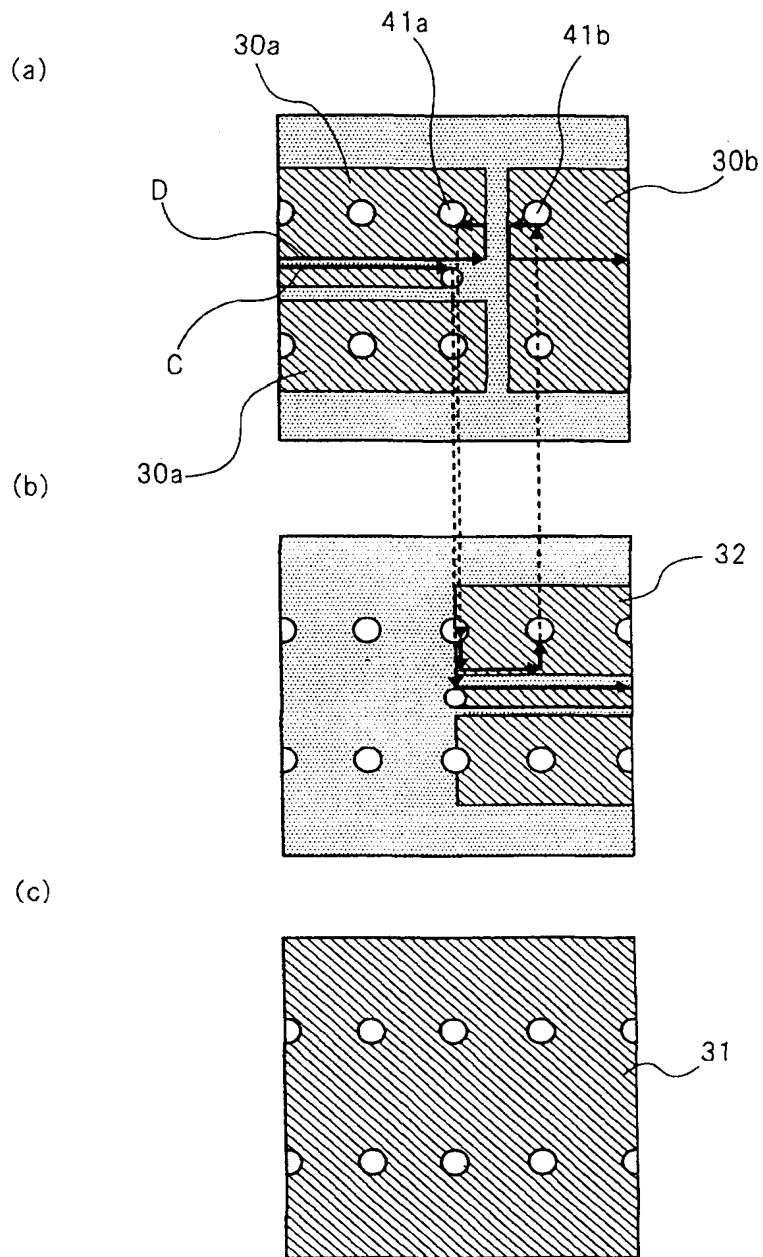
[[図2D]]



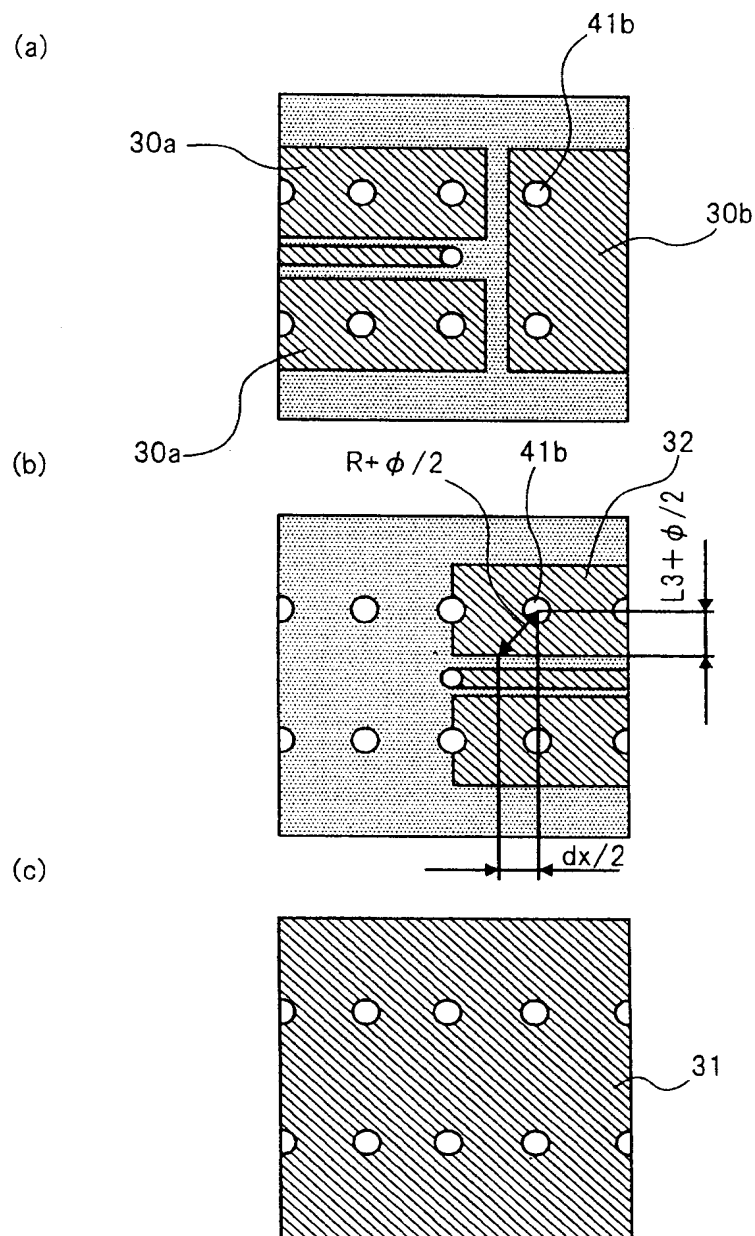
This diagram shows a cross-sectional view of a second embodiment of the device. It features a rectangular block with a stippled texture, labeled 20. Inside this block, there are two horizontal regions with diagonal hatching, labeled 30b. These regions are separated by a central vertical line, labeled 11. The top and bottom surfaces of the block are labeled 20a and 20b, respectively. The left and right sides of the block are labeled 41b. The central vertical line is also labeled 31.

Fig. 1 is a perspective view of a rectangular block 10. The block has a top surface 30b, a bottom surface 31, and side surfaces 40. A central horizontal slot 11 is formed in the block, with a top edge 20a and a bottom edge 20b.

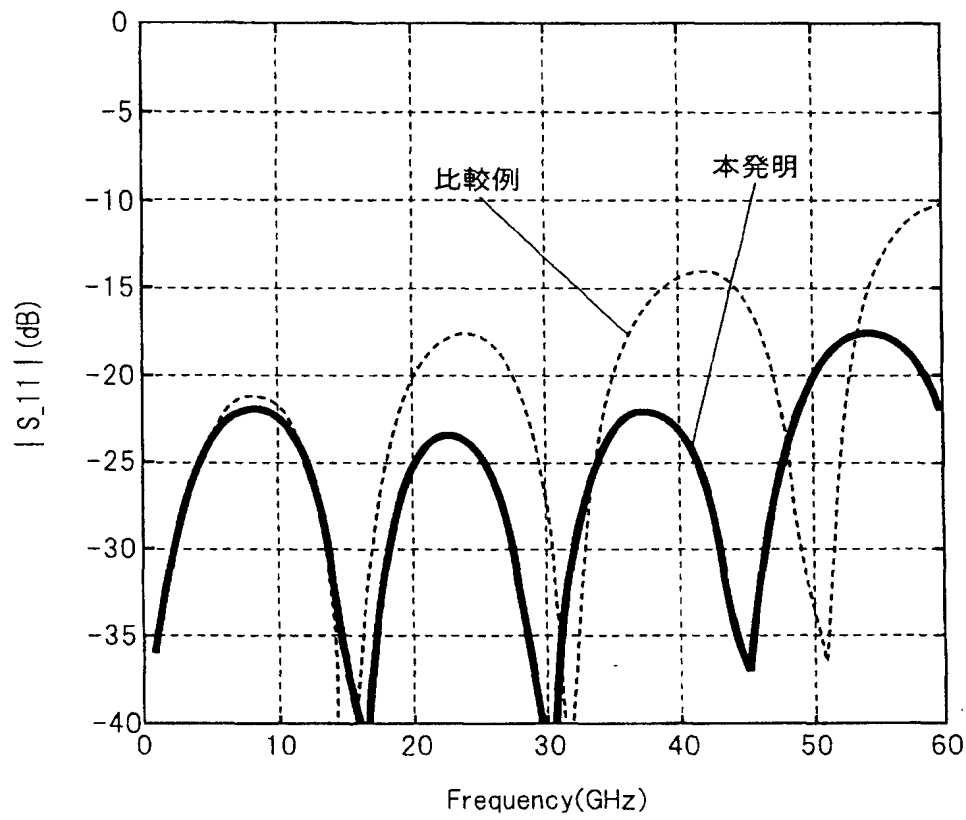
[[図3]]



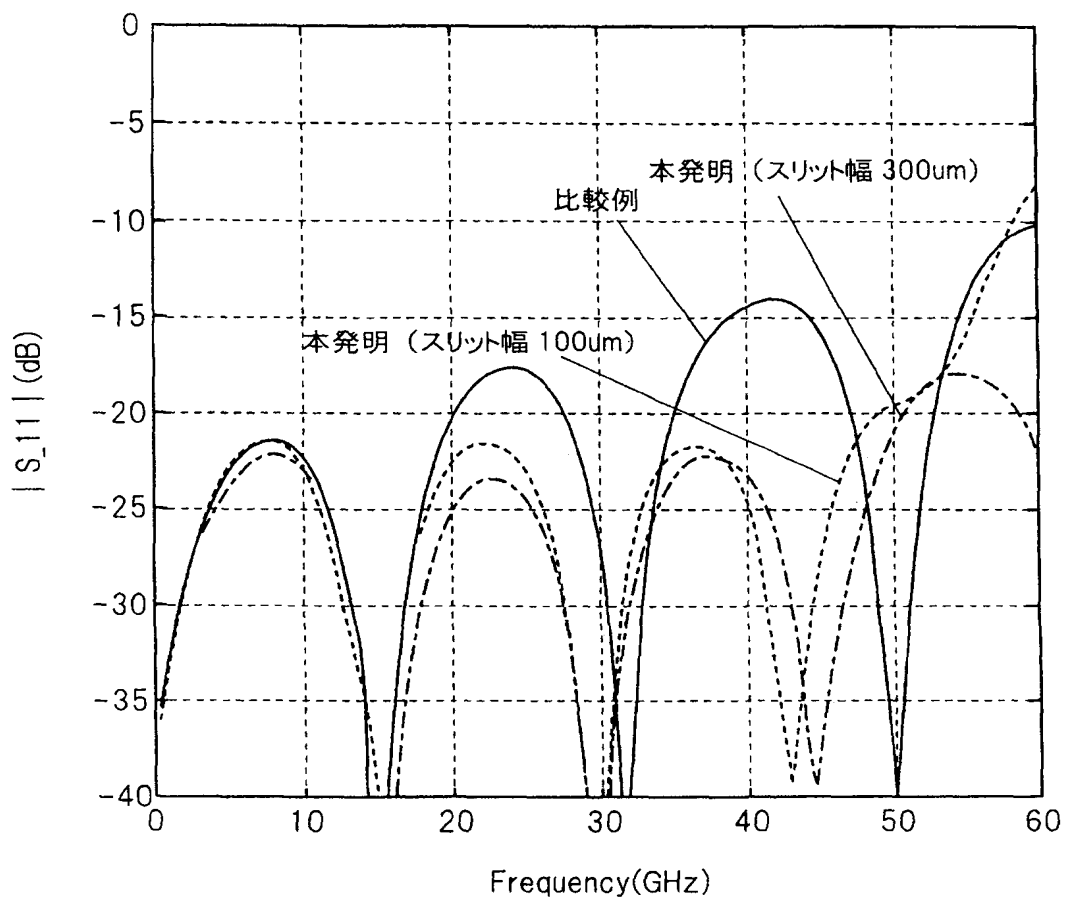
[[図4]]



[図5]

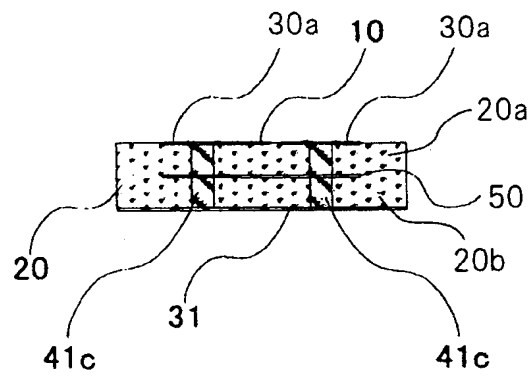


[図6]

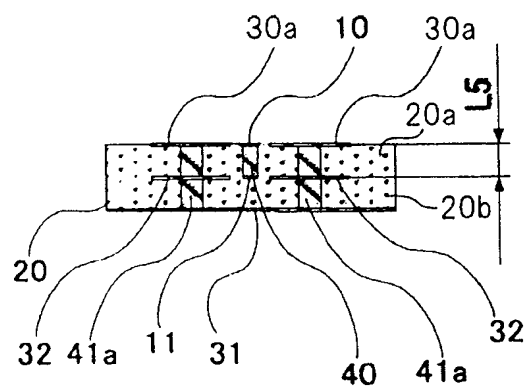




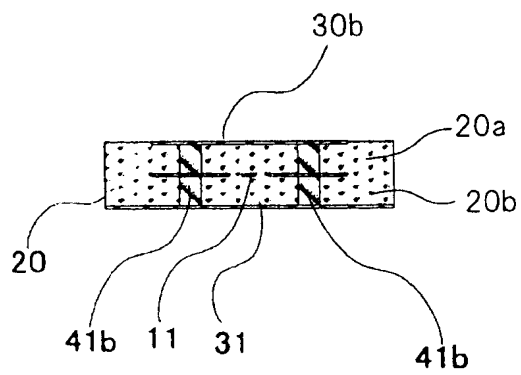
[[図7D]]



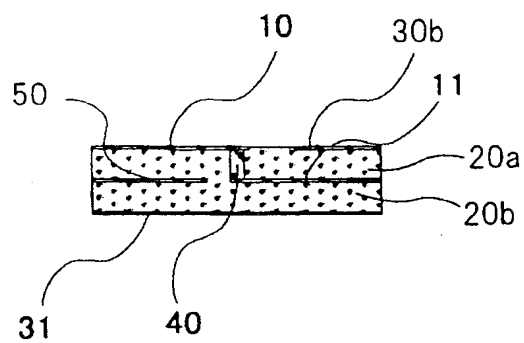
[[図7E]]



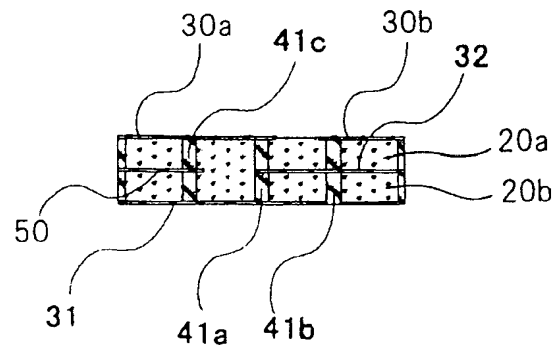
[[図7F]]



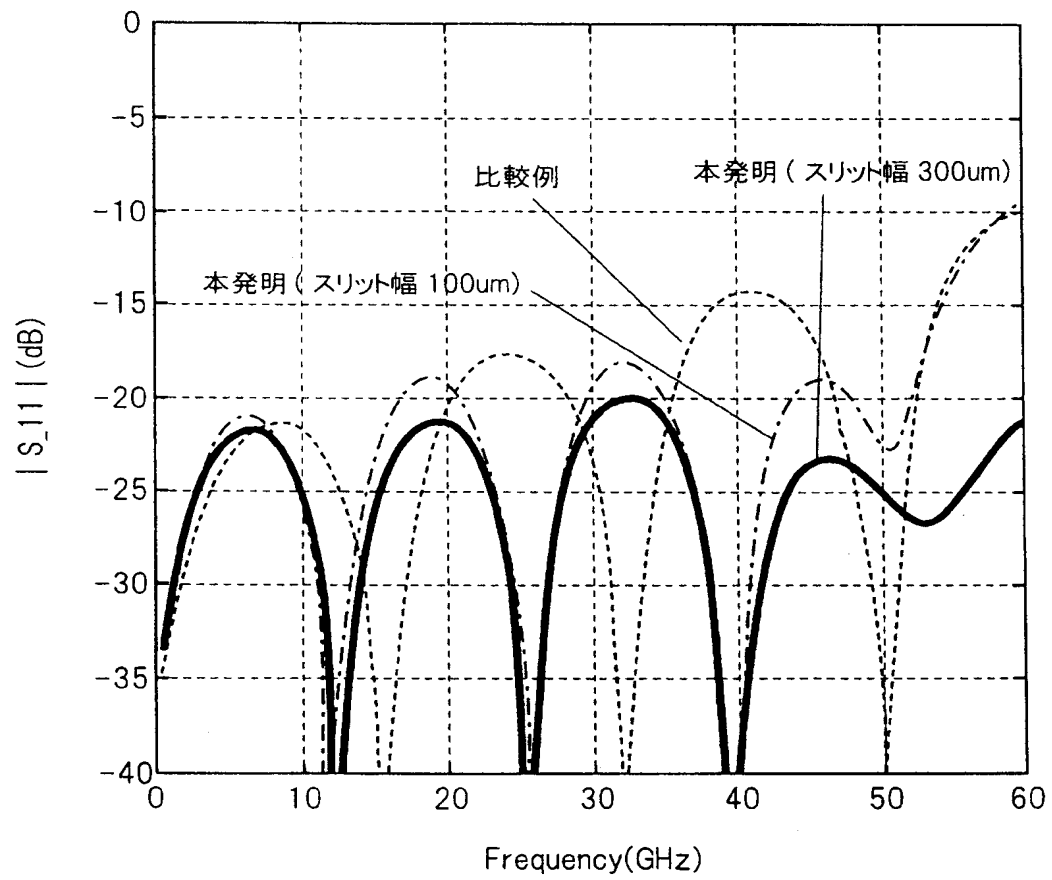
[[図7G]]



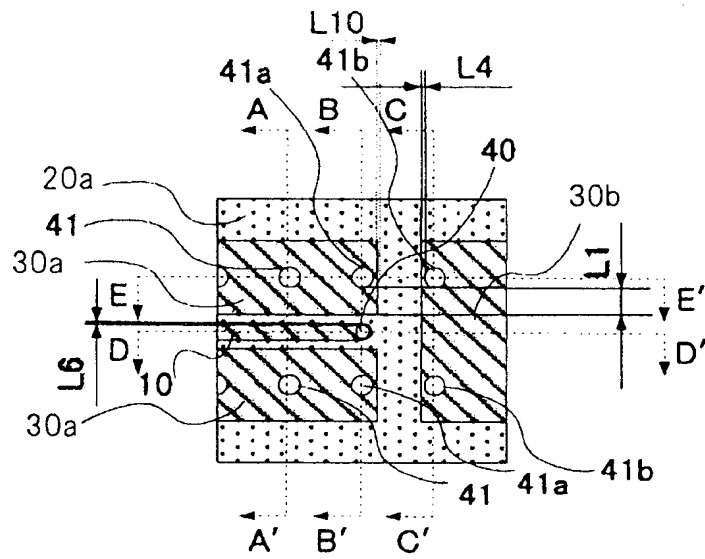
[図7H]



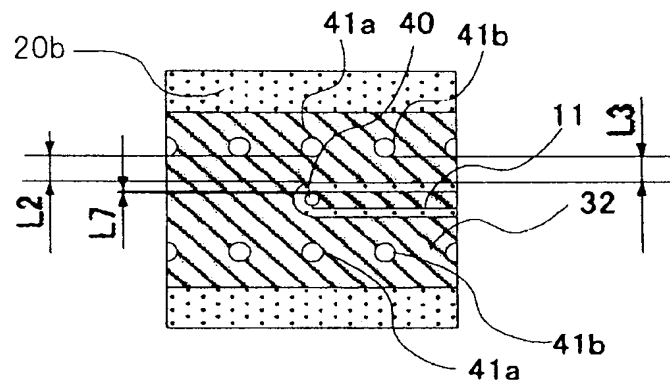
[図8]



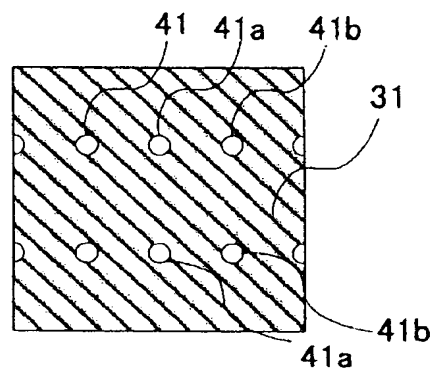
[図9A]



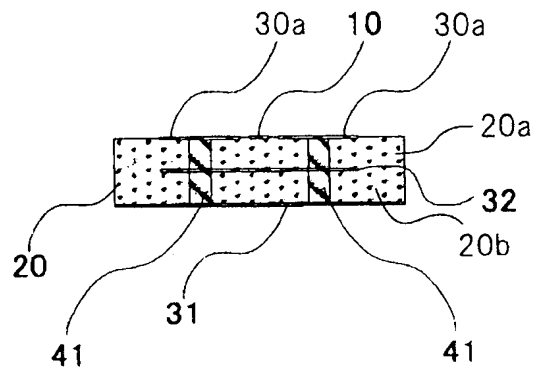
[図9B]



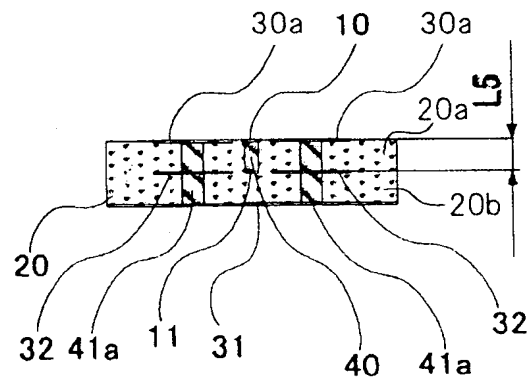
[図9C]



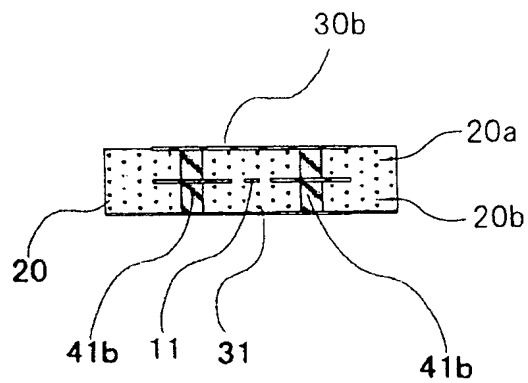
[[図9D]]



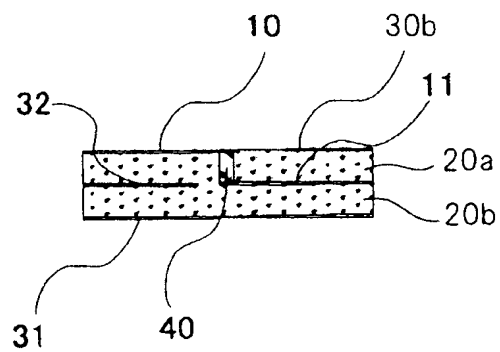
[[図9E]]



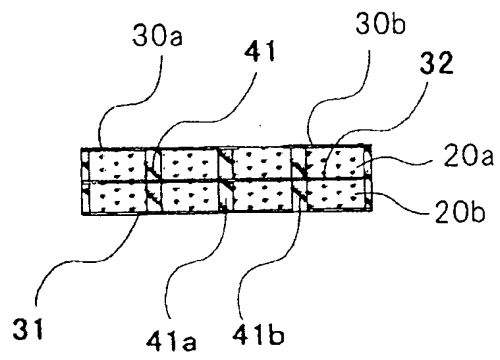
[[図9F]]



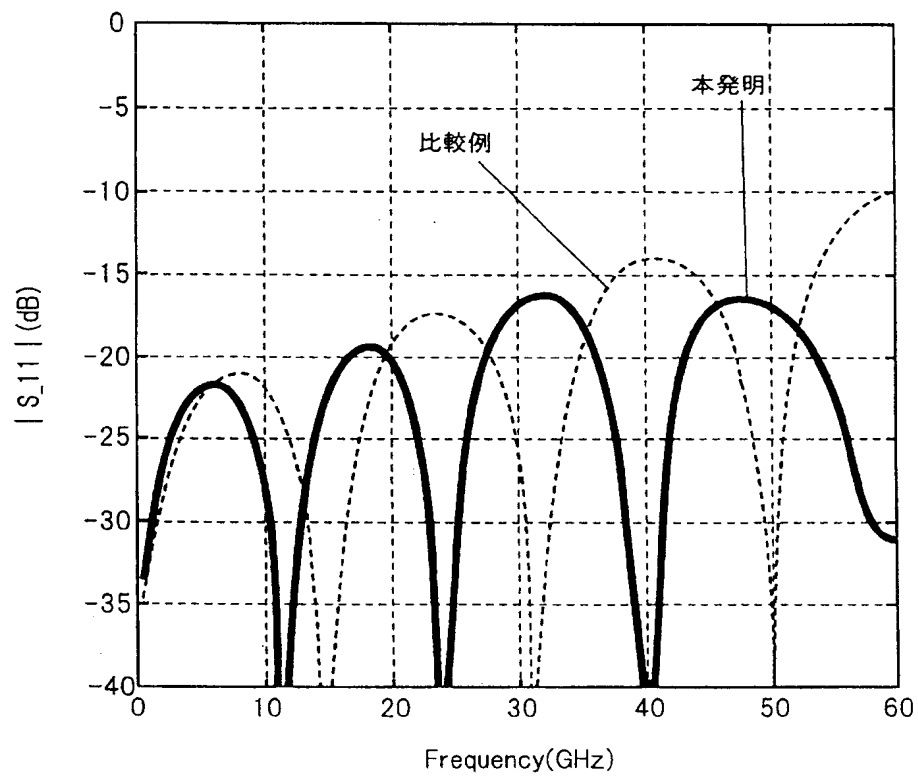
[[図9G]]



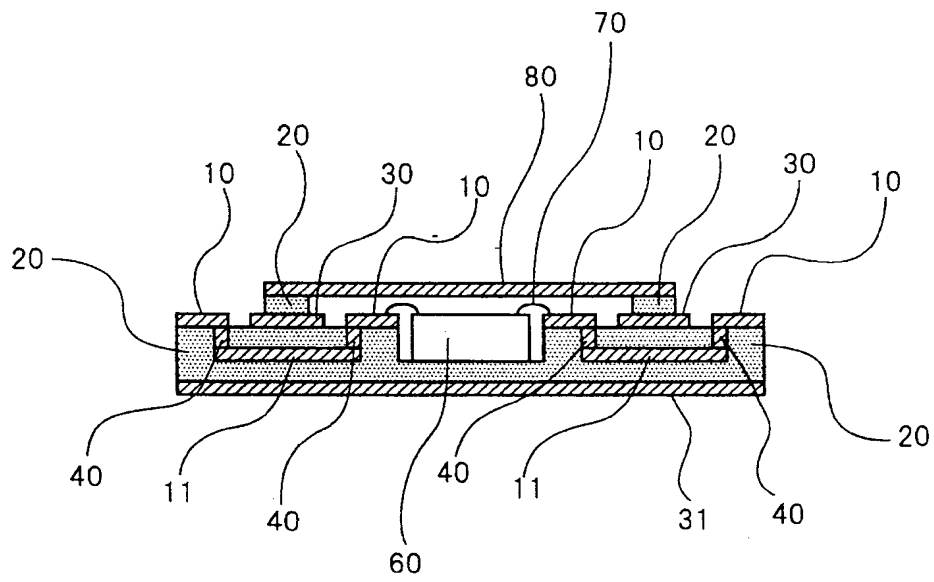
[図9H]



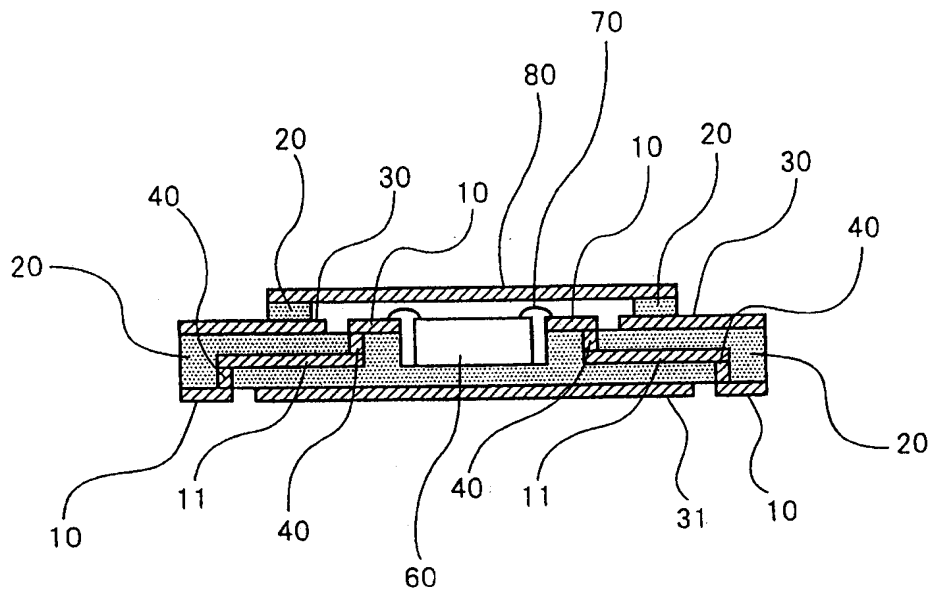
[図10]



[[図11]]



[[図12]]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/063283

## A. CLASSIFICATION OF SUBJECT MATTER

H01P1/04(2006.01)i, H01L23/12(2006.01)i, H01P3/02(2006.01)i, H05K1/02(2006.01)i, H05K3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P1/04, H01L23/12, H01P3/02, H05K1/02, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-247980 A (Hitachi, Ltd., Opnext Inc.), 02 September, 2004 (02.09.04), Claim 5; Figs. 3, 4 & US 2005/0174190 A1 & US 2006/0082422 A1	1-3, 11, 12 4-10
A	JP 2005-94445 A (TDK Corp.), 07 April, 2005 (07.04.05), Full text; all drawings (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
17 October, 2008 (17.10.08)

Date of mailing of the international search report  
28 October, 2008 (28.10.08)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01P1/04(2006.01)i, H01L23/12(2006.01)i, H01P3/02(2006.01)i, H05K1/02(2006.01)i, H05K3/46(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01P1/04, H01L23/12, H01P3/02, H05K1/02, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-247980 A (株式会社日立製作所 日本オブネクスト株式会社) 2004.09.02, 請求項 5, 図 3, 4 & US 2005/0174190 A1 & US	1-3, 11, 12
A	2006/0082422 A1	4-10
A	JP 2005-94445 A (TDK株式会社) 2005.04.07, 全文, 全図 (ファミリーなし)	1-12

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 0 . 2 0 0 8

国際調査報告の発送日

2 8 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

麻生 哲朗

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8

5 T

2 9 5 3